

0.35um BCD공정을 사용한 Class-D Amplifier

한상진, 황승현, 박시홍
단국대학교 전자공학과

Class-D Amplifier using 0.35um BCD process

Sang-jin Han, Seung-hyun Hwang, Shihong Park
Dept. Electronic Eng. Dankook University

ABSTRACT

본 논문에서는 TV나 Audio등에 사용되는 2채널 30W급 Class-D amplifier를 동부하이텍의 0.35um BD350BA 공정을 사용하여 디지털 방식의 Class-D amplifier 출력단 구동에 적합하도록 설계하였다. 출력단은 Bootstrap 전원을 사용한 N-N type의 30V LDMOS 내장형이며 각각 250mΩ의 턴 온 저항을 갖게 설계 되었다. THD+N 특성개선을 위한 Dead time 및 Delay 조정회로를 내장하였으며 보호회로는 Over current, Over temperature, UVLO 가 있다.

1. 서 론

최소한 20KHz 이상의 주파수 대역을 가져야 하는 오디오 앰프의 출력단은 기존의 리니어 방식과 스위칭 방식을 사용하는 Class-D로 분류할 수 있다. 리니어 방식은 출력단의 구조에 따라 Class A, Class B, Class AB로 분류할 수 있다. Class A의 경우 출력에 상관없이 일정한 전류를 계속적으로 흘려야 하기 때문에 20%의 효율로서 3개의 리니어 방식 중에서 가장 낮고 Class B와 Class AB의 경우에는 출력단의 Stand-by 전류가 없거나 매우 낮기 때문에 최대 50%의 효율을 가진다. Class-D의 경우에는 스위칭 소자와 출력단에 LC필터를 사용하여 스위칭 노이즈를 제거하는 방식을 사용한다. 따라서 출력 트랜지스터가 PWM 스위칭 동작을 하게 되어 효율을 최대 95%까지 끌어 올릴 수 있다. 그러나 shoot-through방지를 위해 사용되는 Deadtime에 의하여 원음의 왜곡을 가져오는 단점이 있다.^[1]

BCDMOS 공정은 1 poly 3 metal을 제공하며 Bipolar, CMOS와 DMOS transistor를 동시에 제조할 수 있는 공정이다. DMOS는 고전류 구동에 적합한 개별 전력소자인 MOSFET과 같은 구조이면서 집적회로에 다양하게 응용될 수 있도록 Lateral DMOS 형태를 제공한다. 동부전자의 0.35um BD350BA 공정은 디지털 로직, 아날로그 회로 및 고전류 구동 특성을 갖는 출력단 설계에 적합한 파워 IC 공정이다.^[2]

본 논문에서는 dead-time을 최소화 하고 왜곡을 줄이기 위한 조정회로를 내장한 Class-D amplifier를 동부하이텍의 0.35um BD350BA 공정을 사용하여 설계 및 검증하였다.

2. 본 론

2.1 Gate driver의 구조

그림 1은 Class-D Amplifier의 Gate Driver 구조를 나타낸다. 고출력 파워소자는 스위칭 속도와 Ron 특성이 P-type 대비 N-type이 우수하여 일반적으로 상측측 모두 N-type으로 구성된다. 이와 같은 구조에서는 상측측의 Floating 전원이 필요하며 이를 위해 Bootstrap Capacitor를 사용하였다. 또한 제어기에서 발생한 신호를 상측측으로 전달하기 위한 Level shift회로가 요구된다.

Class-D Amplifier에서 Timing이 중요한 역할을 차지하고 있는데 그중에 큰 부분이 shoot-through 방지를 위해 사용된 deadtime이다. deadtime을 길게 하면 출력 파형의 왜곡이 커져서 음질이 떨어지고 deadtime을 작게 하여 왜곡을 줄이면 shoot-through가 발생하는 Trade off의 관계에 있기 때문에 적절한 값이 요구된다.

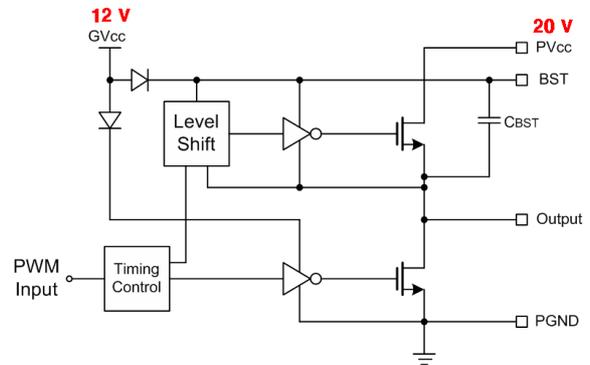


그림 1 Gate Driver의 구조

2.2 Class-D Amplifier의 패키지 외관도 및 Layout

표 1은 제작된 Class-D Amplifier의 절대 정격을 나타낸다. Gate driver와 Analog 회로에 전원을 공급하기 위한 GVDD와 VDD는 일반적으로 12V를 쓰고 출력단 소자의 구동을 위한 전원으로 20V를 사용한다. 나머지 Digital Logic의 전원은 3.3V를 사용한다.

그림 2는 Class-D Amplifier의 패키지 외관도와 Layout을 나타낸다. 패키지는 38 TSSOP_EP를 사용하였으며 칩 사이즈는 3780 * 2050um²이다. Layout 그림에서 위쪽에 보이는 8개의 노란 소자가 출력단 DMOS를 나타낸다. Logic부분은 동부

에서 Layout했기 때문에 제외되어 있다.

표 1 절대정격

VDD	13.2V
GVDD	13.2V
PVDD	30V
OUT	30V
BST	43.2V
VREG	3.6V
PWM, OC_ADJ, SEL[0,1,2]	3.6V
RSTAB, RSTCD, SD, OTW	3.6V
Maximum continuous sink current(SDB, OTWB)	9mA
Minimum pulse width (LOW)	50ns
Operating Junction Temperature	0~125°C
Storage Temperature	-40~125°C

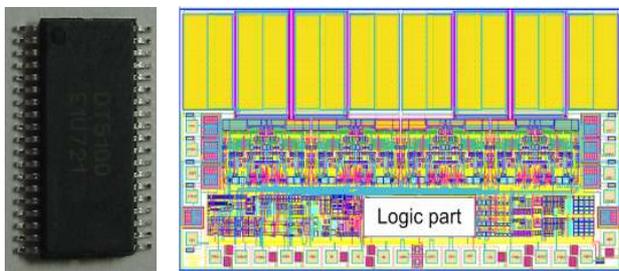


그림 2 Class-D Amplifier의 외관도 및 Layout

2.3 Class-D Amplifier의 특징

그림 3은 출력단 1채널만 표현한 Class-D Amplifier의 블록도를 보여준다. 내부 디지털 블록의 전원용으로 3.3V의 LDO가 내장되어 있으며 제어 및 보호회로등이 포함되어 있다. 각 블록의 기능은 다음과 같다.

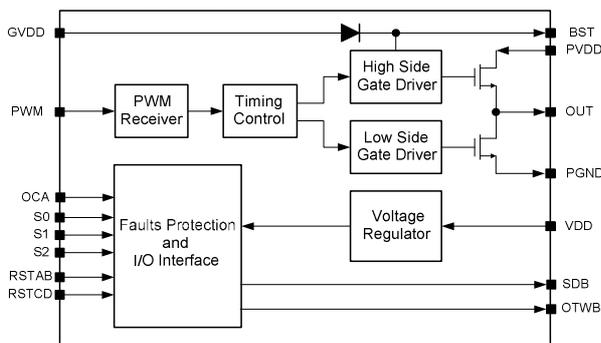


그림 3 Functional Block

a) Timing Control

Timing Control 블록은 입력파형에 충실한 출력파형의 Timing을 제어하기 위한 회로이다. 출력단 상하측 구동 MOSFET의 dead-time을 길게 하면 출력 파형의 왜곡이 커져서 음질이 떨어지고 그와 반대로 작게 하면 왜곡을 줄일 수 있지만 상단락 전류에 의해서 발열이 문제가 되는 trade-off의 관계에 있기 때문에 IC 테스트 후에 값을 설정할 수 있도록 레지스터를 사용하여 변경 가능하게 설계하였다. 이를 위해서 dead-time 3bit, 상측 delay-time 2bit, 하측 delaytime 2bit의 7bit의 조정회로를 추가하였다. 3bit는 각각 6ns, 12ns, 24ns로 최대 42ns의 deadtime을 설정할 수 있도록 설계하였다.

상하측 출력 MOSFET의 turn-on, turn-off delay에 따라서

출력단에 왜곡이 발생할 수 있다. 이를 조정하기 위해 상측 delay-time 2bit, 하측 delay-time 2bit를 두었다. 2bit는 각각 5ns, 10ns로 최대 15ns의 delay-time를 설정할 수 있도록 설계하였다.

b) Overcurrent Protection

과전류에 의한 파괴 위험으로부터 출력단 MOSFET을 보호하기 위한 회로이다. 외부저항을 사용하여 출력단의 최대구동전류를 제한할 수 있다. 8개 각각의 드레인-소스 출력 전압을 모니터링해서 설정된 전류보다 큰 전류가 발생하면 해당 MOSFET을 turn-off 시킨다. 출력 전압에서 출력전류를 간접적으로 sensing 하는 방법을 사용하였으며 온도 보상을 위해서 기준전압에도 같은 구조의 MOSFET을 사용하였다.

c) UVLO (Under Voltage Lock-Out) and POR (Power-on Reset)

입력전원이 충분히 크지 않을 경우 출력단 소자가 Active 상태에서 동작할 수 있다. 이 경우 드레인-소스간의 전압의 높아져 과전력 소모로 인한 소자 파괴 위험이 있다. 전원 인가 시 POR은 과부하 걸린 회로를 리셋하고 입력전원이 9.8V에 도달할 때 모든 회로들이 완전히 동작하도록 보호한다. 입력전원이 약 9.8V 아래로 떨어지면 모든 Output들은 high-impedance 상태가 되고 SD가 Active로 동작한다. 모든 회로들은 입력전원이 UVLO threshold 이상이 되면 자동적으로 다시 동작한다. 0.25V의 Hysteresis를 가지고 있다.

d) Over-temperature Protection

고온동작시 IC를 보호하는 회로로 설계온도로는 OTW1과 OTW2의 두 Level이 있는데 OTW1은 칩의 온도가 약 125°C가 되면 시스템에 warning 신호를 보내고 OTW2는 155°C가 되면 IC의 출력단을 turn-off 시킨다.

e) Initial bootstrap Capacitor Charger

상측단 게이트 구동 회로의 전원을 초기에 공급하기 위한 블록이다. reset 신호가 들어오면 출력단 MOSFET이 동작하기 전에 C_{bootstrap}를 충전하는 회로가 내장되어 있다. 출력단 MOSFET을 off시키고 별도의 Path를 통해서 C_{bootstrap}을 충전시켜 곧 바로 정상적인 동작이 가능하게 한다.

f) Device Reset

4개의 Half-bridge에서 2개 채널의 독립된 제어를 위한 두 개의 reset pin이 제공된다. RESET_AB pin에 low를 인가할 때 half-bridge의 A/B 채널의 출력단 소자는 모두 off 상태에서 동작하게 된다. 마찬가지로 RESET_CD pin 역시 low를 인가하게 되면 C/D 채널의 출력단 소자를 모두 off 상태에서 동작하게 만든다.

g) Error Reporting

SD와 OTW pin은 시스템에 IC의 상태를 알리는 기능을 담당한다. 표 2는 Error가 발생했을 때 SD와 OTW pin의 출력 값에 따른 Error 상황이다. 이를 토대로 Error상황을 예측할 수 있다.

표 2 SD와 OTW 출력 값에 따른 Error 상황

SD	OTW	DESCRIPTION
0	0	Overtemperature 또는 overcurrent 또는 undervoltage
0	1	Overcurrent 또는 undervoltage
1	0	Junction temperature 125°C 초과시
1	1	Junction temperature 125°C 미만이고 overcurrent와 undervoltage가 없을때 (정상동작중인 상황)

2.4 입력 vs. 출력 Timing simulation

입력대비 출력단의 delay와 dead-time을 알아보기 위하여 simulation을 실시하였다. Simulation 조건은 다음과 같다.

GVDD = 12V, PVDD = 20V, VDD = 12V, freq = 400kHz
Rload = 8 Ohm, Cbootstrap = 33nF

그림 4-1은 최소 dead-time시 파형을 나타낸다. 위에서부터 차례대로 입력전압, 출력전압, 상하측 구동소자의 게이트 전압, 상하측 구동소자의 전류파형을 나타낸다. Turn-on delay와 turn-off delay를 측정된 결과, 각각 31.1n와 32.7n로 측정되었다. 출력전압의 rising edge에서는 10ns 동안 피크치 약 170mA의 shoot-through가 발생하고 falling edge에서는 3ns동안 피크치 150mA의 상단락 전류가 발생하였다.

그림 4-2는 dead-time을 최대 설정치인 42ns로 설정하였을 때의 파형을 나타낸다. 그림 4-1과 비교하였을 때 출력전류가 겹치지 않아 상단락 전류가 발생하지 않는다. Turn-on delay와 turn-off delay는 각각 67n와 70n로 측정되었다.

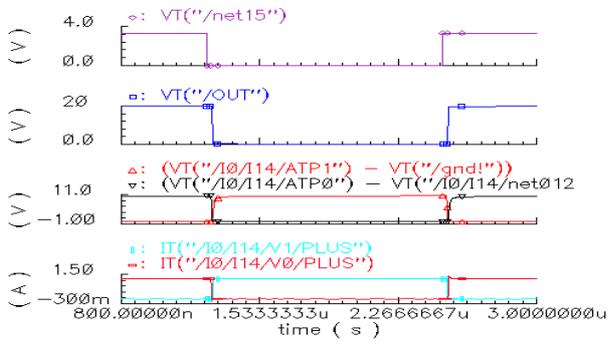


그림 4-1 최소 dead-time 적용시 출력 파형

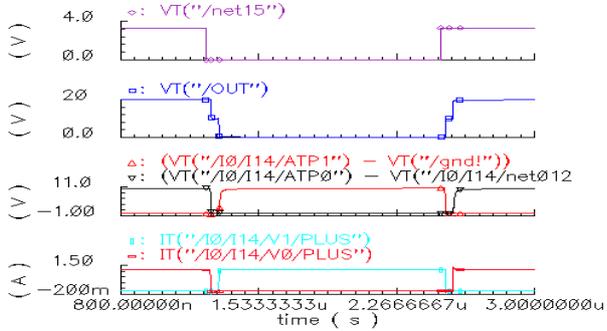


그림 4-2 42ns dead-time 적용시 출력 파형

2.5 실험 결과

제작된 IC로 Class-D Amplifier 시스템 Board를 제작하여 그림 5와 6의 출력파형을 얻을 수 있었다. 입력 신호 주파수는 384kHz이고 LC 필터를 사용하였다. 나머지 조건은 simulation과 같다.

그림 5는 IC의 출력단 PWM 파형을 나타낸다. 필터에 포함된 작은 값의 인덕터에 의해서 transient시 작은 oscillation을 나타내고 있지만 전체적으로 볼 때 384kHz에서도 안정된 동작을 보여주고 있다. 부하 저항과 출력 전압에서 구한 Ron 저항은 약 0.2Ω 정도로 설계치 대비 20% 작은 값을 나타내었다. 이는 기존의 동부하이텍 공정의 결과 대비 매우 향상된 값으로 3-metal 층을 약 27000Å의 최대값으로 적용하여 출력단 MOSFET의 구동 능력이 많이 향상된 것으로 예상된다.

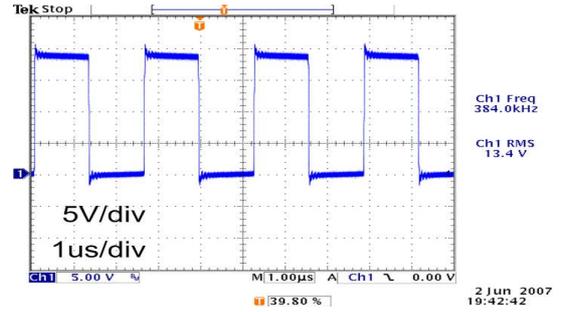


그림 5 PWM 출력 파형

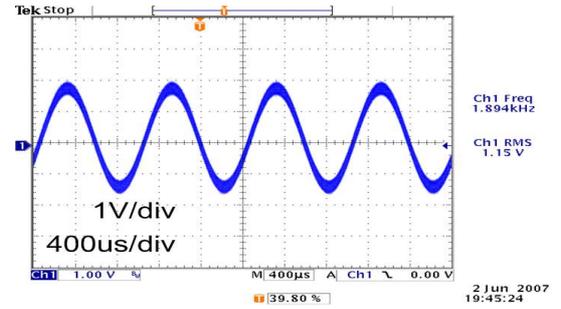


그림 6 LC 필터 후의 출력 파형

그림 6은 PWM 출력에서 LC필터를 통과한 오디오 파형을 보여주고 있다. 출력 PWM의 384kHz에서 필터를 통과하여 1.894kHz의 사인파를 측정하였다. THD+N은 0.08%의 낮은 수치를 보였다. IC 테스트 결과 구동회로와 보호 회로들이 시뮬레이션과 거의 일치하는 동작을 보였다.

3. 결론

본 논문에서는 Class-D Audio Amplifier의 Power Stage를 설계 및 제작하고 검증하였다. 사용공정은 동부하이텍의 0.35um BCDMOS 공정이며 제공된 PDK를 활용하였다. 전체적인 시스템이 간소화 되는 디지털 방식의 Class-D는 출력단 구동 IC의 동작특성에 의해서 시스템의 특성이 좌우된다. 제작된 IC는 전체적인 동작구동 및 보호회로, THD+N, Ron특성에서 설계 목표 대비 만족할 만한 결과를 나타내고 있다. 현재 오디오 시스템에 적용하여 성능을 테스트 중에 있으며 단품특성 평가도 병행하고 있다.

이 논문은 산자부 과제의 연구비 지원에 의하여 수행 되었음

참고 문헌

- [1] I. R. Corp. "Class D Amplifier Basics" IR Application Note AN-1071
- [2] DongbuAnam Semiconductor. "BD350BA Design Manual"
- [3] Kyu-Min Cho. "A novel Class-D Stereo Amplifier Using 3-Phase Full Bridge Circuit" 電子工學會論文誌 第 40 卷 TE編 第 3 號, 2003
- [4] F.A. Himmelstoss and K.H. edelmoser, "High Dynamic Class-D Power Amplifier", IEEE Trans. CE, Vol. 44, No. 4, pp.1329-1333, 1998