

FPGA 를 이용한 고속 전류 제어기의 구현

정은수, 이학준, 설승기

서울대학교 공과대학 전기컴퓨터공학부

Implementation of a Fast Current Controller using FPGA

Eunsoo Jung, Hak-Jun Lee and Seung-Ki Sul

School of Electrical Engineering & Computer Science, Seoul National University, Seoul, 151-744, Korea

ABSTRACT

본 논문에서는 FPGA(Field Programmable Gate Array) 기반의 전류 제어기를 설계하고 구현하였다. 기존의 DSP (Digital Signal Processor) 기반의 전류 제어기는 알고리즘 연산으로 인해 일반적으로 한 샘플링의 디지털 시지연이 발생한다. 반면에, FPGA 기반의 전류 제어기는 FPGA의 높은 연산 능력을 이용하여, 알고리즘 연산에 필요한 시간을 감소시킬 수 있다. 이는 시지연이 물리적으로 줄기 때문에, 어떠한 시지연 보상 알고리즘 없이 전류 제어기의 대역폭을 향상시킬 수 있다. 구현된 FPGA 기반의 전류 제어기의 성능은 실험을 통해 검증되었다.

KEYWORDS — FPGA, 전류 제어기, FPGA 기반 제어기, 디지털 지연, 고속 전류 제어기

1. 서론

반도체 기술의 발전에 따라, 많은 전력전자 분야, 특히 전동기 제어 분야에서 DSP에 기반한 제어기가 주류를 이루어 왔다. 최근 들어, 생산성 향상을 위한 전동기 제어 및 자동화 기기의 고성능화가 요구되고 있으며, 이를 위해 점점 더 높은 성능의 제어기가 요구되고 있다. 이러한 고성능의 제어를 위해 멀티 프로세서나 고사양의 DSP가 사용될 수 있지만, 비용에 비해 그 효과가 크지 않다. 다른 대안으로써 하드웨어 기반인 ASIC 기술을 사용하려고 시도가 있으나, 긴 개발 기간과 초기 투자 비용은 ASIC 기술의 활용에 걸림돌이 되고 있다. 반면, FPGA는 상대적으로 짧은 개발 기간과 설계의 유연성, 강력한 연산 능력으로 인해 또 하나의 대안으로 여겨지고 있다 [1].

초기에는 PWM (Pulse Width Modulation) 발생기와 같이 마이크로 프로세서 내의 일부 기능을 대체하기 위한 목적으로 FPGA 기술이 적용되었으나, 그 이후에는 다양한 PWM 기능과 함께 단일 칩 솔루션으로써 프로세서를 대체하려는 논문들이 발표되었다 [2]. 하지만 이러한 논문들은 주로 재사용 가능한 HDL (Hardware Description Language) 함수 라이브러리의 작성에 집중하였다. 이는 FPGA의 특성 중 유연성(Flexibility)에 초점을 맞춘 것으로, FPGA의 뛰어난 연산 능력을 보여주기에 부족한 점이 있다.

본 논문에서는 FPGA의 뛰어난 연산 성능을 이용하는 전류 제어기를 구현하였으며, 기존 DSP 기반의 전류 제어기에 존재하는 알고리즘 연산에 의한 디지털 지연을 감소시켰다. 이로 인해 ADC (Analog-to-Digital Converter)의 변환 시간을 포함한 알고리즘 연산 시간이 1us 이하로 감소하였다. 이러한 짧은 연산 시간을 이용해 기존의 전류 제어기보다 향상된 제어 성능을 가지는 제어기의 설계가 가능하다. 설계된 FPGA 기반 전류 제어기의 성능을 실험을 통해 검증하였다.

2. 전류 제어기의 설계

A. 영구자석 동기기의 수학적 모델 [3]

동기 좌표계 상의 표면 부착형 영구자석 동기기의 d-q 축 전압방정식은 다음과 같다.

$$V_{dqs}^r = R_s i_{dqs}^r + \frac{d\lambda_{dqs}^r}{dt} + j\omega_r \lambda_{dqs}^r \quad (1)$$

여기서 V_{dqs}^r 는 고정자 전압, i_{dqs}^r 는 고정자 전류, R_s 는 고정자 저항, ω_r 는 전기각으로 표시한 회전자의 회전속도이다. 위첨자 'r'은 기준 좌표계가 회전자에 동기된 좌표계임을 의미한다.

영구 자석과 고정자 전류에 의한 쇄교 자속, λ_{dqs}^r 에 대한 식은 다음과 같이 표현된다.

$$\lambda_{dqs}^r = L_s i_{dqs}^r + \lambda_{PM} \quad (2)$$

여기서 L_s 은 고정자의 자기 인덕턴스(Self Inductance), λ_{PM} 은 영구 자석에 의한 쇄교 자속(Flux Linkage)을 나타낸다.

B. 동기 좌표계 전류 제어기의 구조 [3]

동기 좌표계 전류 제어기는 비례적분 제어기와 동기 좌표계 변환식으로 구성되어 있다. 일반적으로 제어기의 동특성을 향상시키기 위해 그림 1과 같이 전향 보상을 추가한다. 이러한 제어기의 출력 전압은 (3)과 같이 나타낼 수 있다.

$$V_{dqs}^{r*} = \left(\frac{K_i}{s} + K_p \right) (i_{dqs}^{r*} - i_{dqs}^r) + j\omega_r L_s i_{dqs}^r + V_{dqs_ff}^{r*} \quad (3)$$

여기서 K_p 와 K_i 는 각각 비례적분 제어기의 비례, 적분 이득이다. $j\omega_r L_s i_{dqs}^r$ 은 교차 간섭 효과를 소거하기 위한 항이다. $V_{dqs_ff}^{r*}$ 는 영구 자석의 회전에 의한 역기전력을 보상하는 전향 보상 항이며, $V_{dqs_ff}^{r*} = \omega_r \lambda_{PM}$ 로 나타낼 수 있다. 이 두 전향 보상 항이 정상적으로 동작한다면, (1)의 마지막 항이 사라지고, 전동기는 R-L 직렬 부하로 생각할 수 있다. 따라서 제어기 폐루프(Closed Loop)의 전달 함수는 전류 측정과 제어에 있어 시지연(Time Delay)을 무시하면 (4)와 같이 표시할 수 있다.

$$\frac{i_{dqs}^r}{i_{dqs}^{r*}} \approx \frac{K_p s + K_i}{L_s s^2 + (R_s + K_p) s + K_i} \quad (4)$$

이 전달 함수에는 하나의 영점과 두 개의 극점이 존재하므로, 계단형 전류 지령에 대한 응답(Step Response)에서 진동이 일어날 수 있다. 이를 피하기 위해 일반적으로 비례 적분 이득은 다음과 같은 영점-극점 소거(pole-zero cancellation) 방식으로 정해진다.

$$K_p = L_s \omega_{cc} \quad K_i = R_s \omega_{cc} \quad (5)$$

여기서 ω_{cc} 는 제어기 대역폭이며, 일반적으로 DSP 기반 제어기에서 스위칭 주파수의 1/10 이하로 제한된다. 만약 비례적분 제어기 이득 설정에 이용한 전동기 정수가 실제 값과 같다면, 시스템의 전달 함수 (4)는 (5)에 의해 (6)과 같이 된다.

$$\frac{i_{dqs}^r}{i_{dqs}^{r*}} = \frac{\omega_{cc}}{s + \omega_{cc}} \quad (6)$$

위 식에서 보듯이 바와 같이 이러한 이득 선정으로 제어기는 전류 지령에 대해 1차 저역 통과 필터로 동작하게 된다.

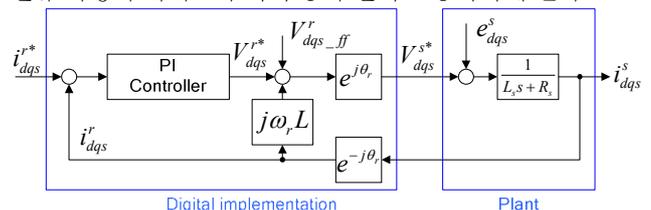


그림 1. 일반적인 동기 좌표계 전류 제어기의 구조

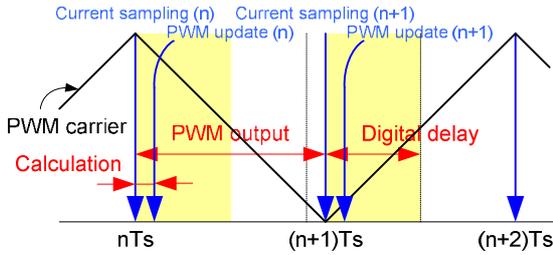


그림 2. 디지털 시지연이 없는 시스템의 PWM

C. 전압형 인버터에서의 PWM 기법

일반적인 서보 드라이브 시스템에서는 PWM 인버터가 사용된다. PWM에 의한 구동 시, 기본파(Fundamental Wave) 성분의 전류를 얻기 위해, 흔히 PWM 반송파의 최대점과 최소점에서 전류를 측정한다. 이 경우, 두 종류의 디지털 지연이 존재하는데, 첫째는 제어기 내부의 알고리즘 계산을 위한 시지연이다. 이는 전류 측정값으로부터 출력 전압을 연산하는데 필요한 시간으로, 일반적으로 수 us에서 수십 us가 소요된다. 따라서, 계산 결과인 PWM 출력은 다음 샘플링 시점에서 갱신(Update)되어야 한다. 둘째 지연 요소로는 PWM 출력에 의한 시간 지연이 있다. PWM은 출력 전압을 평균적으로 합성하기 때문에, ZOH(Zero Order Hold)에 의한 반 샘플링의 시지연으로 볼 수 있다. 따라서 전체 디지털 지연은 이 두 지연 요소에 의해 샘플링 주기의 1.5 배가 된다. 디지털 시지연은 전류 제어기의 대역폭을 제한하기 때문에, 이러한 시지연을 감소시킴으로써 제어기의 성능을 향상시킬 수 있다. 즉, 그림 2와 같이, 알고리즘 연산과 PWM 갱신을 같은 주기에 실행시킬 수 있다면, PWM에 의한 반 샘플 지연만이 남게 되므로, 기존의 제어기에 비해 높은 성능의 제어기를 쉽게 설계할 수 있게 된다 [7].

3. FPGA 기반의 전류 제어기의 구현

DSP에서는 모든 수치 및 논리 연산이 순차적으로 행해진다. 반면, FPGA에서는 많은 연산을 동시에 수행함으로써 동일한 알고리즘을 수행하는데 필요한 시간을 단축시킬 수 있다.

A. 각 기능 블록의 구현

FPGA를 이용하여 전류제어기를 구현하기 위해 먼저 다음과 같은 기능 블록들을 구현하였다.

- 12bit Analog-to-Digital Converters (ADC) 인터페이스
- 엔코더 인터페이스
- 메모리의 참조표(LUT) 이용한 Sin/Cos 함수
- 동기 좌표계 변환과 그 역변환
- 비례 적분 제어기
- 오피셋 전압을 이용한 공간 벡터 PWM
- 상전류 방향에 따른 데드타임(Dead Time) 보상 알고리즘
- Digital-to-Analog Converter (DAC) 인터페이스

위의 블록들을 이용한 전체 시스템은 그림 3과 같이 구성하였다. ADC와 엔코더는 각각 상전류와 회전자의 위치를 측정하기 위해 사용하였다. 다른 기능 블록들은 DSP 내에서 소프트웨어적인 연산을 하드웨어적으로 치환하도록 설계하였다. PWM 반송파의 최대점과 최소점에서 싱크(sync) 신호가 발생하면, ADC와 엔코더 인터페이스 블록으로부터 상전류와 회전자 위치 정보가 갱신된다. 각 정보를 이용하여 Sin/Cos LUT로부터 sine 값과 cosine 값이 출력되고, 이 값과 상전류 정보를 이용하여 좌표계를 변환한다. 그 다음, 동기 좌표계 상에서 비례적분 제어기가 동작하여, 전압 지령이 출력된다.

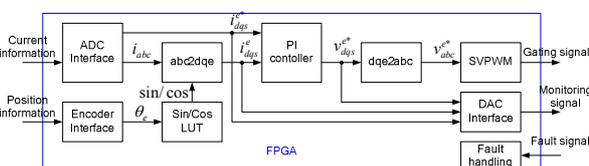


그림 3. 구현된 FPGA 함수의 블록 다이어그램

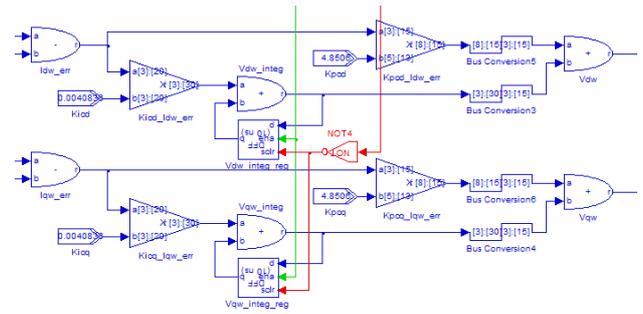


그림 4. DSP builder를 이용한 비례 적분 제어기의 구현

이 출력값은 다시 좌표계 역변환 함수에 의해 상전압으로 변환된다. 공간 벡터 PWM에서는 각 상전압으로부터 풀전압 지령이 생성되고 이를 이용하여 적절한 시간에 게이팅 신호가 인가되게 된다.

앞서 설명한 바와 같이 ADC와 엔코더 인터페이스에서부터 SVPWM까지는 순차적으로 처리된다. 하지만 이는 모든 연산이 순차적으로 실행되는 것을 의미하지는 않는다. 각 함수들의 내부는 병렬 구조로 구성되어 있기 때문에 블록 내부의 연산은 병렬로 이루어진다. 그림 4는 그 예로 비례적분 제어기의 내부를 표현한 Simulink 모델이다. 이 블록의 내부에는 d축 비례, 적분 항과 q축 비례, 적분 항이 모두 동시에 연산되기 때문에, 이 블록의 연산 시간은 이 네 항 중 가장 연산 시간이 긴 항에 의해 결정된다. 이 경우는 4 클럭(Clock) 주기만에 비례 적분 제어기가 모든 연산을 수행하게 된다. 같은 이유로 다른 블록들의 동작도 수 클럭 주기만에 블록의 동작을 완료하게 된다.

B. 구현된 제어기의 성능

본 논문에서 Altera사의 Stratix2 계열의 FPGA EP2S60F1020F를 사용하였다. 사용된 리소스는 표 1과 같다. FPGA의 메인 클럭 주파수는 100MHz로 설계하였고, ADC에서 값을 읽고 공간 벡터 PWM의 카운터 레지스터를 갱신시키는 데까지 20 클럭 주기(200ns)가 소요된다. 그리고 ADC 변환 시간은 Texas Instrument사의 ADS805를 사용하여 600ns가 소요된다. 따라서 ADC 변환 시간을 포함한 총 수행 시간은 800ns이다. 이는 샘플링 주파수를 40kHz로 할 때, 샘플링 주기의 3.2%에 해당하는 시간이다.

4. 실험 결과

설계된 FPGA 기반 전류 제어기의 성능을 검증하기 위해 그림 5과 같이 실험 세트를 구성하였다. 실험에 사용된 표면부착형 동기 전동기의 제정수는 표 2와 같으며, 엔코더는 6000 PPR의 증분형을 사용하였다. 인버터의 스위칭 주파수는 20kHz로, 샘플링 주파수는 40kHz로 설정하였다. 설계된 제어기의 대역폭 ω_c 은 스위칭 주파수의 약 1/3인 6kHz로 설정하였다.

그림 6은 정격 전류의 20% 오피셋, 7%의 진폭에 해당하는 1kHz 사인파(Sinusoidal Wave) d-축 전류 지령에 대한 응답을 보여준다. 전류 지령과 피드백 전류 사이에는 시간적으로 한 샘플링의 지연이 발생하며, 이는 약 -9°의 위상차에 해당한다. 그림 7은 그림 6과 같은 조건의 3kHz의 전류 지령에 대한 응답을 보여준다. 전류 지령과 피드백 전류 사이에는 시간적으로 한 샘플링의 지연이 발생하며, 이는 약 -27°의 위상차에 해당한다.

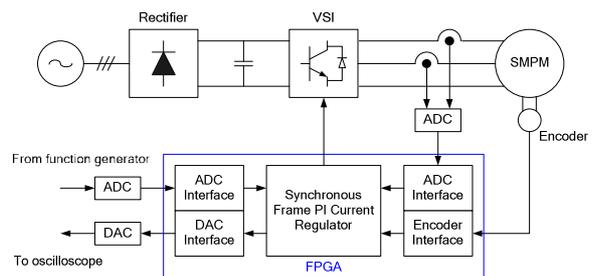


그림 5. 전체 시스템의 구성

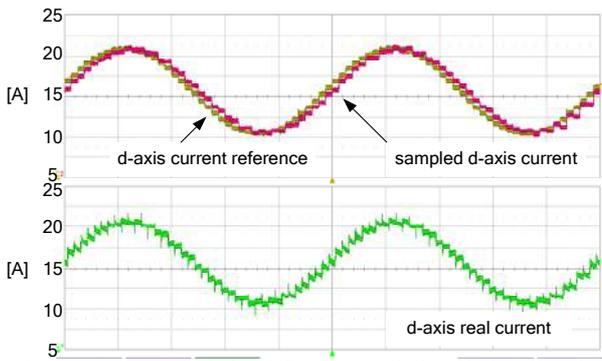


그림 6. 1kHz 사인과 d-축 전류 지령: 정격 전류의 20% 오셋과 7%의 진폭 (200us/div.)

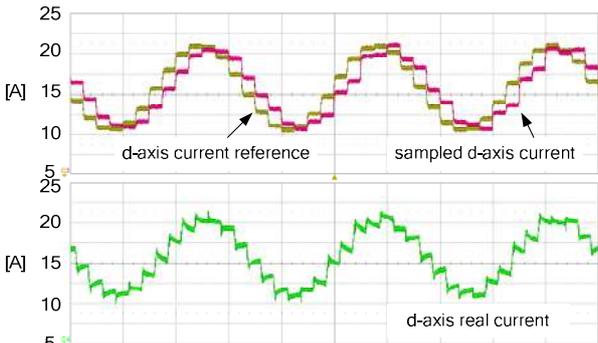


그림 7. 3kHz 사인과 d-축 전류 지령: 정격 전류의 20% 오셋과 7%의 진폭 (100us/div.)

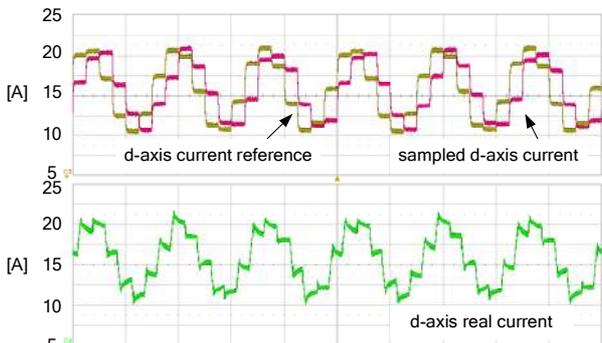


그림 8. 6kHz 사인과 d-축 전류 지령: 정격 전류의 20% 오셋과 7%의 진폭 (100us/div.)

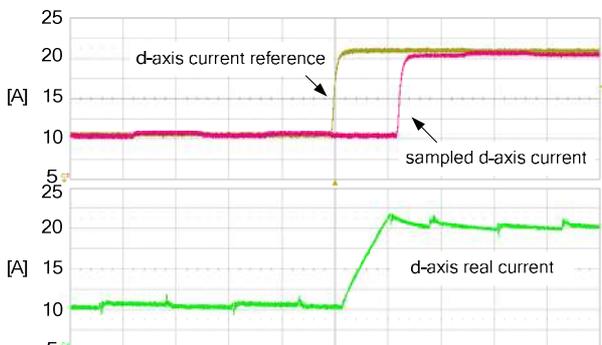


그림 9. 계단형 d-축 전류 지령: 10A→20A, 정격 전류의 15% 오셋으로부터 15%를 변화(20us/div.)

그림 8 는 그림 6 과 같은 조건의 6kHz 의 전류 지령에 대한 응답을 나타낸다. 6kHz 지령의 경우, 7 번의 샘플링으로 사인파를 형성하므로 정확한 위상차를 나타내기가 쉽지 않다. 따라서 근사적으로 약 한 샘플링에 가까운 시지연으로 가정하면, 이는 약 -54°의 위상차에 해당한다.

그림 9 은 전류 제어기의 계단형 전류 지령에 대한 응답을 나타낸다. 계단형 전류 지령은 정격 전류의 10% 오셋으로부터

20%를 변화시킨 것이다. 정상상태에 도달하기까지 약 2 샘플링이 소요되며, 이는 50us 에 해당한다. 앞서 2 장에서 전류 제어기를 아날로그 형태의 1 차 저역 통과 필터로 가정하였다. 구현된 전류 제어기의 경우, 아날로그 필터와 동일한 성능을 나타내지는 않지만, 그림 6-9 의 실험 결과를 볼 때, 근사적으로 비슷한 성능을 내는 것을 확인할 수 있다. 사인과 지령에 대한 위상 지연, 계단형 지령에 대한 상승 시간 등을 고려할 때, 약 6kHz 정도의 대역폭을 가진 것으로 판단할 수 있다.

5. 결론

본 논문에서는 디지털 지연을 감소시키기 위한 FPGA 기반 전류 제어기를 구현하였다. 기존의 DSP 기반에서 AD 변환을 포함한 알고리즘 연산 시간이 수 us 이상 걸리던 것에 비해 구현된 제어기는 800ns 로 연산 시간을 크게 감소시켰다. 이를 통해 아무런 시지연 보상 알고리즘 없이 기존 DSP 기반의 전류 제어기보다 3 배 이상의 높은 대역폭을 가지는 제어기를 구현하였다. 구현된 제어기의 성능은 실험을 통해 검증하였다.

참고 문헌

- [1] J.M.Retif, B.Allard, X.Jorda, and A.Perez, "Use of ASIC's in PWM techniques for power converters," in *Proc. IEEE IECON'93*, pp.683-688, 1993
- [2] S.Betro, A.Paccagnella, M.Ceschia, S.Bolognani, and M.Zigliotto, "Potentials and pitfalls of FPGA application in inverter drives - a case study," in *IEEE Int. Conf. industry technology 2003*, vol. 1, pp. 500-505, Dec. 2003
- [3] 설승기, "전기기기제어론", 브레인 코리아, 2002
- [4] V.Blasko, V.Kaura, and W.Niewiadomski, "Sampling of Discontinuous Voltage and Current Signals in Electrical Drives," *IEEE Trans. Industry Application*, vol. 34, No.5, Sep 1998.
- [5] S.H.Song, J.W.Choi, and S.K.Sul, "Current Measurement of Digital Field Oriented Control," in *Conf. Rec. of AS'96*, pp. 334-338, 1996.
- [6] Y.C.Son, S.H.Song, and S.K.Sul, "Analysis and Compensation of Current Sampling Error in AC Drive with Discontinuous PWM," *IEEE-APEC*, vol. 2, No.5, pp.795-799, Mar 1999.
- [7] A.Yoo, Y.D.Yoon, S.K.Sul, M.Hisatune, S.Morimoto, and K. Ide, "Design of a Current Regulator with Extended Bandwidth for Servo Motor Drive," in *Conf. Rec. PCC-Nagoya*, 2007

표 1. 사용된 FPGA 리소스(Stratix2, EP2S60F1020F)

Resource	Use/Total	Percent [%]
ALUTs	1,932/48,352	4
Registers	1,489/48,352	3
pins	77/719	11
Memory bits	188,416/2,544,192	7
9bit DSP block	152/288	53
PLL	1/12	8

표 2. 동기전동기 제정수

	크기 [단위]
정격 출력	11 [kW]
정격 토크	52.5 [Nm]
정격 전류	51.4 [Arms]
정격 속도	2,000 [r/min]
고정자 저항	13 [mΩ]
고정자 인덕턴스	0.386 [mH]