

위상천이 폴-브릿지 PWM 컨버터의 이산 시간 모델링 및 제어기 설계

임 정 규, 임 수 현, 정 세 교
경상대학교 전기전자공학부

Discrete Time Domain Modeling and Controller Design of Phase Shifted Full Bridge PWM Converter

Jeong-Gyu Lim, Soo-Hyun Lim, Se-Kyo Chung
Division of Electrical and Electronic Engineering, Gyeongsang National University

ABSTRACT

A phase shifted full-bridge PWM converter (PSFBC) has been used as the most popular topology for many applications. But, for the reasons of the cost and performance, the control circuits for the PSFBC have generally been implemented using analog circuits. The studies on the digital control of the PSFBC were recently presented. However, they considered only the digital implementation of the analog controller. This paper presents the modeling and design of the digital controller for the PSFBC in the discrete time domain. The discretized PSFBC model is first derived considering the sampling effect. Based on this model, the digital controller is directly designed in discrete time domain. The simulation and experimental results are provided to verify the proposed modeling and controller design.

1. 서 론

위상천이 폴-브릿지 PWM 컨버터는 추가적인 회로 구성없이 영전압 스위칭을 할 수 있는 토폴로지로서 고주파수 스위칭 동작을 가능하게 하여 높은 전력 밀도와 효율을 갖는 시스템을 구현할 수 있다.^[1] 이러한 위상천이 폴-브릿지 PWM 컨버터는 대부분 아날로그 방식에 의해 구현되고 있다. 아날로그 방식에 비해 디지털 방식의 장점은 이미 대부분의 시스템 설계자가 인식하고 있으며, 프로세서 분야 등과 같은 기술들의 비약적인 발전으로 인해 디지털 방식의 적용이 점차 늘고 있는 추세이다. 본 논문에서는 위상천이 폴-브릿지 PWM 컨버터의 이산 영역에서의 모델링과 제어기 설계에 관해 기술하였다.

위상천이 폴-브릿지 PWM 컨버터의 분석을 위한 소신호 모델은 벡-컨버터로부터 유도될 수 있다.^[2] 이산 영역에서의 제어시스템 설계를 위해서는 연속치 시스템의 전달함수를 이산치 시스템 전달함수로 변환하여야 하며 이러한 변환에 대한 기술은 이미 다양하게 개발되어 있다.^[3] 선형 연속치 시스템에 대한 분석 방법과 설계는 이산치 시스템에도 적용될 수 있으나 샘플러의 영향을 신중히 고려하여야 한다. 본 논문에서는 이러한 샘플러의 영향을 고려하여 이산 영역에서의 위상천이 폴-브릿지 PWM 컨버터 제어시스템의 모델링과 설계를 수행하였다. 이산 영역 전달함수 모델 분석을 이용하여 시스템의 성능 개선을 위해

디지털 PI제어기를 설계하였으며 시뮬레이션과 실제 제작된 100W/100kHz 위상천이 폴-브릿지 컨버터를 이용한 실험을 통해 그 성능을 검증하였다.

2. 위상천이 폴-브릿지 PWM 컨버터

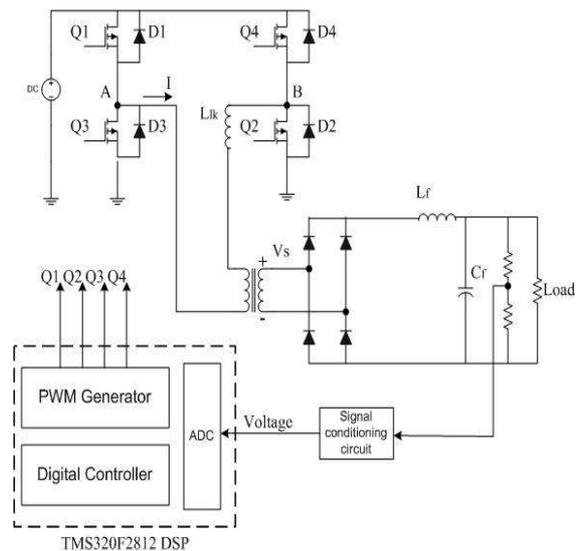


그림 1. 위상 천이 폴-브릿지 컨버터
Fig. 1. Phase-Shifted Full-Bridge Converter

그림 1은 위상 천이 폴-브릿지 PWM 컨버터의 디지털 제어 시스템을 나타내고 있다. 시스템은 게이트 드라이버를 포함한 전력단과 TMS320F2812 DSP를 이용한 디지털 제어기, 그리고 Singnal conditioning 회로 등으로 구성되어 있다. 위상 천이 폴-브릿지는 지상 및 진상 레그의 위상 제어를 통해 출력을 조절하며, 또한 이러한 위상 제어와 변압기의 누설 인덕터에 축적된 에너지, 스위치로 사용된 MOSFET의 기생 커패시터의 충전 에너지에 의해 영전압 스위칭이 이루어진다.^[1]

3. 디지털 제어기 설계

3.1 소신호 모델^[2]

위상 천이 폴-브릿지 컨버터의 소신호 등가회로는 벡 컨버터 소신호 등가회로에 필터 인덕터 전류와 입력전압에 의한 시비율 변화를 고려하여 그림 2와 같이 나타낼 수 있다.

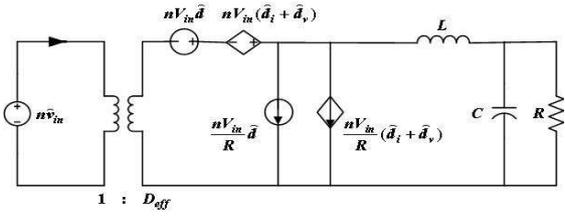


그림 2 소신호 등가 회로
Fig. 2 Small-signal equivalent circuit

소신호 등가 회로 모델로부터 식 (1) 같은 제어입력 대 출력 전달함수를 유도할 수 있다.

$$G(s) = \frac{\hat{v}_o}{\hat{d}} = \frac{nV_{in}}{LC} \cdot \frac{1}{s^2 + \left(\frac{1}{RC} + \frac{R_d}{L}\right)s + \left(\frac{R_d}{RLC} + \frac{1}{LC}\right)} \quad (1)$$

여기서, $R_d = 4n^2 L_{lk} f_s$

3.2 제어기 설계

그림 3은 디지털 제어기 설계를 위한 제어 시스템 블록도를 나타내고 있다. 전체 제어 시스템 블록은 식 (1)의 위상천이 폴-브릿지 컨버터의 제어입력 대 출력 전달함수 $G(s)$ 와 디지털 제어기 $G_c(z)$, 계산 지연 e^{-sT_d} , 전압 검출 이득 K_d , ZOH 로 구성되어 있다.

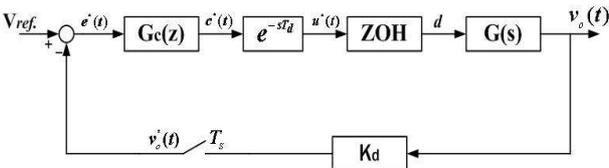


그림 3 디지털 제어 시스템 블록도
Fig. 3 Block diagram of digital control loop

디지털 제어기는 일반적으로 연속 시간 영역에서 제어기를 설계하여 이산 시간 영역으로 변환시키는 방법과 이산 시간 영역에서 직접 설계하는 방법이 있다. 이산 시간 영역에서 디지털 제어기의 설계 위해서는 연속시간 영역에서 표현된 전달함수를 이산 시간 영역에서의 함수로 나타내어야 한다. ZOH, e^{-sT_d} , K_d 를 고려한 컨버터의 이산시간 개루프 전달함수 $G_c(z)$ 는 식 (2)와 같다.

$$G_c(z) = Z\left[\frac{1 - e^{-sT_s}}{s} \cdot e^{-sT_d} \cdot G(s) \cdot K_d\right] = \frac{\gamma}{\beta} \cdot \frac{b_2 z^2 + b_1 z + b_0}{z^3 + a_1 z^2 + a_0 z} \quad (2)$$

T_d 와 T_s 는 각각 계산 시간 지연과 샘플링 시간을 나타내며 각 항의 계수는 하단에 나타내었다. 식 (3)은 샘플링 시간을 고려한 이산 영역에서의 PI 제어기를 나타내며, 이 제어기를 포함한 폐루프시스템의 특성방정식은 식 (4)와 같다.

$$G_c(z) = \frac{K_p z - (K_p - K_I T_s)}{z - 1}$$

(3)

제어기를 포함한 폐루프시스템의 특성 방정식은 식 (4)와 같이 주어진다.

$$d_4 z^4 + d_3 z^3 + d_2 z^2 + d_1 z + d_0 = 0$$

(4)

그림 4는 샘플링 시간에 따른 PI 제어기의 적분 이득 상수 K_I 와 비례 이득 상수 K_P 의 경계값을 도시한 것이다. 그림에서 표면 아래 영역은 안정한 영역이며, 표면 위의 영역이 불안정한 영역을 나타낸다. 이 그림은 식 (4)의 특성방정식을 안정도 판별법에 적용하여 유도하였으며 특성방정식의 각 계수는 페이지 하단에 나타내었다. 사용된 시스템 파라미터는 표 1과 같다. 그림에 나타난 바와 같이 샘플링 시간이 약 10us이하에서는 상대적으로 매우 넓은 범위의 이득 값을 가질 수 있다.

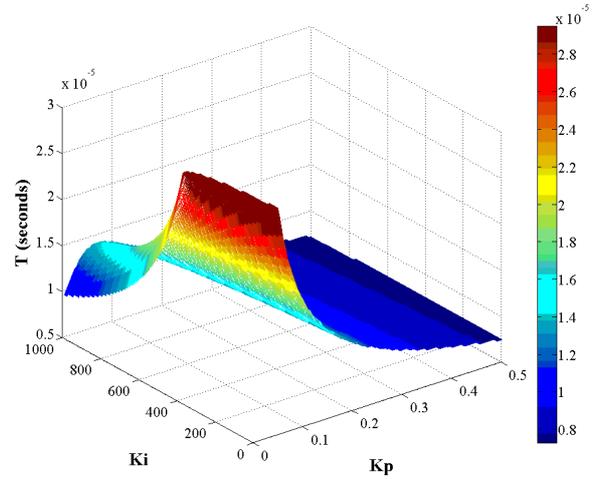


그림 4 K_I , K_P , T_s 값에 대한 안정 영역
Fig. 4. Stable region for various K_I , K_P , T_s values

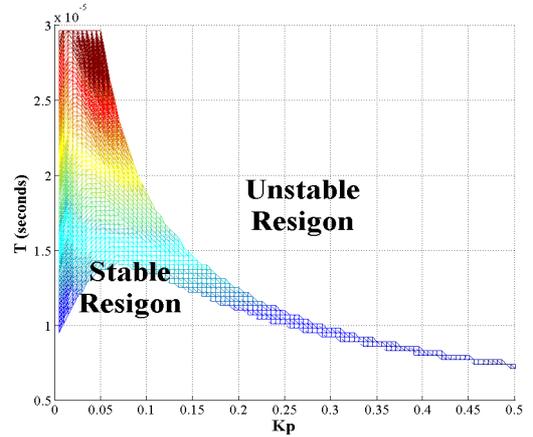


그림 5 K_P , T_s 값에 대한 안정영역
Fig. 5 Stable region for various K_I and T_s values

$$\alpha = \frac{1}{RC} + \frac{R_d}{L}, \quad \beta = \frac{R_d}{RLC} + \frac{1}{LC}, \quad \gamma = \frac{nV_{in}}{LC}, \quad A = \cos\left(m\sqrt{\beta - (\alpha/2)^2}T + \phi\right), \quad B = e^{-\alpha T} \cos\left[(1-m)\sqrt{\beta - (\alpha/2)^2}T - \phi\right], \quad \phi = \tan^{-1}\left(\frac{\alpha/2}{\sqrt{\beta - (\alpha/2)^2}}\right), \quad m = 1 - T_s$$

$$a_1 = -2e^{-\frac{\alpha}{2}T} \cos\sqrt{\beta - (\alpha/2)^2}T, \quad a_0 = e^{-\alpha T}, \quad b_2 = 1 - e^{-\frac{\alpha}{2}T} \sec\phi A, \quad b_1 = e^{-\frac{\alpha}{2}T} \sec\phi(A+B) - 2e^{-\frac{\alpha}{2}T} \cos\sqrt{\beta - (\alpha/2)^2}T, \quad b_0 = e^{-\alpha T} - e^{-\frac{\alpha}{2}T} \sec\phi B$$

$$d_4 = 1, \quad d_3 = -K_p \frac{\gamma}{\beta} e^{-\frac{\alpha}{2}T} \sec\phi A - \left(2e^{-\frac{\alpha}{2}T} \cos\sqrt{\beta - (\alpha/2)^2}T - 1\right), \quad d_2 = K_p \frac{\gamma}{\beta} \left(e^{-\frac{\alpha}{2}T} \sec\phi(A+B) - 2e^{-\frac{\alpha}{2}T} \cos\sqrt{\beta - (\alpha/2)^2}T - \left(\frac{K_p - K_I T_s}{K_p}\right) \left(1 - e^{-\frac{\alpha}{2}T} \sec\phi A\right)\right) + 2e^{-\frac{\alpha}{2}T} \cos\sqrt{\beta - (\alpha/2)^2}T + e^{-\alpha T}$$

$$d_1 = K_p \frac{\gamma}{\beta} \left(e^{-\alpha T} - e^{-\frac{\alpha}{2}T} \sec\phi B - \left(\frac{K_p - K_I T_s}{K_p}\right) \left(e^{-\frac{\alpha}{2}T} \sec\phi(A+B) - 2e^{-\frac{\alpha}{2}T} \cos\sqrt{\beta - (\alpha/2)^2}T\right)\right) - e^{-\alpha T}, \quad d_0 = \frac{\gamma}{\beta} (K_p - K_I T_s) \left(e^{-\alpha T} - e^{-\frac{\alpha}{2}T} \sec\phi B\right)$$

그림 5는 그림 4를 Kp 축면에서 나타낸 그림이며, 이것은 Kf 를 0으로 하였을 때, 즉 페루프의 순방향 경로에 순수 이득만을 고려하여 안정과 불안정 영역을 나타낸 것과 같은 결과이다. 샘플링 시간 10us에서의 안정한 이득의 경계값은 0.28 이다.

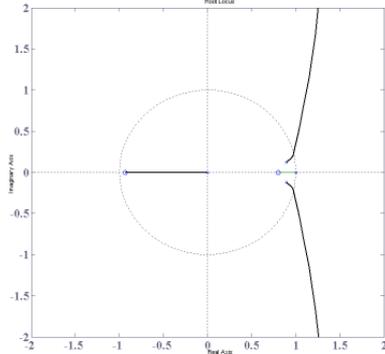


그림 6 PI 제어를 포함한 페루프 시스템의 근궤적
Fig. 6 Root loci of closed-loop system with PI controller

그림 6은 제어를 포함한 위상전이 폴-브릿지 컨버터의 페루프 시스템의 근궤적을 나타낸 그림이다. 샘플링 시간은 10us, 제어기의 적분 이득 Ki 는 4905, 비례 이득 Kp 는 0.0545이다.

표 1 시스템 파라미터
Table 1 System parameters

입력전압 V_{in}	48[V]	출력 필터 인덕턴스 L_f	30[uH]
출력전압 V_{out}	12[V]	출력 필터 커패시턴스 C	100[uF]
권선비(N_p/N_s) n	0.5	정상상태 유효시비율 D_{eff}	0.5
변압기 누설인덕턴스 L_{lk}	5[uH]	스위칭 주파수 f_s	100[kHz]

4. 실험 결과

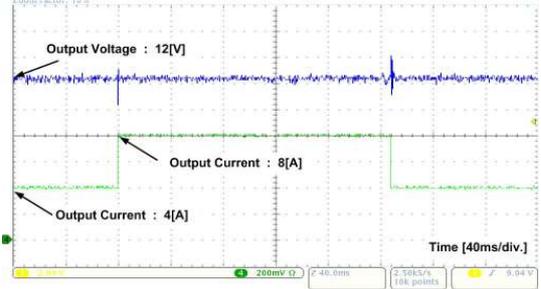
설계된 디지털 제어시스템의 성능을 검증하기 위하여 시뮬레이션 및 실험을 수행하였다. 그림 7은 설계된 제어기의 시뮬레이션 결과를 나타내며, PSIM7 시뮬레이션 소프트웨어를 이용하였다. 임의적으로 4[A]에서 8[A]의 부하 변동을 주었을 때 출력 전압은 약 0.8ms 뒤에 정상상태 값을 유지하며, 오버슈트는 11% 정도를 나타내고 있다. 또한 정상상태에서 12[V]의 정전압을 유지하고 있음을 알 수 있다.



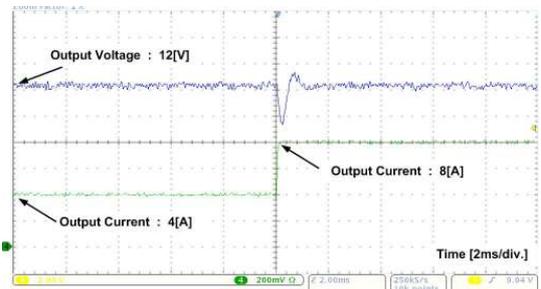
그림 7 시뮬레이션 결과
Fig. 7 Simulation results

그림 8은 실제 제작된 100W/100kHz 위상전이 폴-브릿지 PWM 컨버터에서의 실험 결과를 나타낸다. 그림 8.(a)는 시뮬레이션의 조건과 같이 4[A]에서 8[A]의 부하 변동을 주었을

때 출력 전압의 파형을 나타낸다. 출력 전압은 약 12[V]의 정전압을 유지함을 알 수 있다. 그림 8.(b)는 부하 변동 시 특성을 확인하기 위해 시간 축을 확대한 그림이다. 출력 전압은 약 10ms 뒤에 정상 상태를 유지하며 12% 정도의 오버슈트를 나타내고 있다.



(a)



(b)

그림 8 실험 결과
Fig. 8 Experiment results

5. 결론

샘플링 주기의 선택은 디지털 제어 시스템 설계에 중요한 요소로 작용한다. 본 논문에서는 이러한 샘플러의 영향을 고려하여 이산 영역 PI제어의 파라미터 변화에 대해 분석하였다. 이산 영역 전달함수 모델을 이용하여 시스템의 성능 개선을 위한 디지털 PI제어를 설계하였으며 PSIM7 시뮬레이션 프로그램을 통해 그 성능을 검증하였다. 또한, 100W/100kHz 위상전이 폴-브릿지 컨버터를 제작하여 실험하였으며, 실험 결과 분석을 통해 설계된 제어기의 타당성을 입증하였다.

이 논문은 산업자원부에서 시행한 전력산업 인프라 구축지원사업의 지원에 의하여 수행된 연구결과입니다.

참고 문헌

- [1] J. A. Sabate, V. Vlatkovic, R. B. Ridley, F. C. Lee, and B. H. Cho, "Design considerations for high-voltage high-power full-bridge zero-voltage-switched PWM converter", IEEE APEC'90 Proc., 1990, pp. 275-284.
- [2] J. A. Sabate, V. Vlatkovic, R. B. Ridley, F.C. Lee, and B. H. Cho, "Small-signal analysis of zero-voltage switched full-bridge PWM converter", High Frequency Power Conversion Conf.'90 Rec., 1990, pp. 262-272.
- [3] Y. Duan, H. Jin, "Digital controller design for switchmode power converters", IEEE APEC '99 Proc. vol.2 1999, pp. 967-973