

극저 누설전류를 가지는 1.2V 모바일 DRAM

박상균^{1 2 3}, 서동일², 전영현², 공배선^{1 3}
성균관대학교 삼성전자

Sub-1.2-V 1-Gb Mobile DRAM with Ultra-low Leakage Current

Sang-Kyun Park^{1 2 3}, Dong-il Seo², Young-Hyun Jun², Bai-Sun Kong^{1 3}

¹Sungkyunkwan University

²Samsung Electronics

E-mail : doogie@skku.edu, bskong@skku.edu

Abstract

This paper describes a low-voltage dynamic random-access memory (DRAM) focusing on subthreshold leakage reduction during self-refresh (sleep) mode. By sharing a power switch, multiple iterative circuits such as row and column decoders have a significantly reduced subthreshold leakage current. To reduce the leakage current of complex logic gates, dual channel length scheme and input vector control method are used. Because all node voltages during the standby mode are deterministic, zigzag super-cutoff CMOS is used, allowing to preserve internal data. MTCMOS technique is also used in the circuits having no need to preserve internal data. Sub-1.2-V 1-Gb mobile DDR DRAM employing all these low-power techniques was designed in a 60 nm CMOS technology and achieved over 77% reduction of overall leakage current during the self-refresh mode.

I. 서론

Mobile DRAM 은 cellular phone 에 많이 사용되고 있는데, 이 경우 수신대기 상태인 sleep mode 에서의 낮은 전력 소모가 절대적으로 요구된다. 전력소모를 줄이기 위해 동작전압의 감소가 효과적이거나, 이로 인한 speed 저하를 보상하기 위해 transistor 의 threshold 전압 (V_{th}) 또한 낮아지고 있는데, 낮은 V_{th} 는 sleep mode 에서의 sub-threshold leakage(I_{SUB})를 크게 증가시킨다. 또한, 공정 미세화에 따라 short channel 효과가 증가하면서, I_{SUB} 제어가 점점 어려워지고 있다. 표 1 은 DRAM 공정의 미세화에 따른 I_{SUB} 의 급격한 증가를 보여주고 있다. I_{SUB} 를 가장 효과적으로 크게 개선할 수 있는 기술로는 Power Gating 기법을 이용한 MTCMOS 기술이 알려져 있다. 그러나 multi-threshold 전압구현을 위한 공정스텝의 추가, sleep mode 에서 데이터 유지용 flip-flop(F/F) 추가 및 제어, sleep mode exit 시

wake-up latency 및 power plane integrity 문제와 같은 design complexity 증가로 인해 그 구현이 어렵고 복잡하다. 본 논문에서는 그러한 design complexity 없이 DRAM 에 최적화된 I_{SUB} 개선 방안을 제안하고자 한다.

II. 본론

DRAM 은 다음과 같은 특성으로 인해 I_{SUB} 의 제어가 용이하다. 첫째, DRAM 은 Row/Column address decoder 와 같은 다수의 반복적인 회로 블록들로 구성되며, 그 중 선택된 하나의 회로만 동작한다. 따라서 power 스위치용 트랜지스터를 공유함으로써 면적의 큰 증가 없이 I_{SUB} 의 효과적인 개선이 가능하다. 그림 1 은 DRAM 에서 40% 이상 이 그러한 반복적인 회로 블록들로 구성되어 있음을 보여 준다. 둘째, DRAM 은 sleep mode 에서의 내부 신호 level 의 예측이 가능하며, gate level 에서의 speed path 와 non-speed path 의 명확한 구분이 용이하다. 그래서 예측된 신호를 바탕으로 gate level 까지 최적화된 I_{SUB} 개선이 가능하다. Non-speed path 에는 모두 high V_{th} transistor 적용할 수 있다. 데이터를 유지할 필요가 없는 circuits 은 추가적인 F/F 없이도 MTCMOS 의 효과적인 사용이 가능하고, 반면 데이터를 유지해야 하는 circuits 에는 Zigzag super-cutoff CMOS 사용이 효과적이다. NAND/NOR 와 같은 complex gate logic 은 gate 입력을 변경시켜 off transistor 를 stacking 함으로써 negative V_{gs} 효과로 I_{SUB} 개선할 수 있다.

본 논문에서는 기본적으로 gate length 이원화로 dual V_{th} 를 구현하였으며, DRAM 의 Mode Register Set(MRS), Refresh control, DC Generator 및 Test circuits 과 같은 non-speed path 의 transistor 를 long gate length 로 모두 변경하였다. 그림 2 는 gate length 와 V_{th} 와의 roll-off 특성을 보여준다. DRAM column decoder 에는 1:n power switch sharing 기술을 사용했으며 (그림 3), complex gate logic 의 gate length 변

경 및 sleep mode 에서의 입력이 변경되도록 하였다 (그림 4). 데이터 입출력 circuits 은 sleep mode 시 데이터를 유지할 필요가 없기 때문에 MTCMOS 를 적용하였고 (그림 5), Address 및 command control circuits 은 Zigzag Super-cutoff CMOS 를 적용하여 sleep mode 시 데이터를 유지할 수 있도록 하였다.

본 논문에서는 앞서 언급된 I_{SUB} 개선 기술을 DRAM 의 특성에 맞게 적용함으로써, 이전 80 nm 공정 대비 10 배 정도 큰 leakage 특성을 갖는 60 nm 공정을 사용하여 1G Mobile DDR SDRAM 의 I_{SUB} 를 77% 정도 개선하였다.

III. 결론

공정 미세화와 동작 전압의 감소에 따른 I_{SUB} 의 제어는 앞으로 더욱 어려워진다. 따라서, DRAM 전체 circuits 에 MTCMOS 에 의한 Power gating 이 불가피해 질 것이며, 이에 따른 wake-up latency, power plane integrity 및 sleep control 과 같은 design complexity 문제에 대한 해결이 요구된다. 또한, 60 nm 이하의 초 미세 공정에서는 sub-threshold leakage 를 증가할 정도로 gate leakage 가 증가되어, Bulk CMOS 구조에서는 더 이상의 circuit design technique 으로는 leakage control 이 어렵게 될 것이다. High 유전체의 도입과 Multiple-gate (FinFET), UTB FD SOI 등과 같은 새로운 structure 의 연구개발이 중요한 과제이다.

참고문헌

[1] Y. Nakagome, M. Horiguchi et al, "Review and Future Prospects of Low-Voltage RAM Circuits", IBM J. RES. & DEV. Vol. 47 No. 5/6 SEP/NOV 2003

[2] H.S.Won, K.S.Kim et al, "An MTCMOS Design Methodology and Its Application to Mobile Computing", ISLPED'03, August 25-27, 2003

[3] Shin'ichiro Mutoh, Takakuni Douseki, "1 -V Power Supply High-speed Digital Circuit Technology with Multithreshold-Voltage CMOS", IEEE J. Solid-State Circuits, Vol. 30, No. 8, August 1995.

[4] Daisaburo Takashima, Shigeyoshi Watanabe, "Standby/Active Mode Logic For Sub 1-V Operation ULSI Memory", IEEE J. Solid-State Circuits. Vol. 29, No.4, April 1994.

[5] Afshin Abdollahi, "An Effective Power Mode Transition Technique in MTCMOS Circuits" DAC2005, June 13-17, 2005.

[6] Naran Sirisantana, "High-Performance Low-Power CMOS Circuits Using Multiple Channel Length and Multiple Oxide Thickness" Computer Design, 2000. Proceedings. 2000 International Conference on.

표 1. 공정 미세화에 따른 I_{SUB} 의 증가

	80nm process (2P4M)		60nm process (1Q)	
	FMOS	HMOS	FMOS	HMOS
Channel Length (nm)	0.20	0.7	0.10	0.18
Channel Length (nm)	0.16	0.4	0.10	0.18
gate oxide	300	117	330	152
gate oxide	35	50	330	500
후소브트랜지스터 크기 (실용적인 기준)	1150	300	1500	350
후소브트랜지스터 크기 (실용적인 기준)	275	5	375	175
후소브트랜지스터 크기 (실용적인 기준)	-50	-	-80	-
후소브트랜지스터 크기 (실용적인 기준)	-5V	-	-2V	-

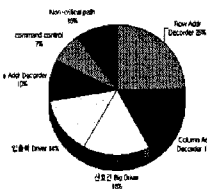


그림 1. DRAM 에서 I_{SUB} 분포

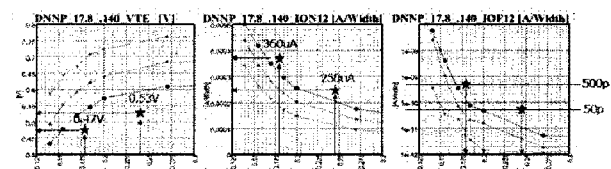


그림 2. channel gate length 와 V_{th} , I_{SUB} 의 roll-off 특성

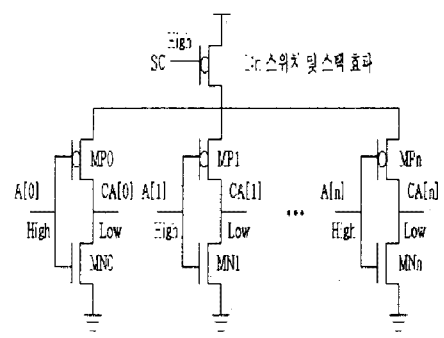


그림 3. 1:n power switch sharing

및 stacking effect

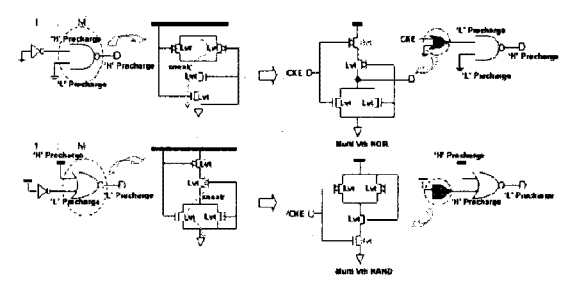


그림 4. NAND/NOR/Complex logic 의 I_{SUB} 개선

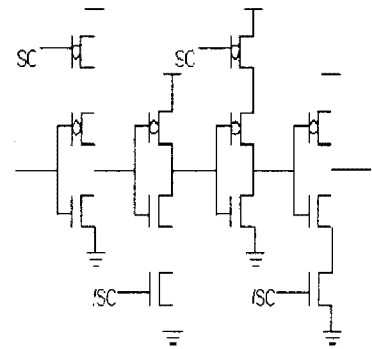


그림 5. ZigZag Super-cut off CMOS