

# H.264 Motion Estimation-용 저전력 SAD 프로세서 설계

\*김비철,오세만,유현중,장영범

상명대학교 컴퓨터정보통신 공학과

email: [beechnul@smu.ac.kr](mailto:beechnul@smu.ac.kr), [ziza@smu.ac.kr](mailto:ziza@smu.ac.kr), [ybjang@smu.ac.kr](mailto:ybjang@smu.ac.kr)

Low Power SAD Processor Architecture for Motion Estimation of H.264

Bee-Chul Kim, Se-Man Oh, Hyeon-Joong Yoo and Young-Beom Jang

School of Computer, Information and Communication Engineering  
Sangmyung University

## Abstract

In this paper, an efficient SAD(Sum of Absolute Differences) processor structure for motion estimation of H.264 is proposed. SAD processors are commonly used both in full search methods for motion estimation or in fast search methods for motion estimation. Proposed structure consists of SAD calculator block, combinator block, and minimum value calculator block. Especially, proposed structure is simplified by using Distributed Arithmetic for addition operation. The Verilog-HDL(Hard Description Language) coding and FPGA implementation results for the proposed structure show 39% and 32% gate count reduction comparison with those of the conventional structure, respectively. Due to its efficient processing scheme, the proposed SAD processor structure can be widely used in size dominant H.264 chip

## I. 서론

H.264 움직임 추정을 위한 전영역 탐색 방식이나 고속 탐색 방식 모두 기본적으로 16개의 4x4 SAD(Sum of Absolute Differences) 계산을 필요로 한다. 즉, 4x4 SAD 계산기를 한개 만들어서 16번을 반복하여 사용하거나 4x4 SAD 계산기를 16개 만들어서 한 번에 계산을 마칠 수도 있다. 또한 그 중간인 4개의 4x4 SAD 계산기를 만들어서 4번 반복하여 사용할 수도 있다. 이 논문에서는

4x4 SAD 계산기를 16개 사용하여 고속으로 SAD를 계산하는 방식을 제안한다. 16개의 4x4 SAD 계산기를 사용하므로 각각의 4x4 SAD 계산기의 하드웨어 구조를 작게 하는 것이 이 논문의 핵심이다.

## II. 제안된 SAD 프로세서 구조

### 2. 1 제안된 4x4SAD 계산기 구조

4x4 SAD 계산기는 절대 값을 계산하는 AD 연산기와 SAD를 계산하는 하드웨어로 구성된다. 먼저 현재 프레임과 참조 프레임의 탐색영역내의 비교블록의 각 픽셀들의 뺄셈의 절대 값인 AD(absolute deference)를 계산하여야 한다. 기존의 SAD 방식 계산기 구조와 비교하여 우리는 16개의 operand를 LSB부터 더하는 방식을 제안한다. 즉, 16개의 AD 값들을 병렬로 받아서 LSB의 1비트부터 계산하는 방식이다. 이와 같은 연산을 분산 연산(Distributed Arithmetic) 방식이라 부르기도 한다.

### 2. 2 Combinator 구조

4x4 SAD 계산기의 결과 값들은 다음의 구조를 통하여 여러 가지 조합의 SAD를 계산할 수 있다. 즉, 41가지의 SAD 조합들을 만들어낸다. Combinator의 출력은 총 41개이며, 41개의 레지스터에 그 값들이 저장된다.

### 2. 3 최소값 계산기

최소값 계산기 하드웨어는 41개로 구성되며, 1번의 블록 정합마다 새로운 값들이 최소값 계산기로 들어오게 설계하였다. 전 영역 탐색 알고리즘을 사용하는 경우에는 H.264의 탐색영역이 16x16이므로 256번의 블록 정합이 요구된다. 따라서 256개의 새로운 값들이 최소값 계

산기로 입력되고, 그 중에서 가장 작은 값이 선택되도록 설계되었다.

### III. 실험 및 고찰

#### 3.1 Verilog-HDL 시뮬레이션

본 논문에서 제안한 4x4 SAD 프로세서의 성능을 평가하기 위해 Verilog-HDL시뮬레이션을 수행하였다. 실험에 사용된 Tool은 Xilinx ISE 7.1i이고, 입력샘플로 그림 8의 순차적인 2프레임의 QCIF급 “foreman” 영상을 사용하였다. 움직임 벡터의 범위는 (-16, -16)~ (15, 15)를 사용하였다.

8 비트 정세도의 현재 영상의 각 픽셀 값은 AD연산기의 펠셈 연산을 위해 9 비트 정세도의 2의 보수형 값으로 변환된다.

제안된 SAD 프로세서 구조에 대한 실험은 다음과 같이 수행하였다. 제안구조는 처음 클록에 1 비트의 가산기가 8개 사용되고 8개의 2 비트 레지스터에 저장하였다. 두 번째 클록에는 2 비트의 가산기를 4개 사용하고 4개의 3 비트 레지스터에 저장하였다. 세 번째 클록에 3 비트의 가산기를 2개 사용되고 2개의 4 비트 레지스터에 결과 값을 저장하였다. 네 번째 클록에 4 비트의 가산기를 1개 사용하고 1개의 5 비트 레지스터에 결과를 저장하였다. 다섯 번째 클록에 먼저 저장되어있던 값을 LSB 쪽(right shift)으로 1 비트 쉬프트 하고 현재 출력된 5 비트의 값과 덧셈을 수행하였다. 이렇게 비트를 순차적으로 연산하게 되어 총 13 클록 후에 SAD 값이 출력된다. 1개의 SAD 계산기는 16개의 AD 값과 1개의 SAD 값을 만들도록 실험하였다. 따라서 16x16의 매크로 블록에 대하여 제안된 구조는 16개의 SAD 값들을 동시에 출력하도록 실험하였다. 16개의 13 비트 정세도의 SAD 값들을 Combinator의 입력으로 사용하였다. 즉, Combinator로 입력된 16개의 4x4 SAD 값들을 조합하여 4x8, 8x4, 8x8, 16x8, 8x16, 16x16 등의 크기의 총 41개의 SAD 값을 만들어 냈다. 41개의 Combinator 출력 값은 다음 새로운 값이 입력 될 때까지 레지스터에 저장하였다. 이와 같이 계산된 새로운 41개의 combinator 출력 값이 최소값 계산기 블록으로 입력되면 기존에 저장되어 있던 값과 비교하여 더 작은 값을 다시 저장하도록 하였다.

#### 3.2 16x16 SAD 프로세서의 FPGA 구현 결과

그림 10은 3.1절에서 설계한 각각의 블록을 FPGA 구현을 통하여 움직임 벡터 값을 출력한 결과화면이다.

각각의 4X4 SAD 계산기, combinator, 최소값 계산기에 대한 FPGA 구현의 비교는 다음 표 와 같다.

표. 16x16 SAD 프로세서의 FPGA 게이트 카운트  
Table. FPGA gate count for 16x16 SAD processor

	기존구조	제안구조	제안구조의 %
SAD계산기	128,176	78,592	61%
Combinator	13,723	13,723	100%
최소값계산기	16,191	16,191	100%
Total	158,090	108,506	68%

제안 구조의 SAD 계산기는 기존구조에 비해 39%의 면적감소 효과를 얻을 수 있었고, 전체 SAD 프로세서 구조는 기존 구조와 비교하여 32%의 게이트 카운트 감소 효과를 달성하였다.

### IV. 결론

본 논문에서는 H.264 움직임 추정 알고리즘에 사용되는 SAD 연산을 위한 단순화된 구조를 제안하였다. 제안된 SAD 프로세서는 SAD 계산기, Combinator, 최소값 계산기로 구성하였으며 특히 분산 연산을 사용하여 SAD 계산기의 게이트 카운트를 줄일 수 있었다. 제안된 SAD 프로세서 구조에 대한 FPGA 실험 결과 게이트 카운트를 32% 감소시킬 수 있었다. 따라서 제안된 움직임 추정용 SAD 프로세서는 구현 면적을 중요한 변수로 설계하는 경우의 H.264 칩에서 널리 사용될 수 있을 것이다.

### 참고문헌

- [1] *Draft ITU-T recommendation and final draft International Standard of Joint Video Specification (ITU-T Rec. H.264/ISO/IEC 14496-10 AVC) JVT-G050, Geneva, Switzerland, 23-27, May 2003.*
- [2] S. Y. Yap and J.V. McCanny, "A VLSI Architecture for Variable Block Size Video Motion Estimation", *IEEE Trans. on Circuits and Systems II: Express Briefs*, Vol. 51, issue 7, pp. 384-389, Jul. 2004.
- [3] Y. W. Huang, T.C. Wang, B.Y. Hsieh, and L. G. Chen, "Hardware Architecture Design for Variable Block Size Motion Estimation in MPEG-4 AVC/JVT/ITU-T H.264", *Proceedings of the 2003 International Symposium on Circuits and Systems*, Vol. 2, pp. 796-799, May 2003.