

TDC 시간 측정을 위한 고정밀 Ring Oscillator FPGA 설계

*진경찬

한국생산기술연구원

e-mail : kcjin@kitech.re.kr

Design of High-Precision Ring Oscillator FPGA for TDC Time Measurement

*Kyung-chan Jin

Korea Institute of Industrial Technology

Abstract

To develop nuclear measurement system with characteristics including both re-configuration and multi-functions, we proposed a field programmable gate array (FPGA) technique to implement TDC which is more suitable for high energy physics system. In TDC scheme, the timing resolution is more important than the count rates of channel. In order to manage pico-second resolution TDC, we used the delay components of FPGA, utilized the place and route (P&R) delay difference, and then got two ring oscillators. By setting P&R area constraints, we generated two precise ring oscillators with slightly different frequencies. Finally, we evaluated that the period difference of these two ring oscillators was about 60 pico-seconds, timing resolution of TDC.

I. 서론

원자력 및 핵 응용분야에 사용되는 X-선, 전자, 중성자등의 고속의 신호가 검출기 센서에 입력될 때 신호의 에너지 및 위치 정보를 알면 물질의 성분이나 거리 정보 등을 판단할 수 있다. 이 중에서 고속의 전자, 양성자등의 TOF (Time-Of-Flight)를 구하기 위해서는 TDC(Time-to-Digital Converter) 기술을 기반으로 하여 미세시간을 측정하여야 한다. TDC 기술은 수

십 ps 단위로 아주 정밀한 시간간격을 측정하는 기술로써, 입력된 두 신호의 시간 차이가 카운터 등으로 측정되어 디지털로 변환되어 출력된다.^[1]

일반적인 TDC 기술을 살펴보면, 입력되는 시간차이는 시간 간격의 펄스 수를 카운팅하면 카운팅 값에 비례하여 시간차이가 구해진다. 그러나 이러한 방법은 카운팅 펄스의 폭에 따라 TDC 해상도가 결정되므로, TDC를 수십 ps까지 측정이 가능하게 하려면, 수백 GHz의 매우 빠른 펄스를 입력해야 하므로, 현실적으로 이런 신호의 발생, 전달, 처리에 어려움이 따르게 된다. 그러므로, 본 논문에서는 직접적인 펄스 측정이 아니라, FPGA(Field Programmable Gate Array)의 P&R (Place and Route) 기능을 이용하여 두 개의 주기가 다른 RO (Ring Oscillator) 설계로 수십에서 수백 ps까지의 TDC 시간 해상도 구현이 가능하게 하고자 한다.^{[2]-[3]}

II. 본론

2.1 TDC 측정

TDC 기술은 두 개의 입력신호가 들어올 때 두 신호의 시간 차이를 로직 게이트와 타이밍 회로를 이용하여 측정하는 원리이다. 즉, 입력된 두 신호의 시간 차이가 카운터 등으로 측정되며, 출력되는 디지털 신호의 LSB (Least Significant Bit)는 측정이 가능한 최소 시간 차이이고, MSB (Most Significant Bit)는 측정이 가능한 전체 시간을 나타낸다.

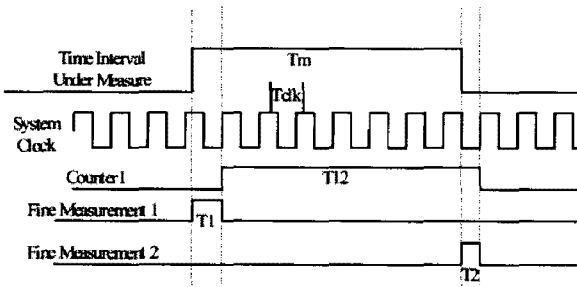


그림 1. 시간 간격 측정 타이밍도

그림 1에서와 같이 T_m 의 시간을 측정하기 위해서는 T_m 의 시간간격안의 시스템 클럭을 카운트하면 되지만, T_1 과 T_2 의 시간차이에 따라 오차가 발생할 수 있으므로, 정확한 T_m 식의 시간을 구하기 위해서는 식 1과 같이 T_1, T_{12}, T_2 의 시간으로부터 구해야 한다.

$$T_m = T_1 + T_{12} - T_2 = nT_{clk} + T_1 - T_2 \quad (1)$$

식 (1)에서 정확한 T_1, T_2 의 값을 구하기 위해, 그림 2에서와 같이 주기가 서로 다른 두 개의 RO를 이용하여 RO가 동기화가 이루어 질 때에 카운터를 계산하면 시간측정이 가능하게 된다.

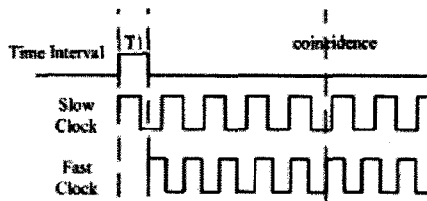


그림 2. 두 개의 RO를 이용한 시간 간격 측정

2.2 RO 설계

RO는 그림 3에서와 같이 외부 클럭 없이 자체적으로 발진하는 회로 구성하여 하므로, 조합루프(Combinational Loop)로 구성하여 구현될 수 있다. 그러나 두 개의 RO가 미세한 차이를 가져야 하므로 이 기법은 FPGA P&R 기법을 이용하여 라우팅 위치를 변경하면 가능하게 된다.

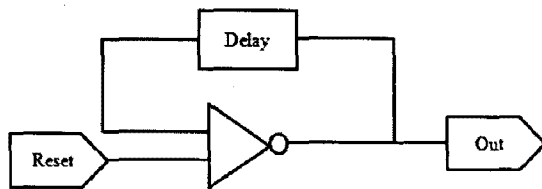


그림 3. RO 설계 구성도

III. 구현

Xilinx FPGA Editor 9.1 버전을 이용하여 그림 4에서와 같이 두 개의 RO를 설계하고, 각각의 RO에 대해 delay변수를 P&R위치에 따라 달리하며, 두 개의 RO 시간주기를 측정하였다. 실험 결과 측정된 두 개의 RO의 시간차이는 60 ps 내외임을 확인 하였다.

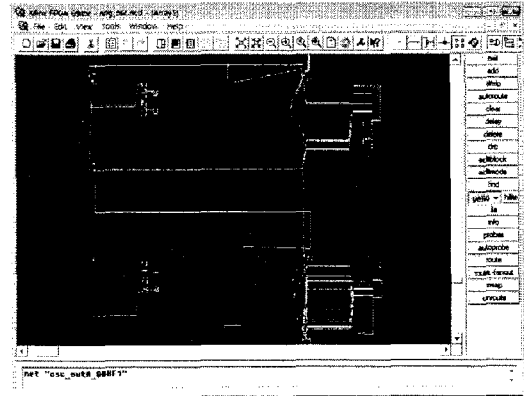


그림 4. 구현된 RO 설계 layout

IV. 결론 및 향후 연구 방향

방사선 계측 기술중 검출위치정보를 판단하기 위해서 필요한 기술이 TDC 기술이며, 이 기술은 시간 차이를 이용하여 검출되는 물질의 위치정보를 판단하는 것으로 선진국이 중심이 되어 칩 제작 및 아날로그 신호처리 기술들이 꾸준히 개발되어 왔다. 본 연구로 설계된 RO를 응용하여 Time-stamp 기술 및 스펙트럼 처리 코어 설계를 첨부하면 물리 및 핵 계측분야에 등의 고에너지 물리 계측 분야에 활용이 될 수 있다.

참고문헌

- [1] Santos, D. M, "A CMOS Delay Locked Loop and Sub-Nanosecond Time-to-Digital Converter Chip", IEEE Trans. of nuclear Science, Vol. 43-3, pp.1717-1719, 1996.
- [2] J. Kalisz, R. Szplet, J. Pasierbinski, A. Poniecki (1997), "Field Programmable Gate Array Based Time-to-Digital Converter with 200-ps Resolution", IEEE Trans. Instrumentation and Measurement, Vol. 46, No. 1, pp51-55, Feb. 1997.
- [3] Min-Chuen Lin, Guo-Ruey Tsai, Chun-Yi Liu, Shi-Shien Chu, "FPGA-Base High Area Efficient Time-To-Digital IP Design", IEEE Region 10 Conference, 2006.