

WiBro 시스템을 위한 효율적인 구조의 채널 복호화기 구현

김장훈, 한철희
삼성탈레스

e-mail : janghun.kim@samsung.com, hch.kor@gonail.com

Implementation of Efficient Channel Decoder for WiBro System

Jang-Hun Kim, Chul-Hee Han
Samsung Thales CO., LTD., Korea

Abstract

WiBro system provides reliable broadband communication services for mobile and portable subscribers. It allows interference-free reception under the conditions of multipath propagation and transmission errors. Thus, powerful channel-error correction ability is required. CC/CTC Decoder which is mandatory for WiBro system needs lots of computations for real-time operation. So, it is desired to design a CC/CTC Decoder having highly optimized hardware scheme for low latency operation under high data rates. This paper proposes an efficient CC/CTC Decoder structure for high data rate WiBro system. Particularly, the proposed CTC Decoder architecture reduces decoding delay by applying pipelining and multiple decoding blocks. Simulation results show that reduction of about 80% of processing time is enabled with the proposed CC/CTC Decoder despite of increase in are.

I. 서론

WiBro 시스템은 현재 상용 서비스 중인 이동 통신 데이터 서비스이며, 표준은 Mobile WiMAX라고 불리는 IEEE 802.16e에 종속된다. 일반적으로 고속이동 환경에서 신뢰성 있는 통신을 하기 위해서는 보다 강력한 오류정정 채널 코딩 기법이 요구되며, WiBro 시스템에서는 packet 전송에 적합한 tail-biting convolutional code(CC) 및 tail-biting dual binary convolutional turbo code(CTC)가 mandatory standard로 채

택되어 있다. 특히, CTC의 경우, 복호 능력이 우수함에서 불구하고, 고속 데이터 처리에 불리한 이유는 반복 복호로 인한 처리 속도 지연에 있다.[1] 따라서 수신기의 실시간 처리를 위해서는 효율적인 구조의 채널 복호화기 설계가 우선시 되어야 한다.

본 논문에서는 WiBro 수신기의 처리 속도에 가장 큰 비중을 차지하는 CTC 복호화기를 중심으로 효율적인 채널 복호화기 구현을 위해 사용된 VLSI 구조 및 설계기법에 대해 제안하고자 한다.

II. 본론

WiBro 시스템에서의 채널 코딩은 FEC block 단위로 이루어지는데, 전송에 사용되는 변조방식, 할당된 슬롯, 부호화에 따라서 적절한 부호화 블록(FEC)이 결정되며, CC 부호화, CTC 부호화 기법에 따라 각각의 연결 규칙이 규정되어 있다. 본 논문에서는 CC, CTC 연결과정을 하나의 control 블록을 이용하여 H/W 자원을 공유하도록 설계하여 resource를 줄였다. CC/CTC 복호화기를 제외한 나머지 블록을 byte(byte*soft decision bit) 단위 처리가 가능한 구조로 설계하여, 실제 복호화기의 동작 주파수를 감소시키면서 처리 속도 지연을 최소화 하였다.

WiBro 수신기의 실시간 처리를 위해서는 반복 복호를 통해 BER 성능을 향상 시키는 CTC 복호화기의 VLSI 구조를 효율적으로 설계하여 처리 속도 지연을 최소화 하는 것이 무엇보다 중요한 요소이다. 본 논문에서는 그림 1과 같이 하나의 Subblock deinterleaver에 4개의 CTC 복호화기를 결합하는 병렬 구조 방식으로 설계하여 전체 throughput을 4배 향상 시켰다. WiBro CTC 복호화기는 최대 1/2의 부호화율을 지원하므로 최대 부호화된 데이터 길이 N은 $2 * N_{ep}$ 가 되며, Subblock deinterleaver의 출력 address는 2블록의 LUT(Look Up Table)로 구현하여, 동

작 주파수를 높이면서 byte 단위로 처리가 가능하게 하였다.

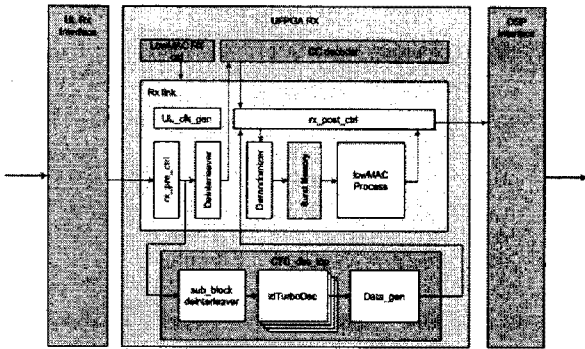


그림 1. 채널 복호화부 및 LowMAC 처리부

CTC 복호화기는 dual binary MAX Log MAP 알고리즘을 사용하였으며, 4번의 iteration을 가정하여 설계하였다.[2],[3] 그림 2와 같이 MAP 복호화기의 처리시간 단축 및 resource 절약을 위해 전체 부호화된 데이터 길이 N에 대하여 먼저 역방향 메트릭을 계산하여, 메모리에 저장하고 가지 메트릭과 순방향 메트릭을 계산하면서 메모리에 저장된 역방향 메트릭을 이용하여 LLR 관정을 한다. MAP2도 동일한 방식을 적용하여 1번의 iteration을 수행하기 위해 총 4N의 처리시간이 소요되는 구조로 설계하였다.

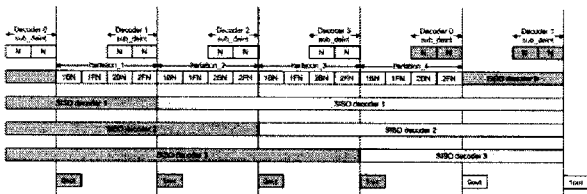


그림 2. CTC 복호화기의 병렬화 및 pipeline 기법

그림 3과 같이 수신된 입력 메시지(A,B), 첫 번째 패리티(Y1,W1) 그리고 두 번째 패리티(Y2,W2)가 입력 버퍼의 역할을 담당하는 tdInBufMd 블록으로 입력되고, 입력이 완료되면 첫 번째 MAP 복호화기(tdMapMd1)로 메시지와 첫 번째 패리티가 입력되면서 복호가 시작된다.[4] 첫 번째 MAP에서 출력된 likelihood값은 interleaving된 후 두 번째 MAP 복호화기(tdMapMd2)의 사전정보로 입력된다. 여기서 두 번째 패리티가 동시에 tdMapMd2의 입력으로 인가 되도록 state machine을 설계하였으며, 정해진 반복 복호 횟수만큼 복호가 진행되면, 두 번째 MAP 복호화기의 경관정 출력 값이 deinterleaving 되어 출력 된다. tail-biting 알고리즘을 적용하기 위하여 복호 시 iteration 후 얻어지는 마지막 알파와 처음

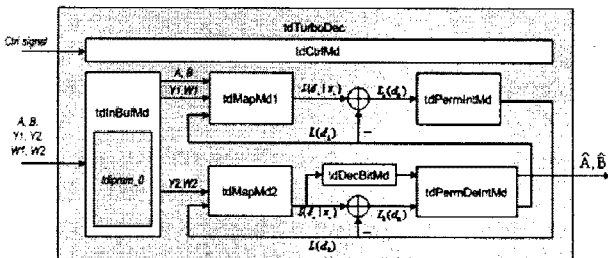


그림 3. CTC 복호화기

베타의 state 값을 다음 번 iteration 때 각각 처음 알파와 마지막 베타 state 값으로 초기화 시키면서 circular state 값을 찾아가도록 하였다.[5] 복호화기의 bit 단위 출력을 data_gen 블록을 통해 byte단위 interface로 전환하여, 이후의 derandomizer 블록에서 byte 단위 처리가 가능하게 하였다.

III. 구현

Xilinx사의 Virtex-4 FPGA(XC4LX100)를 이용하여 채널 복호화부 및 LowMAC 처리부를 구현 하였다. MAP 복호화기 블록은 수신기 전체 면적의 약 4%에 불과하기 때문에 병렬화에 의한 면적 부담은 크지 않으며, 이는 표1의 합성결과에서 확인 할 수 있다. 64QAM, 5/6를 사용하는 2520 byte(source burst length : 2100 byte) 크기를 가지는 Burst의 처리 속도를 Modelsim을 이용하여 simulation한 결과, CTC 복호화기의 병렬화 및 Subblock deinterleaver의 테이블 방식 구현으로 약 80%의 처리 시간 감소가 가능함을 확인하였다.

	single MAP decode	4 paralle MAP decode
Num. of RAMB 16s	77 out of 240 (32%)	95 out of 240 (40%)
Num. of Slices	15805 out of 49152 (32%)	16123 out of 49152 (33%)
Processing time	3.6 ms	0.7ms

표 1. Flow summaries for LowMAC/FEC FPGA targeting

IV. 결론

본 논문에서는 WiBro 시스템을 위한 효율적인 구조의 채널 복호화기를 구현하였다. 제안된 복호화기의 구조는 CC/CTC 복호화기를 제외한 나머지 블록을 byte 단위 처리 구조로 설계하여 처리 속도 지연을 최소화 하였으며, Subblock deinterleaver의 테이블 방식 적용과 CTC 복호화기의 반복 복호로 인한 지연을 최소화하기 위한 병렬화 및 pipeline 기법의 적용을 통해 실시간 처리가 가능함을 확인하였다.

참고문헌

- [1] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon Limit Error-Correcting Coding and Decoding: Turbo-Codes," in Proc. ICC'93, pp. 1064-1070, May 1993.
- [2] S. S. Pietrobon, "Implementation and Performance of a Turbo/MAP Decoder," International Journal of Satellite Communications, vol. 16, pp. 2346, 1998.
- [3] P. Robertson, E. Villebrun, and P. Hoeher, "A comparison of optimal and sub-optimal MAP decoding algorithms operating in the log domain," ICC'95, Seattle, WA, USA, pp.1009-1013, June 1995.
- [4] S.B. Im, M.G. Kim, and H.J. Choi, "An Efficient Tail-biting MAP Decoder for Convolutional Turbo Codes in OFDM Systems," IEEE Region 10 Conference, TENCON 2004 Volume B, 21-24 Nov. 2004 Pages: 589 - 592 Vol. 2
- [5] John B. Anderson and Stephen M. Hladik, "Tailbiting MAP Decoders," IEEE Journal on selected areas in communications, Vol.16, NO. 2, Feb.1998.