

고속 Radix-8 나비연산기구조

*허은성, 박진수, 한규훈, 장영범
상명대학교 정보통신공학부

e-mail : heaven81@smu.ac.kr, gmpak@smu.ac.kr,
honggu18@smu.ac.kr, ybjang@smu.ac.kr

High-Speed Radix-8 Butterfly Structure

*Eun-Sung Hur, Jin-Su Park, Kyu Hoon Han, Young-Beom Jang
Department of Information and Telecommunication Engineering,
SangMyung University

Abstract

In this paper, a Radix-8 structure for high-speed FFT is proposed. Even throughput of the Radix-8 FFT is twice than that of the Radix-4 FFT, implementation area of the Radix-8 is larger than that of Radix-4 FFT. But, implementation area of the proposed Radix-8 FFT was reduced by using DA(Distributed Arithmetic) for multiplication. The Verilog-HDL coding results for the proposed FFT structure show 49.2% cell area increment comparison with those of the conventional Radix-4 FFT structure. Namely, to speed up twice, 49.2% of area cost is required. In case of same throughput, power consumption of the proposed structure is reduced by 25.4%.

I. 서론

DMB와 같은 고속 멀티미디어 시스템에서는 대역효율성이 우수한 OFDM방식을 사용하고 있으며, OFDM 전송방식은 IFFT와 FFT로 구현이 가능한데, DMB용 OFDM에서는 2048 point의 FFT를 필요로 하므로 FFT 블록의 구현 비용과 전력소모를 줄이는 것이 핵심사항이라고 할 수 있다. 지상파

DMB용 OFDM에서는 246 μ s 동안에 2048 point FFT를 수행하여야 하므로 높은 처리율을 갖는 파이프라인 구조^[1]의 FFT가 요구하는데, Radix-2^[2]와 Radix-4^[3]의 나비연산기가 주로 사용된다. 본 논문에서는 고속의 Radix-8 FFT 알고리즘 기반의 파이프라인 구조를 제안하여 기존 FFT구조와의 효율성을 비교하였다.

II. 본론

Radix-8 나비연산기의 8개의 입출력은 복소수이고, 덧셈블록과 DA^[4]블록으로 구성되었다. 전체적인 64point Radix-8FFT구조를 살펴보면 다음그림 1과 같다.

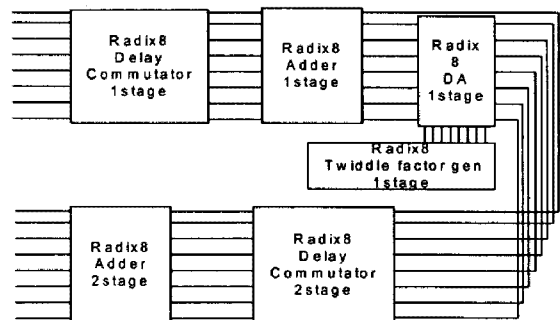


그림1. 제안된 Radix-8 64-point FFT 전체블록도

구분	1 stage				2 stage				3 stage				sub-total cell area
블록명	DC	덧셈 블록	DA 블록	TW	DC	덧셈 블록	DA 블록	TW	DC	덧셈 블록	DA 블록	TW	
기존 구조	9660	4,800	13,569	772	41,892	4,800	13,569	356	11942	4,800	X	X	104,829
제안 구조	18,784	34,333	32,221	1,474	43,868	34,333	X	X	X	X	X	X	156,436

표 1. 64-point FFT 기존구조와 제안구조의 Gate count 비교

덧셈블록에서 발생하는 복소곱셈계수 0.7071068의 연산을 Shift&adder 연산을 사용하여 구현면적을 줄였으며 총 184번의 덧셈연산을 수행한다. 이러한 덧셈블록을 거친 출력 값들은 DA블록의 입력으로 들어가게 되며, 2탭의 곱셈연산을 수행한 후, 출력 내보낸다.

III. 구현

이 절에서는 제안된 나비연산기와 기존의 나비연산기를 각각 사용하여 64-point FFT를 구현하여 면적을 비교하였다. 제안 구조와 기존 구조는 Xilinx ISE 6.2i로 verilog로 코딩하여 FPGA기반으로 타이밍을 검증하였으며, C로 simulation하여 구조를 검증하였고, 입력신호로서 matlab을 이용하여 64개의 랜덤 입력 값들을 사용하였다. 표 1의 기존 구조는 Radix-4 알고리즘의 나비연산기 구조를 사용하였으며, DA를 사용하여 나비연산기를 설계하였다.^[5] 표 1에서 보듯이 제안 구조의 gate-count가 기존 구조의 gate-count보다 49.2% 증가한 것을 알 수 있다. 하지만 제안 구조는 기존 구조와 비교하여 Throughput이 2배이므로 고속으로 출력을 계산해야 하는 OFDM용 FFT에 사용하기 적합하다. 또한 상대적인 전력 소모는 동작속도 × 구현면적에 비례하므로 기존 구조의 동작속도와 구현면적을 각각 1이라 정의하면 전력소모는 1이 된다. 제안구조의 동작속도는 0.5이고 구현면적은 1.492이므로 전력소모는 0.746이 됨을 알 수 있다. 따라서 전력소모의 효율성면에서는 제안구조가 기본 구조보다 25.4%의 감소 효과를 갖는다.

IV. 결론 및 향후 연구 방향

본 논문은 고속 FFT 구조에 적합한 Radix-8 DIF 알고리즘을 제안하였다. Radix-8 알고리즘은 고속처리는 가능하나 구현면적이 증가하는 단점이 발생하는데, 제안된 나비연산기에

서는 곱셈연산을 DA 방식으로 구현하여 구현면적이 증가하는 문제를 해결하였다.

Radix-4 DA 방식의 나비연산기를 사용하는 64-point FFT를 구현하여 비교한 결과 구현면적이 49.2%가 증가하였다. 즉, Throughput을 2배로 증가시키기 위하여 하드웨어는 49.2%만 증가함을 Verilog-HDL 코딩을 통하여 확인하였다. 또한 기존 구조와 제안 구조가 같은 Throughput을 얻는 경우에는 전력소모가 25.4%가 감소하게 된다. 따라서 제안된 나비연산기를 사용하는 FFT 구조는 고속/저전력 FFT를 필요로 하는 OFDM용 통신단말기에 사용될 수 있다.

*본 연구보고서는 정보통신부 출연금으로 MIC/ITA/ETRI, SoC산업진흥센터에서 수행한 IT SoC핵심설계인력양성사업의 연구결과입니다.

참고문헌

- [1] E. H. Wold and A. M. Despain, "Pipeline and Parallel FFT Processors for VLSI Implementation", IEEE Trans. on Comput., C-33(5), pp. 414-426, May 1984.
- [2] Alan V. Oppenheim and Ronald W. schaffer, *Discrete Time Signal Processing*, Prentice Hall, pp581-605, 1989.
- [3] P. Duhamel and H. Hollman, "Split radix FFT algorithm", Electronics Letters, vol. 20, no. 1, pp. 14-16, Jan. 1984.
- [4] Stanley A. White, "Applications of Distributed Arithmetic to Digital Signal Processing: A tutorial Review", IEEE ASSP MAGAZINE July 1989.
- [5] 장영범, 이원상, 김도한, 김비철, 허은성, "Distributed Arithmetic을 사용한 OFDM용 저전력 Radix-4 FFT 구조", 전자공학회논문지 제43권 SP편 제1호, pp101-108, 2006년 1월.