

AC PDP에서 고속 어드레싱을 위한 네거티브 리셋 파형 및 구동회로의 구현

임현묵*, 임승범, 이준영*, 강정원*, 홍순찬
 단국대학교 전기공학과, * 단국대학교 전자공학과

Implementation of the Negative Reset Waveform and Driving Circuit for High Speed Addressing in AC PDP

Hyun-Muk Lim*, Seung-Beom Lim, Jun-Young Lee*,
 Jung-Won Kang*, and Soon-Chan Hong

Dept. of Electrical Eng., Dankook University, * Dept. of Electronics Eng., Dankook University

ABSTRACT

Recently, the demand for high definition TV is being increased by beginning of the digital broadcasting. The higher resolution of PDP is, the longer addressing time become, then, the sustain period for display image decreases. Because of the reason, dual-scan method which synchronously write information of an image on top and bottom of the screen is used for the high definition PDP. However, as the price competition of PDP becomes severe, we can't avoid turning to a single-scan method which uses only a half of an expensive address IC. Accordingly, the sustain period becomes much shorter than prior method. In case of XGA level, it is impossible to display, eventually.

In this paper, we are going to prove usefulness by realizing negative reset waveform and the driving circuit for high speed addressing.

1. 서 론

HDTV방송의 시작으로 인해 480 스캔 라인을 갖는 VGA급 PDP(Plasma Display Panel)보다 768 스캔 라인을 갖는 XGA급의 PDP에 대한 수요가 증가하고 있다. 하지만 리셋, 어드레스, 서스테인 구간으로 동작하는 ADS(Address Display Separation) 구동방식은 해상도가 증가함에 따라 어드레스 구간에 사용되는 시간이 점차 많아지므로 상대적으로 서스테인 구간이 줄어들어 휘도 저하가 발생된다. 이 때문에 고해상도 PDP에서는 이중 스캔 방식을 사용하는데 PDP는 다른 Display와는 달리 전체 가격에서 회로가 차지하는 비중이 매우 크기 때문에 가격을 낮추기 위해서 어드레스 소자를 반만 사용하는 단일 스캔 방식을 사용하여야 하나 표 1에서 알 수 있듯이 스캔 타임이 1 μ sec 이상이 되면 XGA나 HD의 경우 서스테인 구간의 구현 자체가 불가능한 상태가 된다^[1].

그리고 고해상도 PDP는 고정된 패널의 면적에서 pixel수가 증가하여 1개의 화소 당 방전 cell의 공간이 감소하게 된다. 이는 저휘도, 어드레싱의 불안정, 동작전압의 상승을 발생시킬 수 있다. 그러므로 이러한 문제를 해결하기 위해서는 리셋 구간에서 벽전하를 최대한 많이 쌓아서 어드레스 전압을 인가했을 때 최대한 빨리 방전 개시 전압을 넘을 수 있게 해야 한다.

표 1. 어드레싱 시간에 따른 해상도별 서스테인 구간 비율
 Table 1. Sustain period rating according to addressing time

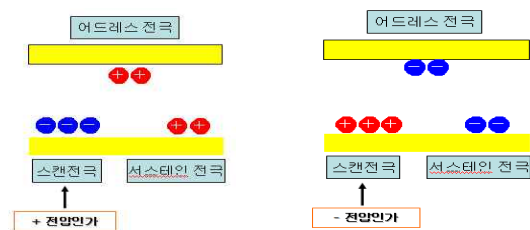
어드레싱 시간	VGA(480)	XGA(768)	HD(1080)
3 μ sec	-	-	-
2.5 μ sec	0.130	-	-
2 μ sec	0.274	-	-
1.5 μ sec	0.418	0.159	-
1 μ sec	0.562	0.389	0.202

최근 고속 어드레싱을 위한 네거티브 리셋 파형이 제안되었다. 제안된 파형은 네거티브 리셋을 사용하여 리셋 구간에서 최초 방전 시간을 줄여주었고, 최초 방전 전압 역시 낮춰주었다. 그리고 스캔 전극에 (-)전압을 인가하여 이온이 스캔 전극에만 쌓여서 안정적인 어드레싱 동작을 할 수 있는 장점이 있다.

본 논문에서는 고속 어드레싱을 위한 네거티브 리셋 파형 및 구동회로를 구현하여 파형의 유용성을 입증한다.

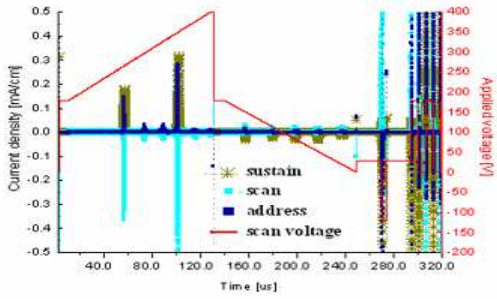
2. 고속어드레싱을 위한 네거티브 리셋 파형

네거티브 리셋 파형은 그림 1과 같이 리셋 구간에서 스캔 전극(Y)에 (-)전압을 인가하여 이온을 스캔 전극에만 쌓게 하는 방식이다. 포지티브 리셋 방식에서는 스캔 전극에 (+)전압을 인가하여 이온이 어드레스 전극과 서스테인 전극(Z)으로 나뉘어서 쌓이게 된다. 따라서 방전 개시 전압을 넘으려면 이온이 더 쌓여야하므로 최초 리셋 방전이 시작되는 시점이 늦어진다. 하지만 제안한 네거티브 리셋 방식은 스캔 전극에 (-)전압을 인가하여 이온이 스캔 전극 한곳에만 쌓이게 되므로 최초 리셋 방전이 시작되는 시점을 앞당길 수 있다^[2].

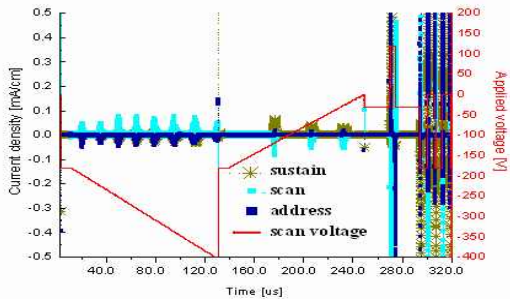


(a) 포지티브 리셋 파형 (b) 네거티브 리셋 파형
 그림 1. 인가 전압에 따른 벽전하 분포

Fig. 1. Wall charge profile according to supply voltage

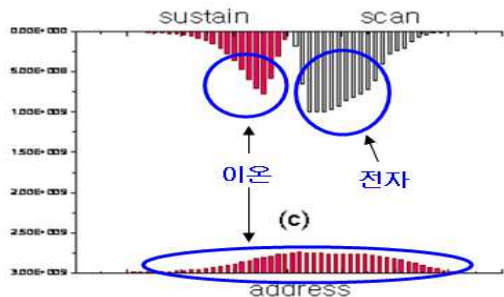


(a) 포지티브 리셋 파형

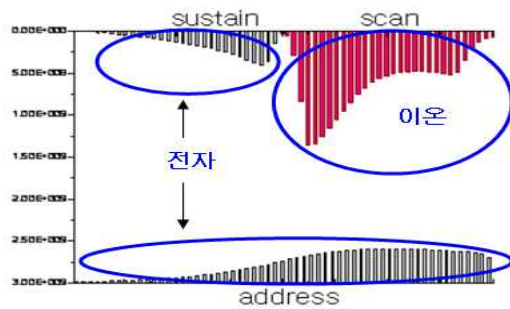


(b) 네거티브 리셋 파형

그림 2. 전류 밀도의 시뮬레이션 결과
Fig. 2. Simulation result of current density



(a) 포지티브 리셋 파형



(b) 네거티브 리셋 파형

그림 3. 벽전하 분포의 시뮬레이션 결과
Fig. 3. Simulation results of wall charge profile

그림 2와 3은 포지티브 리셋 파형을 인가하였을 경우와 네거티브 리셋 파형을 인가하였을 경우의 시뮬레이션결과로서 그림 2는 파형에 따른 전체 구간에서의 전류 밀도를 비교한 결과

이고, 그림 3은 리셋 구간에서 벽전하가 쌓이는 양을 비교한 파형이다. 포지티브 리셋 파형을 인가한 그림 2(a)에서 최초 방전이 시작되는 시점은 $49\mu\text{sec}$ 이고, 이때의 전압은 269V이다. 그러나 네거티브 리셋 파형을 인가한 그림 2(b)에서 최초 방전이 시작되는 시점은 $12\mu\text{sec}$ 이고, 이때의 전압은 -202V로 된다. 시뮬레이션 결과 네거티브 리셋 파형을 인가하면 최초 방전시간은 $37\mu\text{sec}$ 가 빨라지고, 최초 방전 전압은 67V가 낮아진다. 또한 리셋 방전시 전류밀도가 낮아지게 되어 명암비도 향상시킬 수 있다. 그리고 벽전하의 양을 비교한 그림 3에서 네거티브 리셋 파형을 인가하면 이온이 스캔 전극에만 쌓이는 것을 알 수 있다.

3. 시스템의 구성

그림 4는 네거티브 리셋 파형을 구현하기 위한 회로도이다. 그림 4의 회로도는 Y-sustain, Y-bias, Scan으로 구성된 스캔 전극과 Z-sustain, Z-path-switch, Z-falling-ramp, Z-rising-ramp로 구성된 서스테인 전극으로 구성되어 있다. 스위칭소자는 모두 MOS-FET을 사용하였고, 게이트 신호는 LG 전자의 ROM_Maker를 사용하여 소프트웨어 적으로 발생시켰다.

그림 5는 실제 실험을 한 PDP 사진으로 스캔 보드, Y-보드, Z-보드, 어드레스 보드, 로직 보드로 구성되어 있다.

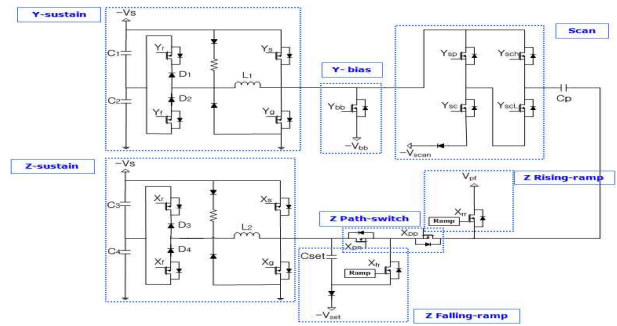


그림 4. 네거티브 리셋 파형 구현을 위한 회로도
Fig. 4. Circuit for negative reset waveform to implement

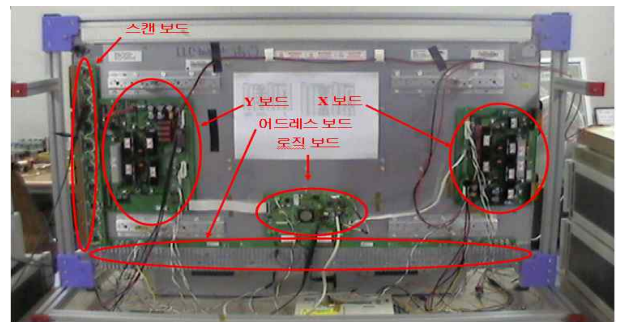


그림 5. 실험용 패널
Fig. 5. Experimental panel

4. 실험 결과 및 검토

제한한 네거티브 리셋 파형의 유용성을 입증하기 위하여 실험을 하였다. 실험은 LG 전자의 42X3 패널을 사용하였고, 실험에 사용된 전압 파라미터는 표 2와 같다.

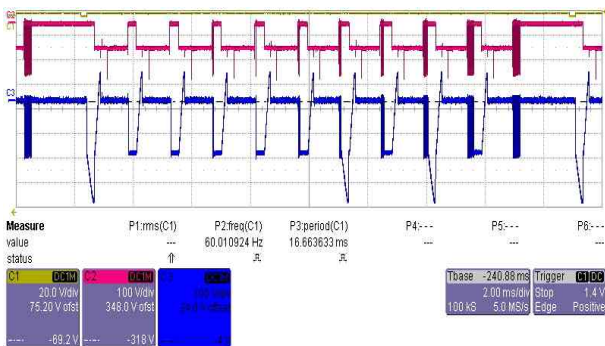
표 2. 실험에 사용된 전압 파라미터
Table 2. Voltage parameter

V_s	205V	V_{pf}	100V
V_{bb}	110V	V_{set}	210V
V_{scan}	125V	V_a	65V

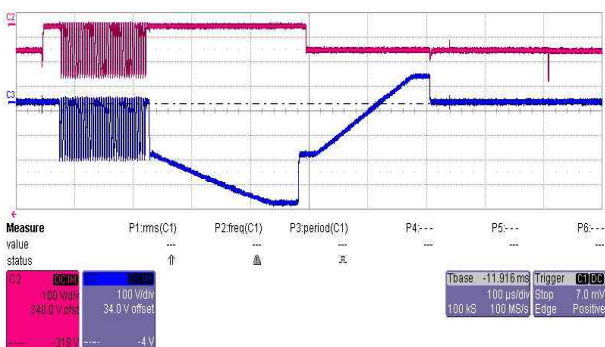
그림 6은 제한한 네거티브 리셋 파형의 실험 결과 파형으로 위에서부터 스캔 전극과 서스테인 전극의 파형이다. 그림 6(a)는 10개의 서브필드로 구성된 1 TV 필드를 측정한 파형으로 메인 리셋 파형은 1, 7, 9 서브 필드에 인가하였고, 나머지 서브 필드에는 서브 리셋 파형을 인가하였다. 그림 6(b)는 메인 리셋 파형으로 9 서브 필드를 측정하였다.

그림 7은 네거티브 리셋 파형을 인가하여 방전된 PDP의 이미지 사진으로 그림 7(a)는 컬러 이미지이고, 그림 7(b)는 그레이 이미지이다.

네거티브 리셋 파형을 인가하여 실험한 결과 스캔 타임이 1 μsec 에서는 방전이 잘되지 않고, 2 μsec 정도에서 방전이 잘 되는 것을 확인하였다. 이것은 어드레싱 동작에서의 벽전하의 양에 따른 방전 특성으로 생각된다. 이 때문에 리셋 구간에서 포지티브 바이어스 전압(+20V)을 스캔 전극에 인가하여 (-)전하를 더 많이 쌓아 어드레싱 동작을 보다 정확하게 해 줄 필요가 있음을 확인하였다.



(a) 1 TV 필드



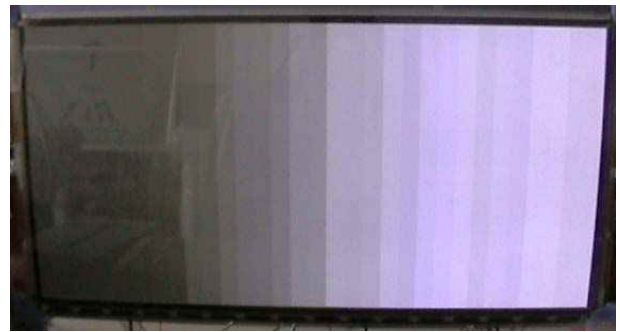
(b) 메인 리셋 파형

그림 6. 네거티브 리셋 파형의 실험 결과

Fig. 6. The experimental result of negative reset waveform



(a) 컬러 이미지



(b) 그레이 계조 이미지

그림 7. 방전 이미지
Fig. 7. Discharge image

5. 결 론

네거티브 리셋 파형은 리셋 구간에서 스캔 전극에 (-)전압을 인가하여 이온이 스캔 전극에만 쌓여서 다음 구간인 어드레스 구간에서 어드레싱 시간을 단축할 수 있다. 그리고 리셋 구간에서 최초 방전 시간이 기존 파형보다 빨라지고 최초 방전 전압 역시 낮아진다. 이로 인하여 리셋 구간을 줄여 줄 수 있다. 또한 리셋 방전시 약 방전을 하여 명암비를 높여 줄 수 있다.

본 논문에서는 고속 어드레싱을 위한 네거티브 리셋 파형 및 구동회로를 구현하여 실험하였다. 실험 결과 스캔 타임에 따라서 방전 특성이 변하는 것을 확인하였다. 이에 따라 보다 정확한 어드레싱 동작을 위해서 리셋 구간에서 서스테인 전극에 네거티브 리셋 파형을 인가할 때 스캔 전극에 (+)전압을 인가하는 실험을 진행 중이다.

참 고 문 헌

- [1] 강정원, 이준영, 강경두, 문원석, 문철희, 성백두, "플라즈마 디스플레이 공학", 인터비전, 2006.
- [2] Hyerim Choi and Jungwon Kang, "Reset Waveform with Negative Ramp Pulse in ac PDP for Improving the Addressing Characteristic", IDW'06, Vol. 2, pp. 1085-1088, 2006.