

3차원 실장을 위한 Non-PR 직접범핑법 Non-PR direct bumping for 3D wafer stacking

전지현*, 홍성준*, 이기주*, 이희열*, 정재필*

* 서울시립대학교 마이크로조이닝 연구실

ABSTRACT Recently, 3D-electronic packaging by TSV is in interest. TSV(Through Silicon Via) is a interconnection hole on Si-wafer filled with conducting metal such as Copper. In this research, chips with TSV are connected by electroplated Sn bump without PR. Then chips with TSV are put together and stacked by the methode of Reflow soldering. The stacking was successfully done and had no noticeable defects. By eliminating PR process, entire process can be reduced and makes it easier to apply on commercial production.

Keywords : Direct bumping, three dimensional stack packaging, through-hole, PR

1. 서 론

최근, 전자제품의 소형화, 경량화 및 다기능화가 급속히 진행되고 있으며, 이에 따라 패키지 기술에서도 피치의 미세화 및 고집적화에 대한 요구가 커지고 있다. 이전까지의 전자패키지 모듈은 다수의 IC 칩을 평면적으로 배열한 2차원 적연결이 대다수 였다. 그러나 최근 패키지 기술에서는 고집적, 고밀도, 고효율을 위해 기존의 2차원 연결을 3차원적인 연결로 대체하려는 시도가 계속되고 있으며 연구가 크게 주목받고 있다.¹⁾

현재, 3차원 적층 실장의 주된 연결방법으로 와이어 본딩(wire-bonding)이 주로 사용되고 있다. 그러나 와이어 본딩은 연결거리의 증가에 따른 신호 전달 속도의 감소, 고주파 영역에서의 손실률 증가 및 I/O의 개수가 제한된다는 단점을 갖고 있어 고집적 및 고기능을 추구하는데 한계를 드러내고 있다.

이와 같은 단점을 개선하고 3차원 적층실장을 최적화하기 위해 제안된 것이 via를 이용하는 방법이다.²⁾ 이를 TSV(Through Silicon via)기술이라 한다. TSV는 실리콘 웨이퍼 상에 관통 홀(through-hole)을 형성하고, 이를 전기전도도가 우수한 전도성 금속으로 채워 Chip 내부에 전기적 연결통로를 형성하는 것으로 실리콘 웨이퍼 내부에 모든 multichip systems을 형성할 수 있

으며 다른 multichip module에 비해 큰 집적도를 가질 수 있다.³⁾

본 연구에서는 PR을 사용하지 않은 solder bump 형성을 통해 3차원 적층 실장의 공정을 단순화시키고자 하였다. 실리콘 웨이퍼에 관통 홀을 형성한 뒤 펄스-역펄스 전해도금으로 Cu를 충전(filling)하였다. 펄스-역펄스 법은 Cu의 전착과 부식을 반복되게 하여 via의 내부에 기공없이 Cu를 충전할 수 방법이다.⁴⁾ 이러한 과정을 거친 Cu filling TSV칩에 PR을 사용하지 않고 직접 범프를 전해도금하여 적층을 실시하였다. 미세구조와 접합부를 전자현미경(SEM, Scanning Electron Microscope)과 EDS(Energy Dispersive Spectroscopy) 분석을 통하여 관찰하였다.

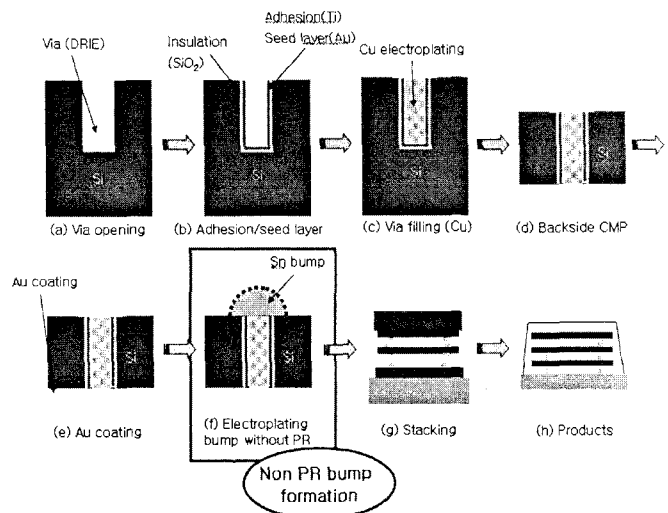


Fig. 1 Process Flow

2. 실험 방법

본 연구에서는 5×5mm의 p-type 실리콘 웨이퍼 칩에 DRIE(Deep reactive ion etching)를 이용하여 직경 40 μm , 깊이 80 μm 의 관통홀을 형성하였다. 형성된 관통홀에 열산화법으로 SiO₂ 층을 형성하고, 접합(adhesion)층인 Ti층, 전해도금을 위한 seed layer로써 Au층을 차례대로 sputtering 증착하였다.

이렇게 형성된 via에 전류펄스를 이용하여 Cu를 전해도금하여 충전하였으며 CMP(물리화학적 연마)를 이용하여 실리콘 웨이퍼의 양면 모두 via가 노출되도록 하였다. 그 후 한쪽면에 전도성 금속인 Au를 코팅하여 다른 면의 via에 PR없이 Sn범프를 전해도금을 실시하였다. 마지막으로 위와 같은 공정을 거쳐 만들어진 칩을 Reflow를 이용하여 적층하였다.

3. 실험 결과

Fig. 2는 실리콘 웨이퍼 상에 DRIE를 이용하여 형성시킨 via의 top-view 사진이다. via의 완만한 구형 이렇게 형성된 via의 개구부 주위에서는 debris나 결함을 찾을 수 없었다.

Fig. 3은 레이저를 이용하여 형성한 관통홀의 1500배 사진이다. Fig. 2와는 다르게 Fig. 3 via의 개구부 주위에서는 많은 debris가 발견되었으며, seed층을 형성하기에 불충분하다고 판단되었다.

Fig. 4는 CMP를 끝낸 후 웨이퍼 양쪽으로 노출된 via를 이용 PR없이 범프를 형성하는 과정을 나타낸 것이다. PR없이 형성된 범프는 일단 Cu via 위에 전착 되다가 도금이 진행 될수록 등방향 성장을 보이며 반구형(hemisphere)의 형태로 나타나게 된다.

이와 같이 범프가 형성된 실리콘 웨이퍼를 적층 후 Reflow를 거쳐 접합하였다. Fig. 5는 각각 3층으로 적층된 칩의 단면사진이다. 반구형이던 Sn 범프가 Reflow 공정 중 녹으면서 동그란 구형태가 되고 이것이 다시 응고 되므로 연결부의 범프 형상은 사진과 같이 나타났다.

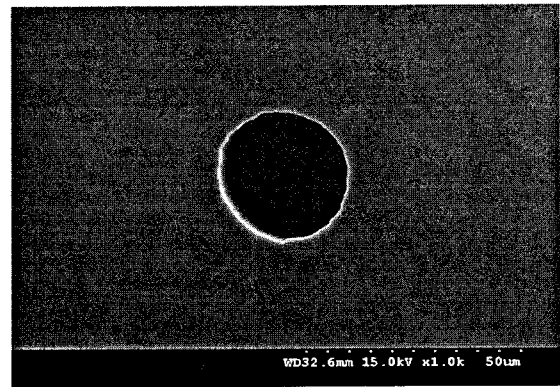


Fig. 2 Via fabricated by DRIE (×1000)



Fig. 3 Via fabricated by Laser (×1500)

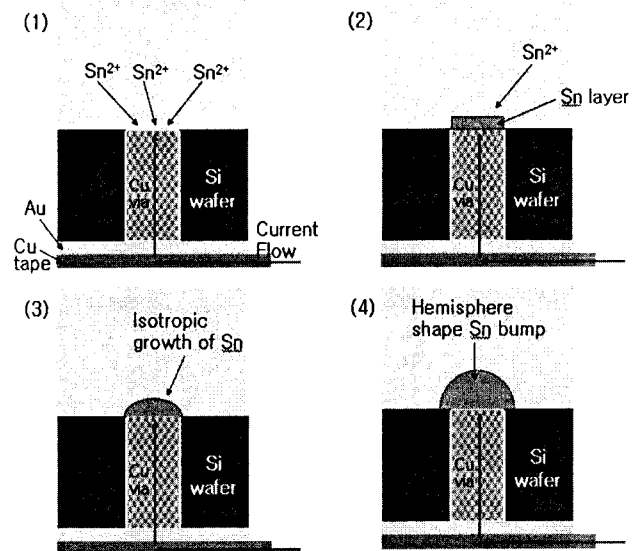


Fig. 4 Fabrication of Sn bump without PR

참고 문헌

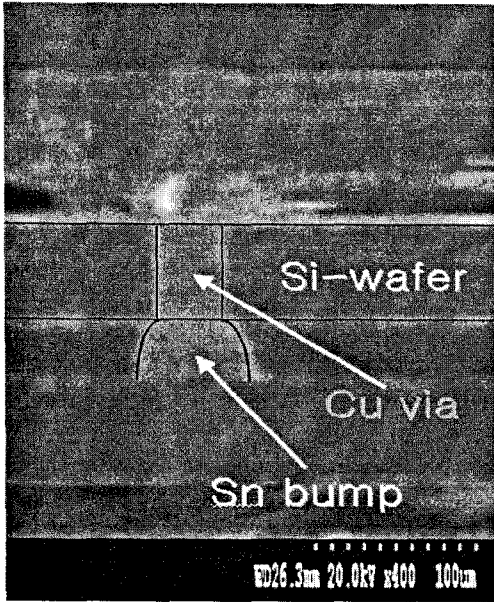


Fig. 5 Chip stacking (3 layers)
Cross-section (×50)

4. 결 론

TSV를 이용하여 실리콘 웨이퍼 내부에 직접 전기적 연결 통로를 만들고 CMP를 실시하여 Cu가 채워진 via를 노출시키는 과정을 거쳐, 노출된 via에 PR pattern 형성 없이 직접 Sn 범프를 전해도금 하였다. 전해도금된 범프는 반구형 형상을 나타내었으며 전류밀도 및 시간의 변화에 따라 범프의 높이가 변화되었다. 이 후 칩의 적층은 Reflow를 이용하여 실시하였다. Reflow로 적층한 연결부에서는 crack 및 기타결함이 발견되지 않았으며 칩 간의 전기적 연결이 성공적으로 이루어졌다. 본 연구에서 실시된 적층방법은 PR을 사용하지 않고 직접 범프를 형성하므로써 적층공정을 더욱 단순화시킬 수 있었다.

감사의 글

이 논문은 2007년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구이며 (No. R01-2007-000-20811-0) 이에 감사드립니다.

1. Said F. Al-sarawi, Derek Abbott and Paul D. Franzon, February 1998 "A Review of 3-D Packaging Technology", IEEE transactions on components packaging and manufacturing technology part B, Vol. 21, No. 1, pp 2~14
2. Jesus N. Calata, Jhon G Bai, Xingsheng Liu, Sihua Wen and Guo-Quan Lu, August 2000, "Three-dimensional Packaging for Power Semiconductor Device and Modules", IEEE transactions on advanced packaging, Vol. 28, No. 3, pp. 404~412
3. Leonard W. Schaper, Susan L. Burkett, Silke Spiesshoefer, Gowtham V. Vangara, Ziur Rahman, and Swetha Polamreddy : Architectural Implications and ProcessDevelopmentof 3-D VLSI Z-Axis Interconnects Using Through Silicon Vias, IEEE TRANSACTIONS ON ADVANCED PACKAGING,VOL. 28, NO. 3, AUGUST 2005

4. Mordechay Schlesinger and Milan Paunovic, 2000, "Modern electroplating"