

플립칩 어셈블리의 언더필 최적설계에 관한 연구

A Study on Optimal Design of Underfill for Flip Chip Package Assemblies

이 선병*, 김 종민**, 이 성혁*, 신 영의*

* 서울특별시 동작구 흑석동 221, 중앙대학교 공과대학 기계공학부

** 서울특별시 동작구 흑석동 221, 중앙대학교 공과대학 기계공학부, 0326kjm@cau.ac.kr

ABSTRACT It has been known that the underfilling technique is effective in reducing thermal and environmental stress concentration at solder joint in FC assemblies. In this paper, the effect of thermomechanical properties of underfill such as coefficient of thermal expansion(CTE) and Young's modulus on reliability of FC assembly under thermal cycling was investigated. For parametric study for optimal design of underfill, finite element analyses(FEA) were performed for seven different CTEs and five different Young's modulus. The results show that the concentrated maximum stress decreases as Young's modulus of underfill increases and the CTE of underfill decreases.

1. 서 론

최근 정보통신기기의 진보에 따라 반도체 칩 부품들의 고집적화, 경량화, 소형화가 가속화되고 있다. 이에 따라 반도체 패키징 분야에서도 높은 입/출력 단자를 갖춘 BGA(Ball Grid Array), CSP(Chip Scale Package), Flip chip 패키징 기술이 개발되고 있으며,¹⁾ 새로운 패키징 및 실장 방법들이 개발되고 있다.

특히 플립칩 패키지의 경우, 실리콘 칩과 기판과의 큰 열팽창계수(CTE: Coefficient of Thermal Expansion)의 차이로 인해 솔더 접합부에 응력이 집중되어 취약한 특성을 나타낸다. 이에 따라 칩과 기판 사이에 언더필을 충전시켜 칩과 기판과의 CTE 차이로 인한 솔더접합부에 집중된 응력을 완화시켜 줌으로써 접합부의 열피로 신뢰성이 향상된다.

본 연구의 목표는 플립칩 패키지의 신뢰성에 영향을 미치는 언더필의 주요 인자를 밝히고, 솔더접합부의 열피로 특성을 향상시키기 위한 언더필의 최적설계 조건을 설정하는 것이다. 본 연구에서는 플립칩 어셈블리를 대상으로 유한요소해석을 통하여 열사이클 하중에서의 솔더접합부에 미치는 언더필의 CTE와 탄성계수가 솔더접합부에 미치는 영향에 대해 살펴보았다.

2. 유한요소해석

본 연구에서는 플립칩 솔더접합부의 열 사이클 하중 하에서의 열응력 해석을 위하여 유한요소해석 소프트웨어인 ANSYS (V.9.0)를 사용하였다.

플립칩 어셈블리는 4.8mm×4.8mm×0.65mm의 플립칩 패키지가 7.8mm×7.8mm×1mm의 PCB 기판에 장착되어 있다. 플립칩 패키지는 120μm의 직경을 가진 솔더볼이 200μm의 피치간격으로 567개의 솔더접합부가 형성되어 있다. 실제 패키지의 대칭 구조를 고려하여 패키지 대각방향의 1/2만을 이차원으로 모델링하였다. 플립칩의 재료는 실리콘 칩, 솔더 범프, PCB, 언더필 및 구리패드로 구성하였다. 전체 모델은 3812개의 절점과 3214개의 요소로 구성되었으며, 솔더접합부의 mesh를 더욱 세밀하게 나누어 모델링하였다. 경계조건으로는 symmetry 구속조건으로 플립칩 어셈블리 원편을 x축으로 고정(x=0) 하였으며 모델의 대칭축과 기판 밑면의 절점을 수직 방향으로 구속(y=0) 하였다. 또한, 솔더를 제외한 다른 재료들은 모두 등방성을 가지며 선형탄성변형을 한다고 가정하였으며 솔더의 경우는 비선형 탄성-소성(크리프) 복합 변형을 한다고 가정하였다. 각 재료의 물성치를 Table 1에 나타내었다.³⁾

Table 1 Material property²⁾

	E(MPa)	v	α (ppm/K)
Solder	92295-149.7T ³⁾	0.4	21.85
Cu pad	76e3	0.35	17
Si chip	131e3	0.3	2.8
PCB	22e3	0.28	18
Underfill	see Table 3	0.3	see Table 4

Table 2 Ansys input for implicit creep analysis²⁾

soder alloy	C1 (1/sec)	C2 (1/psi)	C3	C4
Sn-3.5Ag	18(553-T)/T	1/(6386-11.55T)	5.5	5802

Table 3 Matrix of Young's modulus

Case	α (ppm/k)	E (GPa)
1	30	4.6
2		6.6
3		8.6
4		10.6
5		12.6

Table 4 Matrix of CTE

Case	E (GPa)	α (ppm/k)
1	8.6	2.8
2		17
3		18
4		21.85
5		30

솔더의 크리프 변형을 고려하여 8절점 요소인 plane 183번 요소를 사용하였으며, large deflection 및 large strain 효과를 함께 고려하였다. 솔더를 제외한 다른 재료들은 8절점 요소인 plane 82번을 사용하였다. 본 연구에서는 Sn-3.5Ag 솔더의 Creep 특성을 나타내기 위해 식 (1)과 같은 Implicit Creep procedure 8번 모델을 사용하였으며 각 변수를 Table 2에 나타내었다.²⁾ 솔더의 온도 의존적 (temp-dependant)인 탄성계수와 항복 응력을 각각 식 (2), 식 (3)과 같이 설정하였다.³⁾

$$\epsilon_{cr} = C_1 [\sinh C_2 \sigma]^{C_3} e^{-C_4/T} \quad (1)$$

$$E(T) = 92295 - 149.7T \text{ (MPa)} \quad (2)$$

$$\sigma_y(T) = 200.45 - 0.7756T + 0.0007T^2 \text{ (MPa)} \quad (3)$$

또한, 언더필의 CTE와 탄성계수가 솔더접합부에 미치는 영향을 알아보기 위하여 설정한 7가지의 CTE와 5가지의 탄성계수를 각각 Table 3과 Table 4에 나타내었다. 해석에 적용된 경계조건은 전체 모델의 대칭축과 기판 밑면의 절점들을 각각의 축의 방향으로 구속 하였다. 또한 하중의 조건이 되는 열 사이클은 -40°C에서 125°C까지의 온도 상승시간은 10분이며(AB구간), 고온 유지시간은 20분(BC구간), 125°C에서 -40°C까지 온도 하강시간은 10분이며(CD구간) 저온 유지시간은 20분(DE구간)으로 1사이클을 60분으로 설정하여 2 사이클을 해석하였다. 해석의 기준이 되는 온도 즉 stress free 상태인 온도는 25°C로 설정하였다.

3. 결과 및 고찰

플립칩 어셈블리의 유한요소 해석 결과, 마지막 열 사이클의 서브스텝(저온부 -40°C)에서 Fig. 1에 나타난 바와 같이 최외각 우측 상단의 솔더 접합부에 최대 응력이 집중되었다. Fig. 2에 5가지의 언더필의 탄성계수(4.6MPa ~ 12.6MPa)에 따른 최대응력 값을 비교한 결과를 나타내었다. 그림에서 보는 바와 같이 탄성계수가 증가함에 따라 응력이 감소함을 알 수 있다. 탄성계수가 낮을 경우(4.6MPa)의 응력은 약 67.3MPa로 탄성계수가 높을 경우(12.9MPa) 약간의 응력완화(66.7MPa)가 됨을 알 수 있다.

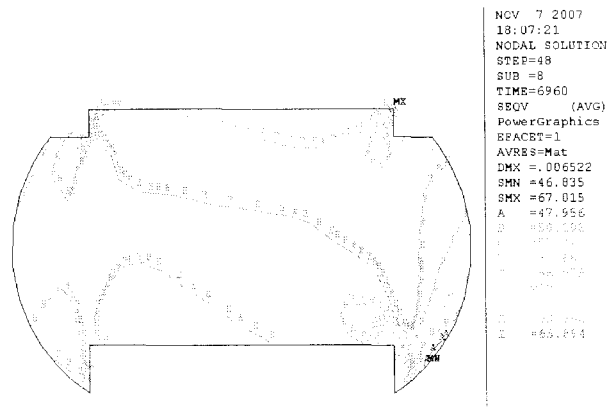


Fig. 1 Maximum stress in solder joint

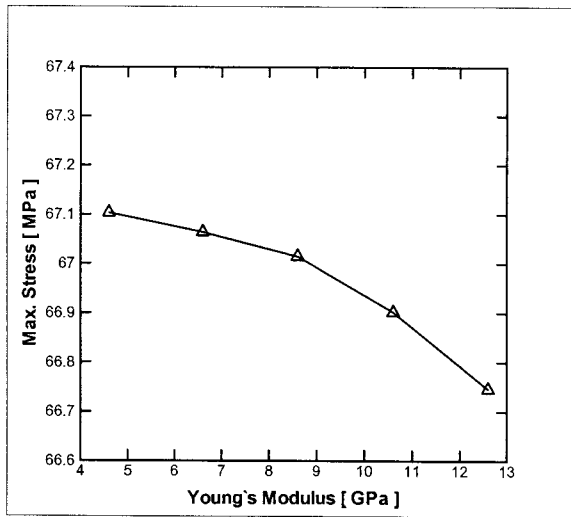


Fig. 2 Max. stress for different Young's modulus

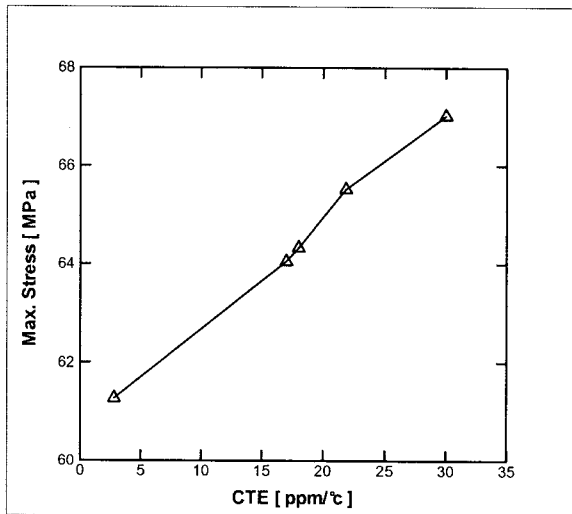


Fig. 3 Max. stress for different CTE's

또한, Fig. 3에 5가지 경우의 CTE(2.8~30ppm/°C)에 따른 응력 값을 나타내었다. 그림에서 보는 바와 같이 언더필의 CTE가 낮게 할수록 응력이 감소하는 것을 알 수 있다. 언더필의 CTE 값이 칩의 CTE(2.8ppm/°C) 값에서 최소(61.3MPa)가 됨을 알 수 있다. 이는 칩과 언더필의 국부적인 CTE 차이로 인한 응력발생을 CTE 차이가 최소화됨으로써 응력 값이 최소가 됨을 알 수 있다. 따라서, 언더필의 CTE 값을 작게 할수록 열 팽로 향상에 효과가 있음을 알 수 있다.

언더필을 설정하는데 있어 언더필의 탄성계수에 의한 응력 완화효과는 CTE에 비해 크게 기대되지 않지만, 사용하는 언더필의 CTE에 낮게 탄성계수를 높게 할수록 솔더접합부에 걸리는 응력이 완화된 플립칩 어셈블리의 열피로 신뢰성이 향상될 것으로 사료된다.

4. 결 론

본 연구에서는 플립칩 솔더접합부의 열피로 신뢰성에 영향을 미치는 언더필의 주요 인자로 CTE와 탄성계수를 설정하여 이 변수들이 솔더접합부에 미치는 응력완화 효과를 유한요소 해석을 통해 검토하였다. 본 연구결과, 최적의 언더필 설계를 위한 물성치로서 언더필의 탄성계수를 크게 할수록, CTE를 낮게 할수록 솔더접합부에 걸리는 응력이 완화된다는 것을 알 수 있었다.

후 기

본 논문은 서울특별시가 지원하는 전략산업 혁신클러스터 육성 지원사업 (3D Microsystem Packaging을 위한 접합공정 및 장비개발)으로 지원되어 수행하였으며 관계자 여러분께 감사드립니다.

참 고 문 헌

1. Anjoh, I., Nishimura, A., and Eguchi, S., 1998, "Advanced IC Package for the Future Applications," *IEEE Trans. Electron Devices*, Vol. 45, No. 3, pp. 743~752.
2. Lau, J. H., Pan S. H. and Chang, C., 2002, "Creep Analysis of Wafer Level Chip Scale Package (WLCSP) with 96.5Sn-3.5Ag and 100In Lead-Free Solder Joint and Microvia Build-up Printed Circuit Board" *Journal of Electronic Packaging*, Vol. 124, pp. 69~76
3. Yeo, A., Lee, C., and Pang, J. H. L., 2004, "Flip Chip Solder Joint Fatigue Analysis Using 2D and 3D FE Models," *5th Int. Conf. on Thermal and Mechanical Simulation and Experiments in Micro-electronics and Micro-Systems*, pp. 549~555.