

### 차세대 STI Gap Fill 방법의 연구

<sup>1</sup>유진혁, <sup>1</sup>김희대, <sup>2</sup>한정훈, <sup>2</sup>강대봉, <sup>2</sup>이대우, <sup>2</sup>서승훈, <sup>1</sup>이내응, <sup>2</sup>손종원  
<sup>1</sup>성균관대학교, 신소재공학과  
<sup>2</sup>주성엔지니어링(주), HDP Team

**초 록 :** 최근들어 Device 크기가 100nm 이하로 줄어들어 따라 High Density Plasma Chemical Vapor Deposition (HDP-CVD) 기술로는 100nm 이하의 gap에 Aspect ratio가 6:1 이상 되는 STI(Shallow Trench Isolation) 구조를 Void 없이 채우는 것이 불가능해 지고 있다. 이를 극복하기 위하여 여러 방면으로 연구가 수행되어지고 있다. 그 방법 중의 하나인 Dep/Etch/Dep Cycle이 이번 연구에서 사용되었으며, 일반적인 HDP CVD보다 더 낮은 압력에서 증착과 식각이 수행되었다. 그 결과 다른 여러 방법들보다 좋은 막질을 얻을 수 있었으며, Gap fill 성능을 향상 시킬 수 있었다.

#### 1. 서 론

1990년대 중반에 LOCOS 공정의 한계를 극복하기 위해 도입되기 시작한 HDP CVD는 반도체 CMOS Device 제조에 있어서 절연물질 증착에 꾸준히 사용되어 왔고, gap fill이 필요한 여러 Layer, Shallow Trench Isolation(STI), Inter Metal Dielectric(IMD), Pre-Metal Dielectric(PMD), Inter Layer Dielectric(ILD) 등에 사용되어지고 있다. 그 중에서 STI의 경우는 CMOS 제조 공정에서 가장 중요한 공정 중 하나라고 할 수 있다[1,2]. 최근 device의 크기가 90nm 이하로 줄어들어 따라 기존에 상용해 오던 HDP CVD의 물리적 한계가 나타나고 있는 실정이고, 이를 해결하기 위하여 아주 많은 시도들이 이루어지고 있다.

SOG(Spin-On-Glass)/HDP-CVD[3,4], Flowable oxide CVD[5], ALD(Atomic-Layer-Deposition)/HDP CVD, ISEA(In-Situ Etch Assisted)[6], Sub-Atmospheric (SA)-CVD[7] 그리고 Dep-Etch-Dep Cycle 방법 등이 시도 되고 있다.

본 실험에서는 Dep-Etch-Dep cycle 방법을 사용하여 Gap fill 능력을 향상 시킬 수 있었다. 일반적으로 HDP CVD 장비를 사용하여 공정을 진행할 때 공정 압력이 보통 3mTorr 이상이다. 낮은 공정 압력이 Gap fill에 지대한 영향을 미치는 것이 실험적으로 이미 증명되어 있다.[8] 식각 시에도 공정 압력을 낮추어서 식각 시 발생할 수 있는 부산물에 의한 영향을 최소화 하였다.

본 실험은 Dep/Etch/Dep 공정 압력을 1mTorr 이하에서 수행하였다. 증착과 식각을 최적화하여 Gap fill 성능을 향상 시킬 수 있었다.

#### 2. 실험 방법

박막의 특성을 알아보기 위해 Bare 실리콘 웨이퍼에서 실험을 하였으며, 증착과 식각의 특성 및 균일도를 확보하기 위해 실험이 이루어 졌다. 그리고 Gap fill 성능을 확인하기 위해 Patterned Wafer에 실험을 진행 하였다. 실험에 사용된 장비는 Jusung Engineering Co. Ltd.의 200mm HDP CVD 장비를 사용하여 이루어 졌으며, 그림 1.에서 장비의 구성을 확인 할 수 있다. 박막의 특성을 확

인하기 위해 기본적인 두께, 균일도, 굴절률, WER(Wet Etch Rate), Stress 등을 확인 하였으며, (Secondary Ion Mass Spectroscopy) SIMS를 사용하여 일반적인 HDP CVD 박막과 비교하였다.

두께와 굴절률 그리고 균일도를 확인하기 위해서 Nano 9000i, Nanometrics 장비가 사용되었으며, Stress를 확인하기 위해서는 FLX-2350FP, KLA Tencor가 사용되었다. Fluorine 함유를 확인하기 위해 IMS-6f Magnetic Sector SIMS, Cameca가 사용되어졌다.

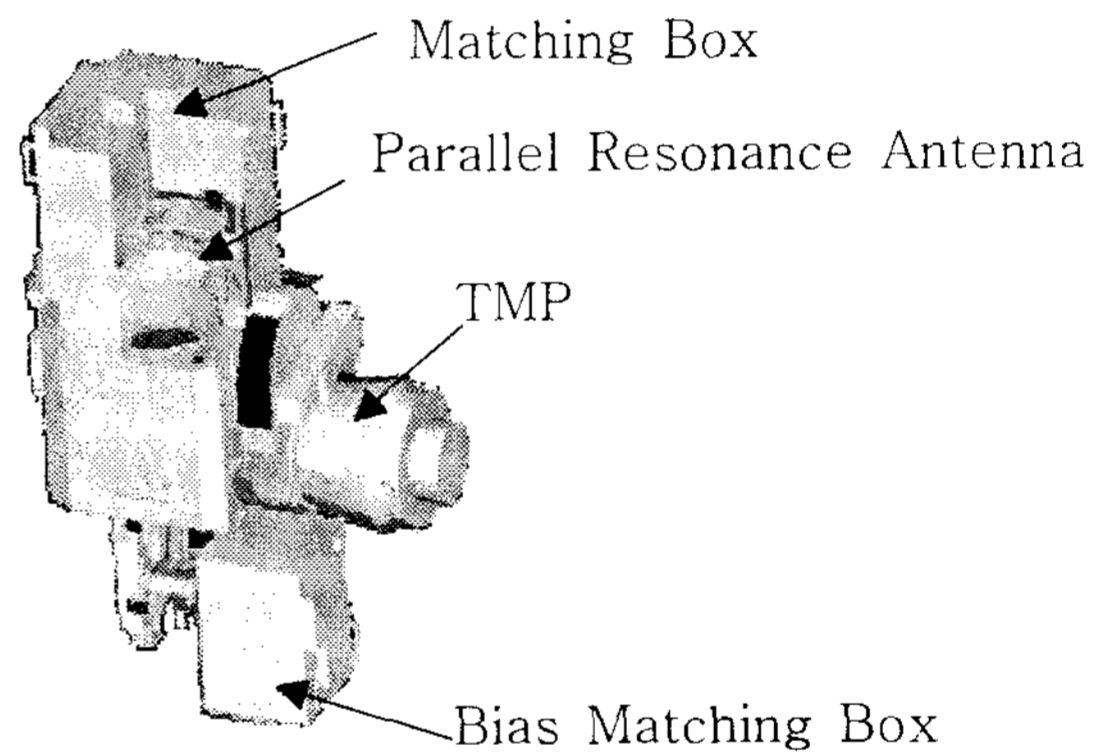


그림 1. HDP CVD 반응기 구조.

그림 2.에서 Dep/Etch/Dep 공정의 흐름을 알 수 있다. 보통의 HDP CVD 공정과 달리 하나의 반응기에서 증착과 식각이 이루어지기 때문에 증착의 균일도와 식각의 균일도가 아주 중요하다. 먼저 증착을 하고, 반응기에 균일하게 NF<sub>3</sub> 가스를 공급하고 플라즈마를 사용하여 식각을 한다. 이를 반복하여 Gap fill을 수행한다. 각각 공정 변수에 대한 플라즈마 증착과 식각 특성을 파악하고 가장 적당한 조건을 확보하여 Dep/Etch/Dep 공정을 진행 하였다.

그림 3. 은 Dep/Etch/Dep 공정이 끝난 후 두께 map을 나타낸 것으로 일반적인 HDP CVD 막과 다름이 없음을 보여 준다. Table 1.은 Dep/Etch/Dep 공정 후 박막 특성을 나타낸 것이다.

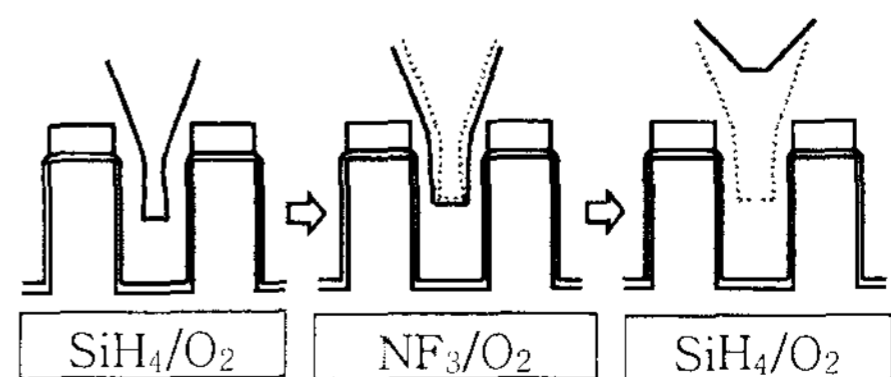


그림2. Dep/Etch/Dep 공정 흐름도

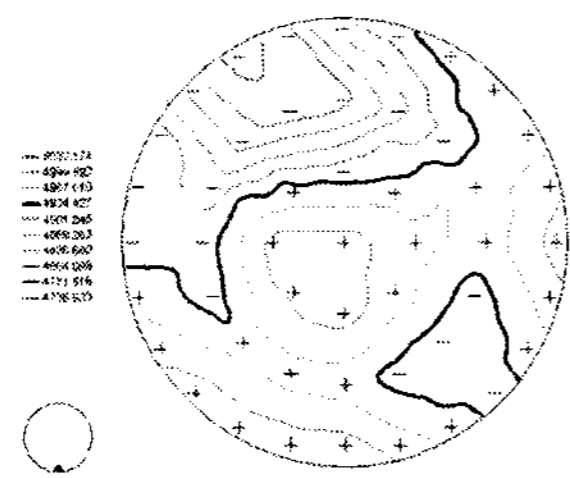


그림 3. Dep/Etch/Dep 공정 Thickness Map

Film Thickness	[nm]	493.4
Range	[nm]	26.1
Film Non-uniformity	Max-Min [%]	2.64%
Refractive Index		1.46
Film Stress	[MPa]	190
compressive		

Table 1. Dep/Etch/Dep 공정 박막 특성

Dep/Etch/Dep 공정 시에 문제가 될 수 있는 박막 내부의 Fluorine 함유량을 SIMS 사용하여 일반적인 HDP CVD 박막과 비교하여 나타내었다. 그림 4.와 Table 2.에서 Dep/Etch/Dep 공정 시 박막 내의 Fluorine level이 18배 정도 높아지는 것을 확인할 수 있다.

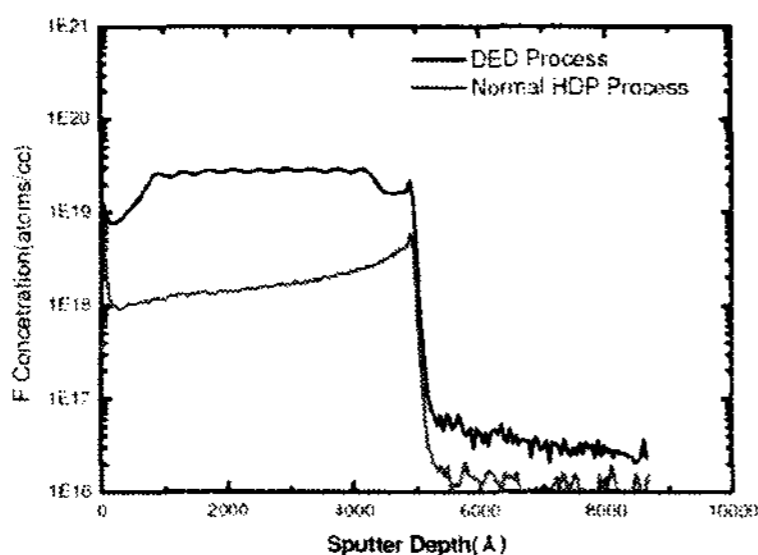


그림 4. SIMS 분석을 통한 fluorine profile

	DED Process	Normal HDP
F Concentration (atoms/cc) @2500 Å depth	2.84e19	1.54e18

Table 2. Fluorine 농도 비교 Data

마지막으로 Wet etch rate를 확인 하였다. Thermal Oxide와 일반적인 HDP CVD 박막과 Dep/Etch/Dep 공정 박막을 비교하였다. Wet Etch Rate은 일반적인 HDP CVD와 차이가 없음을 알 수 있다.

Thermal Oxide	1
Normal HDP CVD	1.63
DED 3 Cycle	1.64
DED 6 Cycle	1.63

Table 3. Normalized WER (diluted-HF 100:1)

그림 5.는 Dep/Etch/Dep 공정으로 STI Gap fill을 수행한 SEM 사진이다. Liner 손실과 top 질화 막의 손실 없이 Gap fill이 잘 수행되었음을 보여 준다.

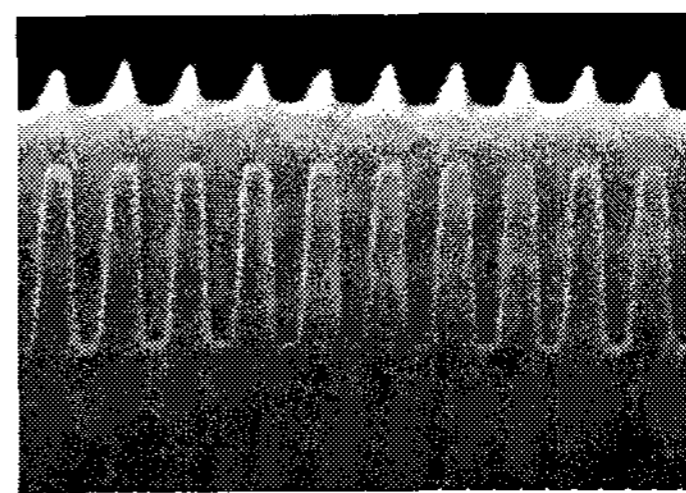


그림 5. 54nm DRAM STI Pattern의 SEM 사진

### 3. 결 론

저압 유도 결합 고밀도 플라즈마 장치를 사용하여 40nm 이하의 space에 Aspect Ratio 9의 STI Gap fill을 Dep/Etch/Dep 공정으로 수행하였다. 기본적인 박막의 특성이 기존에 사용해 오던 HDP CVD 박막과 크게 다르지 않음을 알 수 있었다. 그러므로 현재 사용 중인 Integration 방법의 변화 없이 다음 세대까지 연장하여 사용할 수 있는 가능성을 보여 주었다. SIMS Data에서 Dep/Etch/Dep 공정으로 인해 증가한 Fluorine Level이 수율에는 큰 영향이 없음을 Sung-Woong Chung et al.[9]에 의해 확인 되었다. 앞으로 더 진행되어야 할 연구 사항은 다양한 공정 변수를 두고 실험을 하여 Gap fill 특성을 향상 시키는 것이다.

### 감 사 의 글

본 연구는 산업자원부 시스템집적반도체 기반기술개발사업의 지원, 주성엔지니어링(주)의 국책 과제 도움으로 이루어졌습니다.

### 참 고 문 헌

- [1] J. H. Lee et al, IEEE Transactions on Electron Devices, Vol. 49, 2002, p. 1985
- [2] S. H. Shin et al, Journal of Semiconductor and Science, Vol. 3, NO. 2, 2003, p. 69
- [3] J. Goo, et al, IEDM, 2001, p. 271
- [4] J. H. Heo, et al, Symposium on VLSI Technology, 2002, p. 132
- [5] S. W. Chung, et al, Journal of Semiconductor and Science, Vol. 4, NO. 1, 2004, p. 45
- [6] J. Radecker et al, IEEE / SEMI Advanced Manufacturing Conference, 2003, p. 125
- [7] A. T. Tilke et al, IEEE / SEMI Advanced Manufacturing Conference, 2006, p. 71
- [8] H. Nishimura, et al, Jpn. J. Appl. Phys., Vol. 41 No. 5A, 2002, p. 2886
- [9] S. W. Chung, et al, Jpn. J. Appl. Phys., Vol. 45, No. 3A, 2006, p. 1575