

Sidewall Property of Deep Si Vias Etched for 3 Dimensional Interconnection

임영대*, 이승환*, 유원중*, 정오진**, 한재원**
 *성균관대학교, 나노과학기술협동학부
 **동부하이텍, 공정개발팀

초 록 : 본 연구에서는 실리콘 식각 공정 중 하나인 BOSCH 공정 이후 문제가 되는 scallops를 후처리 공정인 RCA 클리닝 공정, KOH와 IPA를 이용한 습식식각 공정을 이용하여 제거하는 방법을 개발하였다. 또한 Via-Hole 에칭 공정 이후 전기적 절연을 위해 측벽에 증착된 TEOS 표면에 대하여 분석하였다.

1. 서 론

오늘날의 정보화와 더불어 멀티미디어의 휴대형을 추구하는 복합기능이 요구됨에 따라 이에 대응하여 고집적, 고기능의 반도체 수요가 급격하게 늘어나고 있다. 이에 따라 반도체 패키지에 대한 3차원 집적 기술에 대한 연구가 활발히 진행되고 있다. 그 중 SiP(Si stem in package)는 한 개의 package가 하나의 시스템처럼 동작되게 설계한 것으로서 칩과 칩 또는 웨이퍼와 웨이퍼를 3차원적으로 적층한 시스템이다. 이 SiP 기술 중 가장 핵심적인 공정 중 하나는 층간배선을 이루기 위한 via-hole 식각공정이다. via-hole을 식각하려면 식각 깊이와 종횡비(Aspect Ratio)가 높아야 하기 때문에 플라즈마 밀도가 높은 유도결합 플라즈마(Inductively Coupled Plasma)가 유리하다.

유도결합 플라즈마를 이용한 Via-hole 식각공정은 크게 BOSCH 공정과 non-BOSCH 공정으로 나뉘어진다. BOSCH process는 식각가스인 SF6와 증착공정인 C4F8이 번갈아 진행되어 높은 Aspect Ratio를 얻을 수 있는 식각공정 방법이다. 그러나 BOSCH 공정 이후 측벽에 형성되는 scallops과 undercut이 문제가 되고 있다. 이에 반해 non-BOSCH 공정은 SF6, CF4, O2, Ar 가스가 동시에 유입되어 식각되는 공정이다. 공정순서가 간단하고 경제적이지만 높은 aspect ratio를 얻기가 힘든 것으로 알려져 있다.

본 연구에서는 BOSCH 공정 이후 형성된 scallop을 후처리 공정(습식식각)에 의한 제거에 대해 논의하고자 한다. 또한 non-BOSCH 공정 이후 Cu를 via-hole에 채우기 전 via-hole 측벽에 전기적 절연을 위한 TEOS 증착 표면 성질분석에 대해서도 논의하고자 한다.

2. 본 론

2.1 후처리를 통한 Scallop 제거

본 연구에서는 BOSCH 공정을 이용한 Via-Trench 실리콘 식각공정과 Photo Resist를 제거하는 O2 Ashing 공정을 진행한 후 후처리 공정인 RCA 클리닝, 습식 식각을 진행하여 각각의 공정이 끝날 때마다 SEM을 이용하여 scallop의 변화를 분석하였다. 화학적 습식 클리닝의 대표인 RCA 클리닝은 반도체 세정 공정으로서 크게 SC1클리닝[암모니아:과산화수소:물=1:1:5]과 SC2 클리닝[염산:과산화수소:물=1:1:5]으로 나누어져 있으며 각각의 클리닝 공정을 80°C에서 20분 동안 wet station을 이용하여 진행하였다. 습식 식각 공정은 KOH와 IPA 그리고 DI Water를 80°C에서 3분 동안 Stirrer를 이용하여 다양한 조성비를 가지고 실험하였다. 그 결과 DI Water 1L당 KOH 1몰, IPA 4몰의 적정 공정 조건을 개발하였다.

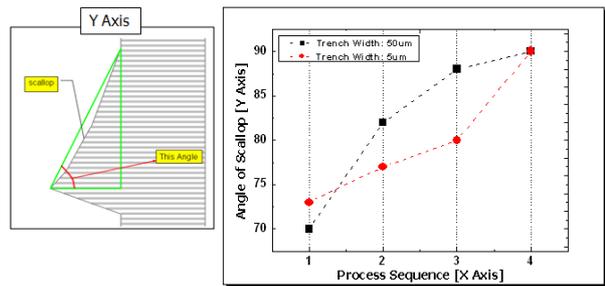


그림 1. 후처리 공정에 따른 scallop의 각도 변화 (1: 건식 에칭공정, 2: O2 Ashing공정, 3: RCA클리닝, 4: 습식 식각공정)

각각의 후처리 공정 후 SEM 분석을 통하여 scallop의 제거를 관찰하였고 그림1과 같은 결과를 얻을 수 있었다. 그림 1의 측은 scallop의 각을 x축은 공정 순서를 나타낸 것이다. 공정이 진행될 때마다 scallop의 각이 증가하여 scallop이 점점 제거되는 것을 그림 1을 통하여 볼 수 있다. 특 습식 식각을 통하여 Via Trench의 직경에 거의 영향을 받지 않고 scallop이 90°가 되어 scallop을 제거되었음을 볼 수 있다.

2.2 via-hole 측벽에 증착된 TEOS 표면 분석

본 연구에서는 non-BOSCH 공정 이후 PECVD를 통하여 TEOS 막질을 평탄면 위 0.5um을 목표로 증착하였다. 그 결과 Via Hole 측벽에는 0.5um 보다 매우 얇은 두께의 TEOS가 증착되게 되었다. 증착된 TEOS의 두께와 표면을 분석하기 위해 via 직경 7.5um, 10um, 20um, 50um의 깊이에 따른 TEOS의 증착형태를 분석하였다.

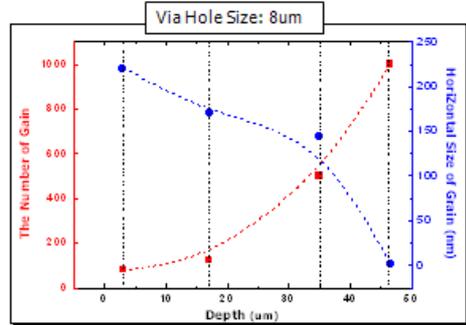


그림 2. Via Hole의 깊이에 따른 TEOS 증착 표면상태 분석

위의 그림 2의 x축은 Via Hole의 깊이이며 측은 그래인의 개수와 그래인 간의 수평간격을 나타낸 것이다. 그림 3에서 보는 것처럼 Via hole 내의 표면거칠기의 정량화를 위해 Via hole 측벽에 증착된 막질을 형성하는 그래인의 개수와 간격을 정량화하였다. TEOS Via Hole의 깊이가 깊어질

수록 그레이인의 개수(그림 3-1)가 급격 많아지고 그레이인 간의 수평간격(그림 3-2)은 매우 작아지는 것을 알 수 있다. 이를 통하여 Via Hole이 깊어질수록 Hole의 측벽에 증착된 TEOS는 점점 매끈해짐을 알 수 있다.

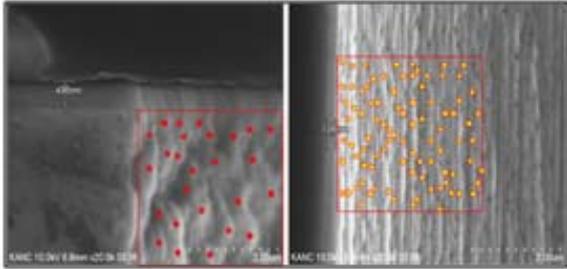


그림 3-1. 그레이인의 개수를 이용한 TEOS표면 거칠기 정량화

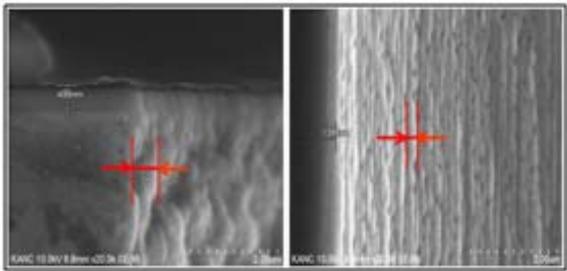


그림 3-2. 그레이인의 수평간격을 이용한 TEOS 증착두께 정량화

다음 그림 4의 x축은 Via Hole의 깊이이며 축은 증착된 TEOS의 두께다. Via Hole의 깊이가 깊어질수록 증착된 TEOS의 두께는 감소하는 경향을 나타내지던 Via Hole의 상부와 하부에는 특수한 경향이 나타난다. 또한 Via Hole의 직경이 커질수록 측벽에 증착된 TEOS의 두께가 증가함을 알 수 있다.

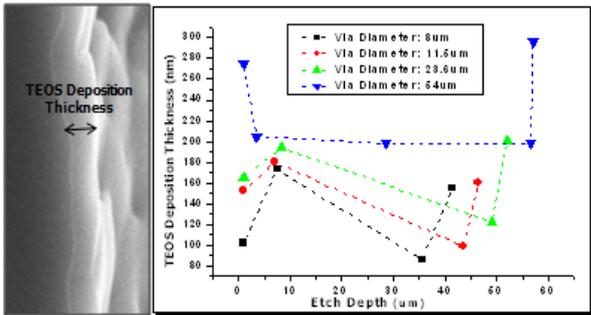


그림 4. Via Hole의 깊이와 Via Hole 직경에 따른 TEOS 증착 두께 분석

3. 결 론

실리콘 건식식각중 하나인 BOSCH 공정 이후 측벽에 형성된 scallop을 후처리 공정인 습식 식각공정을 통하여 제거할 수 있음을 알게 되었다. 또한 non-BOSCH 이후 측벽에 증착된 TEOS의 표면 거칠기는 Via Hole이 깊어질수록 낮아지고 TEOS 증착두께는 Via-Hole의 직경이 커질수록 증가하고 Via-Hole의 깊이가 깊어질수록 감소하는 경향을 알 수 있었다.

감 사 의 글

산업자원부 차세대 성장동력 사업단의 연구수행 지원에 대해 감사를 드립니다.

참 고 문 헌

- [1] Chienliu Chang, Yeong-Feng Wang, Yoshiaki Kanamori, Ji-Jhen Shih, Yusuke Kawai, Chih-Kung Lee, Kuang-Chong Wu, and Masayoshi Esashi, Etching submicrometer trenches by using the BOSCH process and its application to the fabrication of antireflection structure: J. Micromech. Microeng (2005) 580-585
- [2] Hirokazu KIKUCHI, Yusuke YAMADA, Hitoshi KIJIMA, Takafumi FUKUSHIMA, and Mitumasa KOYANAGI, Deep-Trench Etching for Chip-to-Chip Three-Dimensional Integration Technology: Japanese Journal of Applied Physics (2006)
- [3] H.-C. Liu, Y.-H. Lin, W. Hsu, Sidewall roughness control in advanced silicon etch process: Microsystem Technology (2003) 29-34
- [4] R Agarwal, S Samson, and S Bhansali, Fabrication of vertical mirrors using plasma etch and KOH:IPA polishing: J. Micromech. Microeng (2007) 26-35
- [5] Irena Zubel, and Malgorzata Kramkowska, The effect of isopropyl alcohol on etching rate and roughness of (1 0 0) Si surface etched in KOH and TMAH solution: Sensors and Actuators (2001) 138-147
- [6] Irena Zubel, Irena Barycka, Kamilla Kotowska, and Malgorzata Kramkowska, Silicon anisotropic etching in alkaline solution IV the effect of organic and inorganic agents on silicon anisotropic etching process: Sensor and Actuators (2001) 163-171