

저전압 밴드갭 기준 전압 발생기 설계

심외용* · 이재형* · 김종희* · 김태훈* · 박무훈* · 하판봉* · 김영희*

*창원대학교

A Low Voltage Bandgap Reference Voltage Generator Design and Measurement

Oe-Yong Shim* · Jae-Hyung Lee* · Jong-Hee Kim* · Tae-Hoon Kim* · Mu-Hun Park*

Pan-Bong Ha* · Young-Hee Kim*

*Changwon National University

E-mail : salveu@changwon.ac.kr

요 약

새롭게 제안된 밴드갭 기준전압 발생기는 PVT변동에 둔감하면서 기존의 밴드갭 기준전압 발생기보다 안정적인 동작을 하기 위해 요구되는 최소 전원전압(VDD)의 크기를 낮추었다. 모의실험 결과 전원전압(VDD)이 1.0V의 낮은 전압에서 안정적인 동작을 하는 것을 확인 하였다. 매그나칩 반도체 0.18 μm DDI 공정을 이용하여 Layout 하였고, 사이즈는 409.36 μm \times 135.46 μm 이다.

ABSTRACT

The newly proposed bandgap reference voltage generator is insensible to PVT(process, voltage, temperature) variation and has a lower minimum supply voltage, which is required for stable operation. The simulation result is that the bandgap reference voltage generator starts operation at 1.0V of supply voltage. The layout of the bandgap reference voltage generator is designed using Magnachip 0.18 μm DDI process, and the size is 409.36 μm \times 135.46 μm .

키워드

Bandgap Reference Voltage Generator, low voltage, minimum supply voltage, PVT variation

1. 서 론

밴드갭 기준전압 발생기(Bandgap Reference Voltage Generator)는 메모리, A/D 변환기, D/A 변환기와 Power Management Circuit 등의 아날로그 회로에 기준전압을 공급하는 회로로 사용된다.[1]-[3]

최근 주력으로 양산되고 있는 메모리 제품의 Design Rule은 60~80nm가 사용되고 있고 SoC용 IP의 Design Rule은 0.13~0.18 μm 이 사용되면서 전원전압은 1.5V 이하로 낮아지고 있다. 이에 따라 PVT(Process-Voltage-Temperature) 변동에 둔감하고 저전압에서 안정적으로 동작하는 밴드갭 기준전압 발생기가 필요하다.

그림1은 기존의 밴드갭 기준전압 발생기의 회로[4]로 식(1)에서 보는바와 같이 저항 R1과 R2를

조절하여 PVT 변동에 둔감한 기준 전류 I를 만들고, 이 전류가 저항 R3를 통해 흐르면 VREF 역시 PVT 변동에 둔감한 정전압을 얻을 수 있다.[4] 기존의 기준전압 발생기는 Va와 Vb 전압이 차동 증폭기의 입력단인 NMOS 트랜지스터인 MN1과 MN0의 게이트에 각각 연결되어 있다.

$$I = \frac{V_T \ln 10}{R_2} + \frac{V_{EB1}}{R_3} = \frac{V_T \ln 10}{R_2} + \frac{V_{EB1}}{R_1} \quad \text{식(1)}$$

여기서, $V_T (=kT/q)$ 는 열 전압(thermal voltage)이고 V_{EB1} 은 PNP BJT(Bipolar Junction Transistor) Q1의 에미터(emitter)와 베이스(base) 사이의 전압이다.

그런데 약 0.7V의 전압을 갖는 Va, Vb 전압이 차동증폭기의 입력 단을 ON 시키기 위해서는 낮

은 문턱 전압(threshold voltage)을 갖는 MN0, MN1이 필요하므로 추가 공정이 요구된다. 그리고 공정에 따라서는 low- V_T 트랜지스터가 지원되지 않는 경우도 있다.

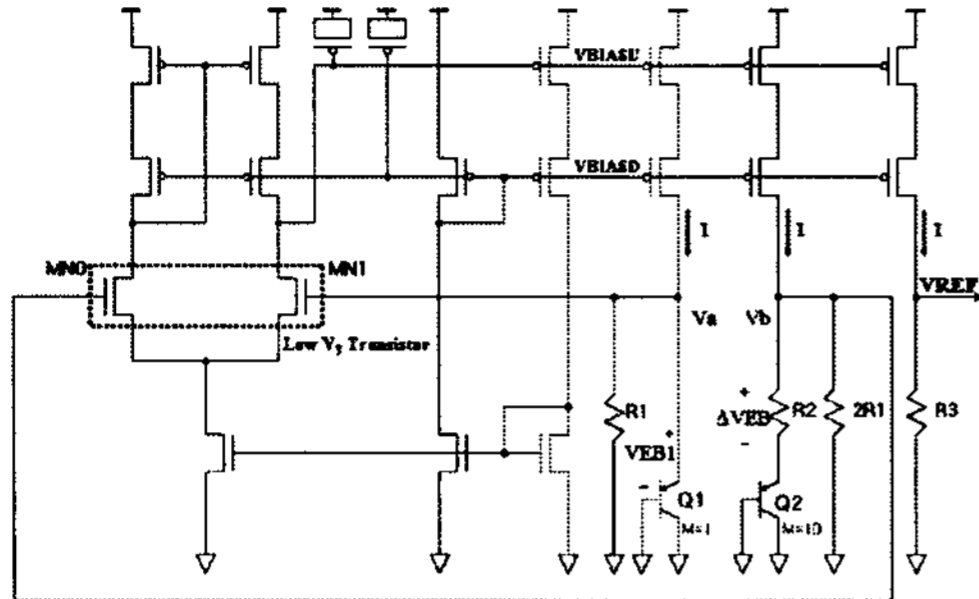


그림 1. 기존의 밴드갭 기준전압 발생기의 회로도.
Fig. 1. Conventional Bandgap reference voltage generator circuit.

본 논문에서는 triple-well 공정에서 기생하는 NPN 트랜지스터를 사용하여 차동증폭기의 입력 트랜지스터로 low- V_T 트랜지스터 대신 로직 트랜지스터를 사용 가능하게 하였다. 기생하는 NPN 트랜지스터의 컬렉트(collector) 노드에 VDD를 연결하고 에미트 노드에 Va 노드를 연결하여 기존의 밴드갭 기준전압 발생기의 Va 전압보다 높은 전압이 걸리게 하여 차동증폭기가 정상적으로 동작하게 하였다. 따라서 BGR 설계 시 low- V_T 트랜지스터로 인한 추가적인 공정 없이 설계가 가능하게 하였다. 매그나칩 0.18 μm 공정을 사용하여 모의 실험한 결과, VDDmin(minimum supply voltage)은 1.0V이고, 레이아웃 면적(layout area)은 409.36 $\mu\text{m} \times 135.46\mu\text{m}$ 이다. 현재 제안된 BGR의 테스트 칩은 wafer fabrication 중에 있다.

II. 회로 설계

그림 2는 새롭게 제안된 밴드갭 기준전압 발생기의 단순화 된 회로로 차동증폭기인 DIFF_AMP, NPN BJT인 Q0와 Q1, 저항 R1과 R2, 전류 거울(Current mirror)인 MN1, MN2, MN3와 PMOS 전류거울인 MP1과 MP2, 정전류 I가 흘러 정전압인 VREF 전압을 제공하는 R3로 구성되어 있고, Va와 Vb 전압은 차동증폭기의 입력에 연결되어 있다.

회로의 동작을 보면 정전류 I가 목표전류보다 많이 흐르게 되면 Vb의 전압이 Va의 전압보다 더 많이 떨어지게 되고 차동증폭기의 출력전압인 VNBIAS는 낮아져 NMOS 전류거울 MN1과 MN2의 전류가 줄어든다. 부궤환(Negative Feedback) 동작에 의해 정전류 I는 정상상태에서 목표전류를 유지한다. R1과 R2를 조절하여 PVT 변동에 둔감한 정전류 I를 얻을 수 있고, PMOS

전류거울 MP1과 MP2를 통해 mirroring 되어 R3를 통해 흐르면 R3를 통해 걸리는 VREF 전압도 PVT 변동에 둔감한 정전압을 얻을 수 있다.

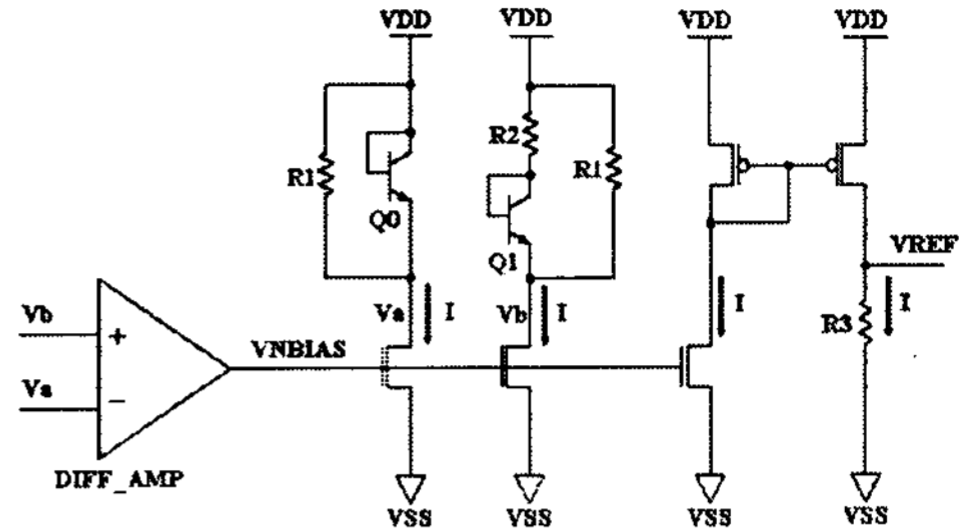


그림 2. 제안된 밴드갭 기준전압 발생기의 단순화 된 회로도.

Fig. 2. Newly proposed Bandgap reference voltage generator simple circuit.

그림 3은 새롭게 제안된 밴드갭 기준전압 발생기의 회로도이다. MN2, MN3 MP2로 구성된 Self-Biasing 회로를 이용하여 차동증폭기에 바이어싱(Biasing) 해주고 Q0, Q1과 R1, R2에서 만들어진 온도변화에 둔감한 정전류는 MP3, MP4, MP5, MN6, MN7으로 구성된 와이드 스윙을 갖는 캐스코드 전류 거울을 통해 PVT 변동에 둔감한 정전류가 된다. 이 전류가 저항 R3로 흐르면서 기준전압인 VREF를 만들어 낸다.

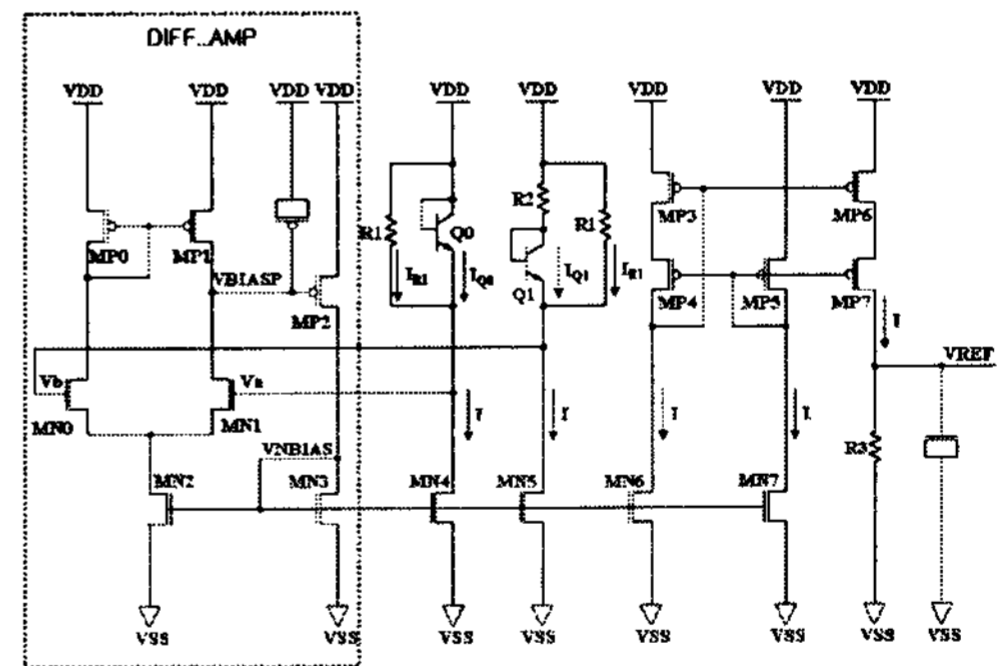


그림 3. 제안된 밴드갭 기준전압 발생기의 회로도.
Fig. 3. Newly proposed Bandgap reference voltage generator circuit.

차동증폭기의 부궤환 동작에 의해 정상상태(Steady-state)에서 Va와 Vb 노드의 전압은 같게 된다. 그래서 저항 R2에 걸리는 ΔV_{BE} 는 식(2)와 같고 Q1 트랜지스터를 통해 흐르는 전류 I_{Q1} 은 식(3)과 같다.

$$\Delta V_{BE} = V_{BE0} - V_{BE1} = V_T \cdot \ln N \quad (2)$$

$$I_{Q1} = \frac{\Delta V_{BE}}{R2} = \frac{V_T \cdot \ln N}{R2} \quad (3)$$

글래서 정전류 I는 식(4)와 같이 얻을 수 있다.

$$I = I_{R1} + I_{Q1} = \frac{V_{BE0}}{R1} + \frac{V_T \cdot \ln N}{R2} \quad (4)$$

식(4)의 전류 I가 와이드 스윙을 갖는 캐스코드 전류 거울을 통해 R3를 흐르면 정전압 VREF는 식(5)와 같이 얻을 수 있다.

$$VREF = R3 \cdot I = R3 \cdot \left(\frac{V_{BE0}}{R1} + \frac{V_T \cdot \ln N}{R2} \right) \quad (5)$$

그림 4는 제안된 밴드갭 기준전압 발생기의 스타트-업 회로도이다. 파워-업(Power-up)시 그림 3의 VBIASP 노드의 전압이 커플링 커패시터 현상에 의해 파워 공급전압인 VDD 전압을 따라 올라가는 경우 MP2 트랜지스터로 전류가 흐르지 않아 차동증폭기의 전류를 바이어싱 해주지 못하게 되어 정상적인 기준전압을 만들어주지 못하게 된다. 이 문제를 해결하기 위해 그림 5의 스타트-업 회로가 사용되었다. 방전 트랜지스터(Discharge Transistor)인 MN4는 VBIASP 노드의 전압이 VDD 전압을 따라 갈 경우 ON되어 VBIASP 노드의 전압을 떨어트리고 VBIASP 노드의 전압이 정상적인 전압으로 떨어지면 MN4는 OFF되어 기준전압 발생기의 회로 동작에 영향을 주지 않게 된다.

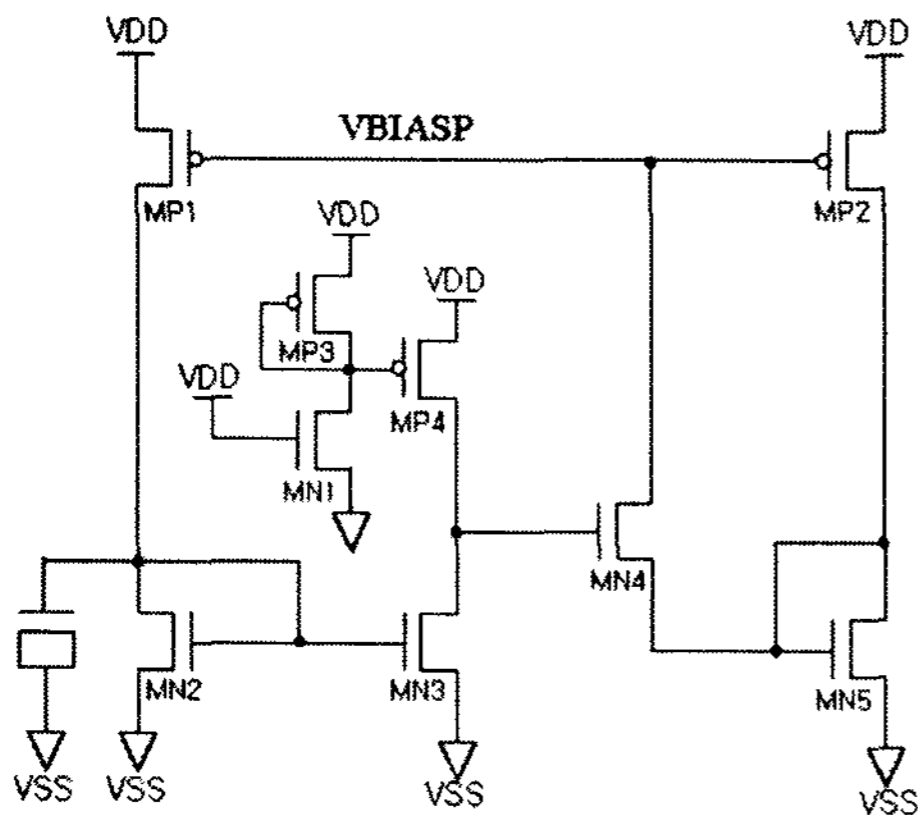


그림 4. BGR의 스타트-업 회로.[5]
Fig. 4. The Start-up circuit of BGR.

III. 모의실험 결과

그림 5는 새롭게 제안된 밴드갭 기준전압 발생

기의 전원전압(VDD)에 대한 VREF의 출력을 모의 실험한 결과를 보여준다. 3가지의 공정모드와 온도에 대해(SS -40°C, TT 25°C, FF 85°C)에 대해 모의 실험한 결과 전원전압(VDD)이 1.0V에서 정상적인 동작을 시작하는 것을 볼 수 있으며 VDD sensitivity는 0.32 mV/V 이다.

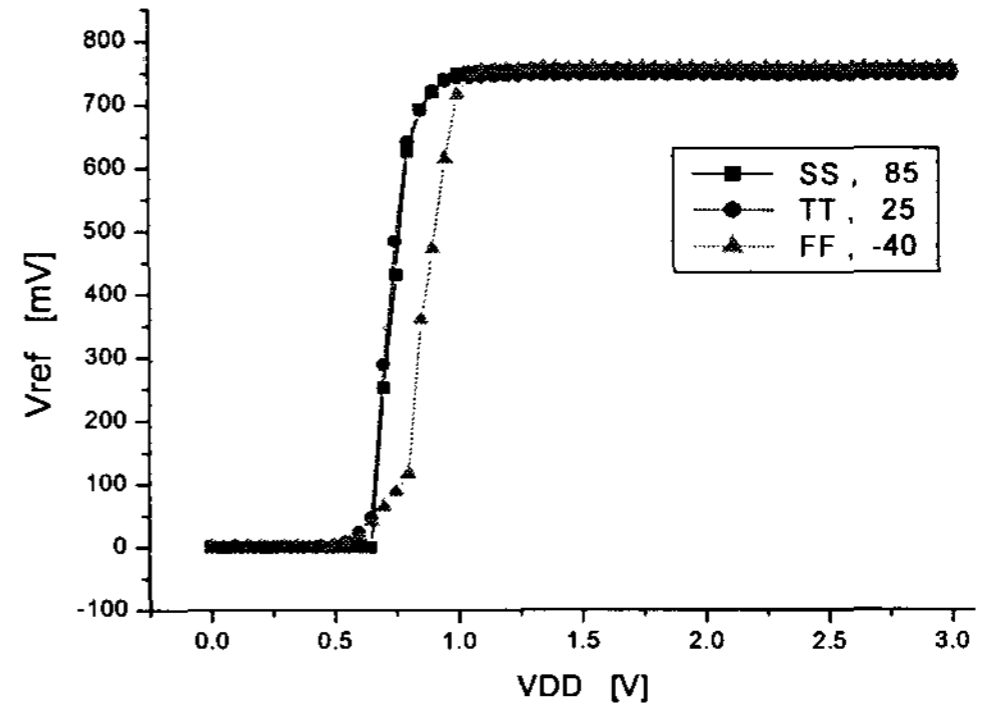


그림 5. BGR의 전원전압(VDD)변화에 대한 Vref 모의실험.

Fig. 5. The simulation results of Vref vs. VDDA.

그림 6은 새롭게 제안된 밴드갭 기준전압 발생기의 온도변화에 대한 VREF의 출력을 모의실험한 결과를 보여준다. -40°C에서 85°C까지의 온도 변화에 대한 VREF 전압의 온도 Sensitivity는 84.27 ppm/°C이다.

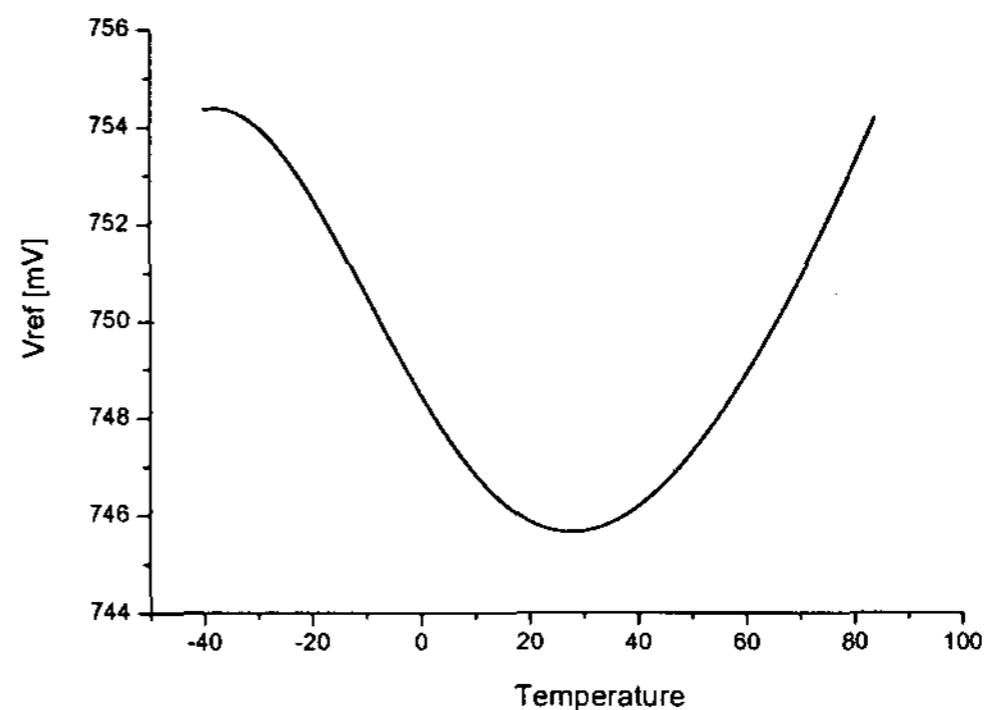


그림 6. BGR의 온도변화에 대한 모의실험.

Fig. 6. The simulation results of Vref vs. Temperature.

그림 7은 매그나칩 반도체 0.18μm DDI 공정을 사용하여 설계된 밴드갭 기준전압 발생기의 Layout plot이다. Tripple-well CMOS 공정을 이용하여 Parasitic NPN 트랜지스터를 설계하였고, 전체 Layout 크기는 409.36μm × 135.46μm 이다.

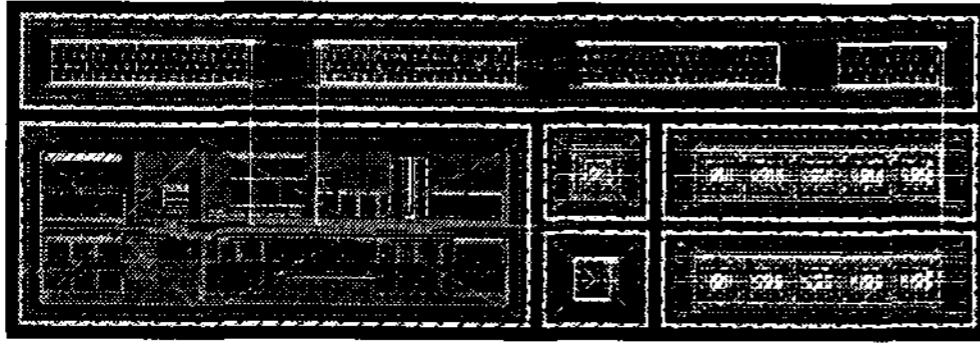


그림 7. 새롭게 제안된 밴드갭 기준전압 발생기의 Layout Plot.

Fig. 7. Layout Plot of newly proposed bandgap reference voltage generator.

V. 결 론

본 논문에서는 PVT변동에 둔감하고 1.0V 이하의 저전압에서 안정적인 기준전압을 발생시키기 위해 밴드갭 기준전압 발생기를 새롭게 제안하였다. Low- V_T 트랜지스터를 사용하지 않고 차동증폭기를 동작시키기 위해 parasitic NPN 트랜지스터를 사용하여 해결하였다. 모의실험결과 PVT 변동에 둔감하면서 전원전압(VDD)가 1.0V일 때부터 안정적인 동작을 하는 것을 확인 하였다. triple-well 공정으로 parasitic NPN 트랜지스터를 구현할 수 있는 매그나칩 반도체 0.18 μm DDI 공정을 이용하여 Layout 하였고, 사이즈는 409.36 μm × 135.46 μm 이다.

감사의 글

This work was sponsored by MIC/ IITA/ ETRI SoC Industry Promotion Center, Human Resource Development Project for IT SoC Architect and this work sponsored by the MOCIE(Ministry of Commerce, Industry and Energy), KOREA under the IDEC Support Program(MPW, CAD).

참고문헌

[1] H. Banba et al., "A CMOS Subbandgap Reference Circuit with 1-V Power Supply Voltage", IEEE Journal of Solid-State Circuits, vol.39, issue 1, pp.252-255, Jan. 2004.

[2] H. Banba et al., "A CMOS Bandgap Reference Circuit with Sub-1-V Operation", IEEE Journal of Solid-State Circuits, vol.34, no.5, pp.670-674, May 1999.

[3] Seong-Ik Cho et al., "A CMOS bandgap reference voltage generator with reduced voltage variation and BJT area", Current Applied Physics, volume 7, issue 1, pp.92-95, Jan. 2007.

[4] Won-Jae Yi et al., "UHF RFID 태그 칩용 저전력 EEPROM 설계", 한국해양정보통신학회 논문지, 제10권, 제3호, pp.486-495, Mar. 2006.

[5] Seung-Myun Back et al., "넓은 전압 범위와 개선된 파워-업 특성을 가지는 밴드갭 기준전압 발생기의 스타트-업 회로", 한국해양정보통신학회 논문지, 제11권, 제8호, pp.1544-1551, Aug. 2007.