

# 저전압 DRAM용 VPP Generator 설계

김태훈\* · 이재형\* · 하판봉\* · 김영희\*

\*창원대학교

## A VPP Generator Design for a Low Voltage DRAM

Tae-Hoon Kim\* · Jae-Hyung Lee\* · Pan-Bong Ha\* · Young-Hee Kim\*

\*Changwon National University

E-mail : kimth@changwon.ac.kr

### 요 약

본 논문에서는 저전압 DRAM용 VPP Generator의 전하펌프회로(Charge Pump Circuit)를 새롭게 제안하였다. 제안된 전하펌프회로는 2-Stage 크로스 커플 전하펌프회로(Cross-Coupled Charge Pump Circuit)이다. 4개의 비중첩 클럭신호들을 이용하여 전하전달 효율을 향상시켰고, 각 전하펌프단 마다 Oscillation 주기를 줄일 목적으로 Distributed Clock Driver인 Inverter 4개를 추가하여 펌핑전류(Pumping Current)를 증가시켰다. 그리고 전하전달 트랜지스터의 게이트단에 프리차지회로(Precharge Circuit)를 두어 대기모드진입 시 펌핑된 전하를 방전하지 못하고 고전압을 유지하여 소자의 신뢰성을 떨어트리는 문제를 해결하였다. 모의실험결과 펌핑전류, 펌핑효율(Pumping Efficiency), 파워효율(Power Efficiency) 모두 향상된 것을 확인하였고, 0.18 $\mu$ m Triple-Well 공정을 이용하여 Layout 하였다.

### ABSTRACT

In this paper, the charge pump circuit of a VPP generator for a low voltage DRAM is newly proposed. The proposed charge pump is a 2-stage cross coupled charge pump circuit. The charge transfer efficiency is improved, and Distributed Clock Inverter is located in each charge pump stage to reduce clock period so that the pumping current is increased. In addition, the precharge circuit is located at Gate node of charge transfer transistor to solve the problem which is that the Gate node is maintained high voltage because the boosted charge can't discharge, so device reliability is decreased. The simulation result is that pumping current, pumping efficiency and power efficiency is improved. The layout of the proposed VPP generator is designed using 0.18 $\mu$ m Triple-Well process.

### 키워드

Charge Pump, Clock Inverter, Precharge Circuit, Low Voltage DRAM

### 1. 서 론

최근 DRAM의 전원전압(Supply voltage)이 1.8V 혹은 1.5V로 감소하는 추세이다. 이는 파워 소모를 줄이고 소자의 크기가 줄어들면서 생기는 신뢰성 문제를 개선하기 위한 것이라고 볼 수 있다.[1]-[3] 전원전압이 감소하면 이에 상관하여 DRAM 트랜지스터의 문턱전압( $V_t$ )도 감소해야 한다. 그러나 트랜지스터의 문턱전압이 감소할 경

우, 낮은 문턱전압 때문에 증가하는 누설전류로 인한 Refresh 특성에 문제가 될 수 있다. 이런 문제를 해결하기 위한 방법으로 고전압 발생회로(VPP Generator)가 사용되어 왔다.[1] 고전압 발생회로는 선택된 트랜지스터들의 Word-line 전압을 증가시켜 DRAM에 사용되는 NMOS 트랜지스터의 문턱전압 문제를 해결해준다.

고전압 발생회로는 인덕터를 사용하는

PWM(Pulse Width Modulation)방식과 스위치-캐패시터(Switched Capacitor)를 사용하는 전하펌프(Charge Pump)방식이 주로 사용된다. DRAM에서는 전하펌프방식이 면적 등에 장점이 있어 주로 사용된다. 스위치-캐패시터를 사용하는 전하펌프는 다시 Dickson 전하펌프방식과 크로스 커플 전하펌프(Cross coupled charge pump)방식으로 나누어 질수 있다. Dickson 전하펌프방식은 크로스 커플 전하펌프방식에 비해 회로가 간단하고 저면적에 유리하지만, VDD전압이 감소하면서 전압펌프이득(voltage pumping gain)이 현저하게 감소한다. 하나의 펌프단에서 전압이 펌프 될 때, 다이오드의 문턱전압만큼의 전압손실을 가져다 주기 때문에 VDD전압이 감소할수록 전압펌프이득이 감소하게 된다. 이와 같은 전압펌프이득 문제로 Dickson 전하펌프방식 보다 크로스 커플 전하펌프방식이 주로 사용된다.[4] 그리고 기존에는 적절한 VPP전압(Word line 구동 전압)의 크기가 VDD와 2VDD 내에 있었으나, VDD 전압이 1.8V 이하로 감소하면서 2VDD와 3VDD로 범위가 상승하였다. 이로 인해 기존의 하나의 펌프단(Pumping Stage)에서 두 개 혹은 그 이상의 Stage로 전하펌프단(Charge pump stage)이 증가해야한다.[2]

그림 1은 크로스 커플 전하펌프의 기본 회로도를 보여준다.[4] 전하전달스위치로 사용되는 크로스 커플 형태의 PMOS 트랜지스터(MP1, MP2)는 문턱전압의 손실(Threshold voltage loss)없이 전하를 N1, N2노드에서 Vout 단으로 전달한다. CLK1과 CLK2가 반대의 위상을 가지고 스위칭하게 되면, 이와 같은 위상으로 N1, N2 노드가 VIN-2VIN로 스위칭하게 된다. N1노드가 2VIN이 되면 N1노드는 VIN레벨을 갖게 되므로 MP1 트랜지스터가 문턱전압의 손실없이 전하를 전달하게 된다. 그러나 이 회로는 전하 손실(Charge Loss)문제가 발생한다. 전하전달스위치로 사용되는 MP1, MP2 PMOS 트랜지스터들의 Body가 VOUT단에 연결되어있기 때문에 부N1과 N2 노드가 펌핑(Pumping)될 때, Body 전압이 Source 혹은 Drain 전압보다 낮게 되어 Source/Drain-Body-기판으로 연결되는 기생 PNP 트랜지스터가 Active 영역에 놓이게 된다. 이로 인해 N1과 N2 노드의 전하가 PNP 트랜지스터를 통해 기판으로 빠져 나가게 되어 전하 손실을 초래하여 Latch-up 문제를 일으키게 된다. 이와 유사한 현상으로 N1과 N2 노드를 프리차지(Precharge)시키는 MN1과 MN2 NMOS 트랜지스터의 문턱전압을 상승시키게 된다. 이 문제들로 인해 펌핑 효율(Pumping Efficiency)이 떨어지게 되고 파워소모가 증가하게 된다.

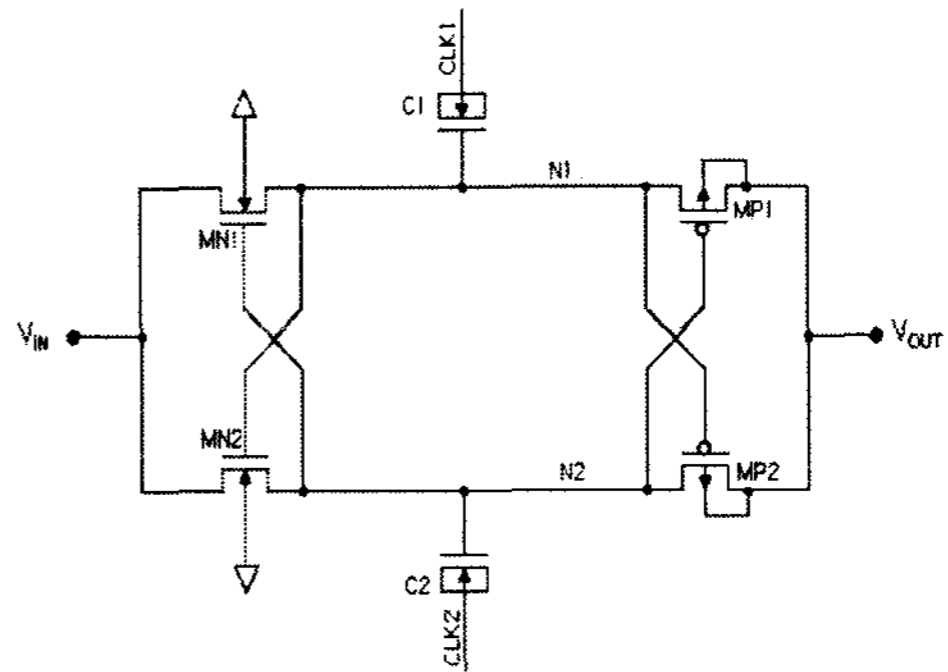


그림 1. 크로스 커플 전하펌프 기본 회로도.  
Fig. 1. Cross-Coupled charge pump circuit.

그림 2는 기존의 크로스 커플 전하펌프의 회로도이다.[2] 그림 1에서 보여준 회로의 단점을 해결하기 위해 그림 2에서와 같이 Bulk-Potential Biasing circuit이 프리차지 트랜지스터인 MN1, MN2와 전하전달스위치인 MP1, MP2에 추가되었다. Bulk-Potential Biasing circuit는 PMOS의 경우에는 Drain과 Source 노드의 전압 중, 높은 전압이 Body 전압으로 되게 하고, NMOS의 경우에는 낮은 전압이 Body 전압으로 되게 한다. 이로 인해 그림 1의 회로에서 발생하는 Charge Loss로 인한 Latch-Up 문제와 NMOS의 문턱전압이 상승하는 문제를 해결해준다.

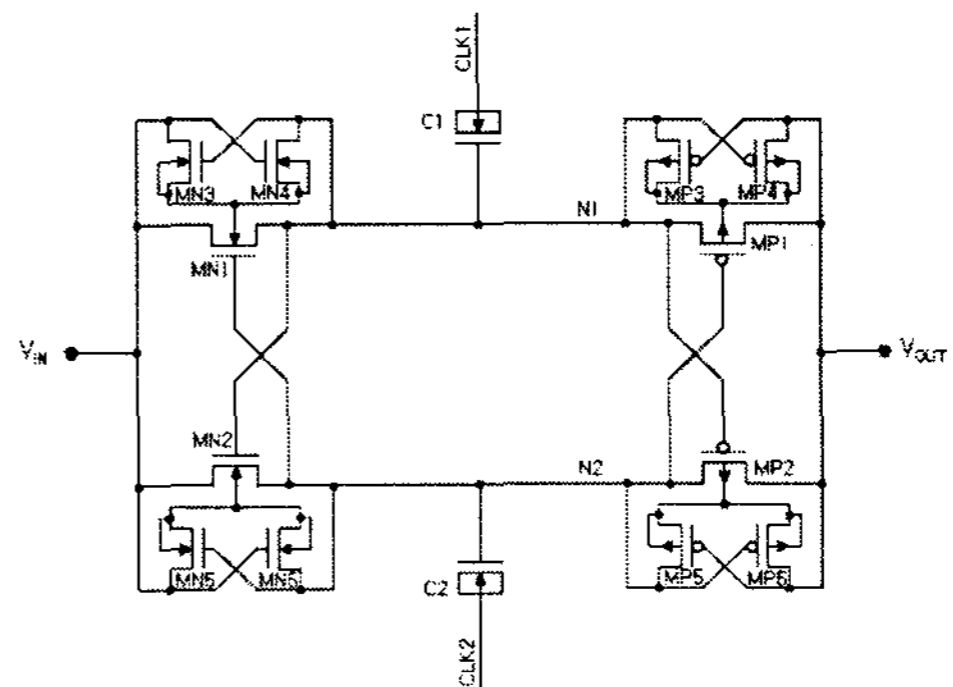


그림 2. 기존의 크로스 커플 전하펌프 기본 회로도.  
Fig. 2. The conventional Cross-Coupled charge pump circuit.

그림 2의 크로스 커플 전하펌프는 2-Phase 전하펌프로 N1, N2 노드가 CLK1과 CLK2에 의해서 프리차지(Precharge)와 펌핑(Pumping)을 서로 반대 위상을 가지고 반복한다. 그러나 CLK1과 CLK2가 동시 High인 구간과 Low인 구간을 가지게 되는데, 동시 High일 때는 펌핑된 전하가 MN1과 MN2를 통해 VIN 노드로 빠져나가기 때문에 Charge Loss가 있게 되고, 동시 Low일 때는 MP1, MP2에 의해서 VOUT단으로 전달된 Charge가 다시 N1, N2 노드로 흘러 역방향

Charge가 생기게 된다. 이로 인해, 펌핑효율이 떨어지게 되고 파워 소모가 증가하게 된다. 그리고 대기모드(Stand-by mode) 진입 시, N1과 N2 노드의 펌핑된 전하가 방전하지 못하여 고전압을 유지하기 때문에 소자의 신뢰성에 문제를 야기할 수 있다.

본 논문에서는 2-Stage 크로스 커플 전하펌프회로를 새롭게 제안 하였다. 4개의 CLK신호들(CLK0-CLK3)을 이용하여 기존의 크로스 커플 전하펌프에서 CLK신호들의 중첩에 의해 펌핑효율이 감소하는 문제를 해결하였다. 그리고 프리차지 회로를 MN1과 MN2 트랜지스터의 게이트단에 두어 대기모드 시에 게이트단을 VDD전압으로 프리차지시켜 소자의 신뢰성에 영향을 주는 문제를 해결하였다. 뿐만 아니라, 기존의 컨트롤 로직에서 Global 형태로 구동(Driving)해주던 것을 각 전하펌프단마다 인버터(Inverter)를 두어 Local 형태로 구동하게 하였다. 이로 인해 클럭주기가 늘어나는 것이 방지되어 전하펌프회로의 펌핑 전류를 보완 하였다.

II. 회로 설계

그림 3은 제안된 VPP Generator의 블록도이다. VPP Generator는 밴드갭 기준전압 발생기(Bandgap Reference Voltage Generator), VPP 레벨 감지기(VPP Level Detector), 링 발진기(Ring Oscillator), 컨트롤 로직(Control logic)과 2-Stage의 전하펌프(Charge Pump)로 구성되어 있다. 밴드갭 기준전압 발생기에서 발생된 PVT(Process-Voltage-Temperature) 변동에 둔감한 기준전압과 VPP 전압을 레벨 감지기에서 비교하고 네거티브 피드백(Negative Feedback)으로 목표된 VPP 전압을 유지하게 된다. VPP 전압이 목표전압보다 작을 때, 링 발진기가 동작하여 전하펌프회로가 동작을 수행하고 목표전압보다 클 때, 링 발진기가 OFF되어 전하펌프회로가 동작을 하지 않게 된다. 그리고 VPP단에 1μF의 외장형 커패시터가 연결되어 펌핑된 전하를 Reserve 하게 된다.

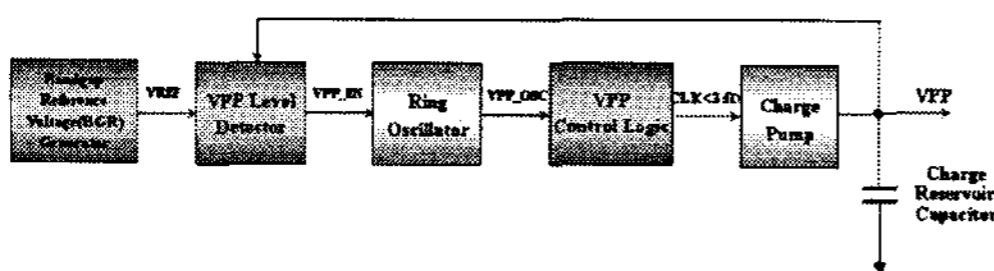


그림 3. VPP Generator의 블록도.  
Fig. 3. The block diagram of VPP Generator.

그림 4는 새롭게 제안된 VPP Generator의 전하펌프 회로도이다. 단위 전하펌프 회로는 2개의 프리차지 제어회로(MN7, MN8)와 2개의 프리차지 회로(MN9, MN10, MP7, MP8, MP9, MP10), NMOS 전하 전달 스위치(MN1, MN2), 커플드

PMOS 전하 전달 스위치(MP1, MP2), Bulk-Potential Biasing 회로(MN3, MN4, MN5, MN6, MP3, MP4, MP5, MP6)와 NMOS 전하 펌핑 캐패시터(C1, C2, C3, C4)와 4개의 Clock Driver용 인버터로 구성 되어 있다. NMOS, PMOS 전하전달 스위치의 Body 전압은 Bulk-Potential Biasing 회로를 사용하여 몸체 전압을 소스노드 전압에 전기적으로 연결함으로써 몸체 효과에 따른 문턱전압의 증가를 방지하고 Charge Loss 문제로 인한 Latch-Up 현상을 방지할 수 있다. CLK Driver가 모든 Charge Pump에 Global하게 있는 것이 아니고 Oscillation 주기를 줄일 목적으로 Distributed Clock Driver인 Inverter가 4개 추가되어 있다. 이렇게 하므로 Charge Pump의 Oscillation 주기를 줄여 동일한 Charge Pump로 Pumping Current를 증가시킬 수 있다. 그리고 MN1, MN2의 게이트단을 대기모드(Stand-by mode)시 VDD 전압으로 프리차지시키기 위한 프리차지회로(MP7, MP8, MN9와 MP9, MP10, MN10)가 추가되었다. 이로 인해 MN1, MN2의 게이트단이 펌핑후 대기모드 진입 시 펌핑된 전하를 방전하지 못하여 고전압을 유지하여 소자의 신뢰성에 문제를 야기하던 문제가 해결되었다.

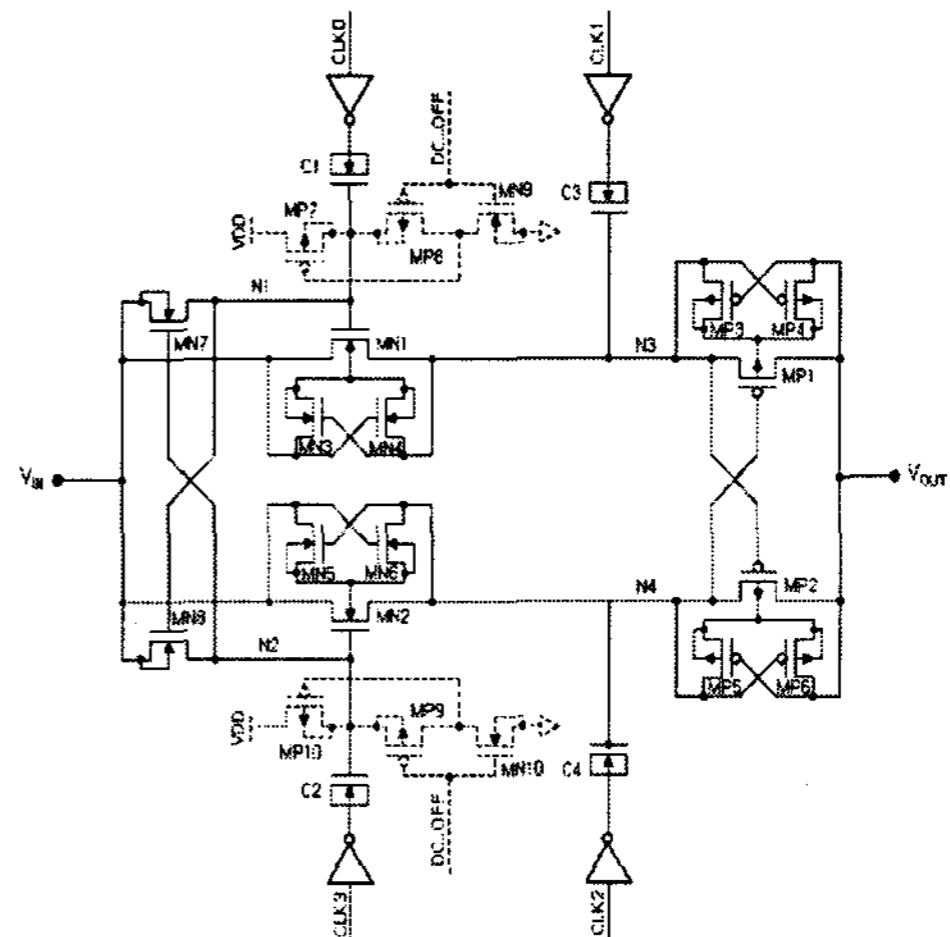


그림 4. VPP Generator의 전하펌프 회로도.  
Fig. 4. The Charge Pump Circuit of VPP Generator.

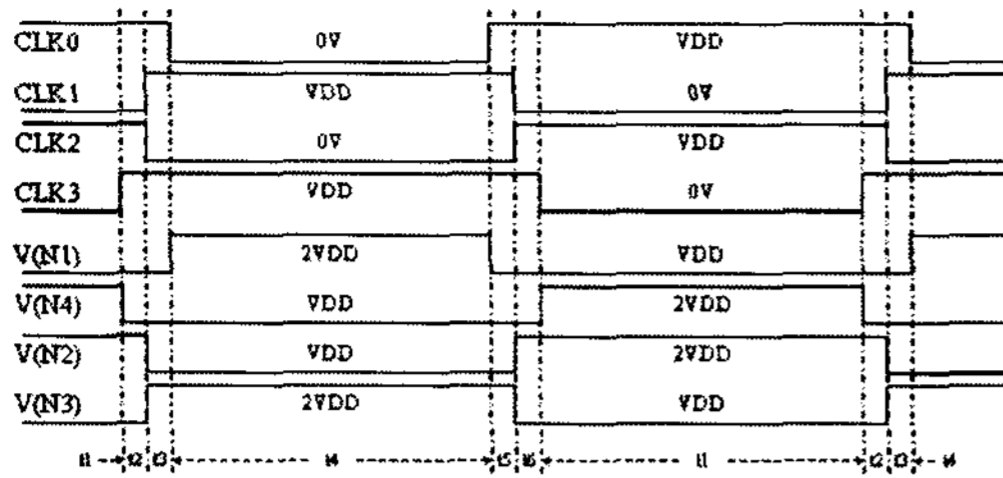


그림 5. 정상상태에서의 각 노드별 전압.  
Fig. 5. The voltage of each nodes in steady state.

그림 5는 정상상태에서의 각 노드별 전압을 나타내고 있다. 4개의 클럭 신호인 CLK0, CLK1, CLK2, CLK3는 비중첩 클럭 신호이며 CLK0와 CLK2는 비 중첩되는 시간을 제외하고 기본적으로 같은 위상을 가진다. 4개의 클럭 신호의 스위칭 전압은 0V~VDD이다.

2-Stage로 구성된 전하펌프회로는 VDD전압이 입력전압이고 VPP 전압이 출력전압이다. t1구간에서 N3노드가 C2 커패시터에 의해 2VDD로 펌핑되고 N1노드가 VDD전압으로 프리차지되어 펌핑된 전하는 VOUT으로 전달된다. N2노드는 C2 커패시터에 의해 2VDD가 되어 N4노드를 프리차지 시키게 된다. t4구간은 N1노드가 2VDD가 되어 N3노드를 프리차지하고 N4노드는 C4 커패시터에 의해 2VDD로 펌핑된다. 이때, N2노드는 VDD전압이므로 N4에 펌핑된 전하는 VOUT단으로 전달된다. t2, t3, t5, t6구간은 클럭신호들의 중첩을 피하기 위해 CLK1과 CLK2신호가 High에서 Low상태로 스위칭하기 전에 CLK0와 CLK3신호가 Low에서 High상태로 스위칭하게 설계되었다. 그리고 t1로 표시된 구간동안 N4의 펌핑된 양전하는 MP2를 통해 VOUT 노드로 전달되게 된다. 그래서 전하 펌핑은 한 주기동안 2번 일어나고 출력전압은 2VDD 으로 펌핑된 전압을 유지하게 된다. 또한, MN1이 OFF 된 이후 C3에 의해 전하펌핑이 일어나고, MN2가 OFF 된 이후에 C4에 의해 전하펌핑이 일어나므로 펌핑된 양전하가 프리차지 트랜지스터인 MN1, MN2를 통해 빠져나가는것을 방지하여 펌핑 전류를 증가 시킬 수 있다.

### III. 모의실험 결과

표 1은 펌핑전류(Pumping Current)인 IPP, 펌핑효율(Pumping Efficiency), 파워효율(Power Efficiency)를 비교한 결과이다. 클럭주기는 43ns 이고 VDD전압은 1.5V NMOS Slow와 PMOS Slow, 온도는 60°C에서 기존의 전하펌프단을 사용한 VPP Generator와 새롭게 제안된 전하펌프를 사용한 VPP Generator를 비교하였다. 그 결과, Worst case simulation 조건에서 새롭게 제안된 VPP Charge Pump의 Pumping Current와

Power Efficiency가 기존의 회로에 비해 모든 부분에서 향상된 것을 알 수 있다.

표 1. IPP, Pumping Efficiency, Power Efficiency 비교.  
Table 1. The comparison of IPP, Pumping Efficiency and Power Efficiency.

Condition	VDD = 1.5V , SS mode, Temp = 60° C	
Items	Conventional	Newly proposed
Tosc	43 ns	43 ns
IPP	575.2 $\mu$ A	718.6 $\mu$ A
Pumping Efficiency	26.88 %	28.85 %
Power Efficiency	59.13 %	63.47 %

그림 6은 동부하이텍 0.18 $\mu$ m Triple-Well CMOS 공정을 이용하여 설계된 VPP Generator의 Layout 도면이고, Layout 면적은 388.5 $\mu$ m × 249.6 $\mu$ m 이다.

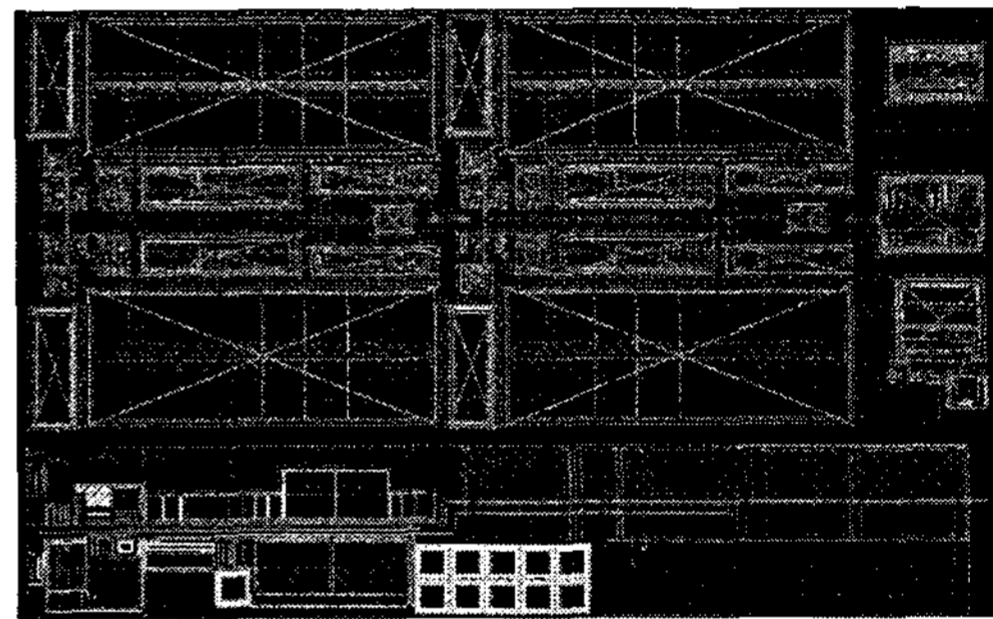


그림 6. 제안된 저전압 DRAM용 VPP Generator의 Layout 도면.

Fig. 6. The layout plot of the proposed VPP Generator for a low voltage DRAM.

### IV. 결 론

본 논문에서는 저전압 DRAM용 VPP Generator 회로에서 펌핑전류, 펌핑효율, 파워효율을 향상시킨 2-Stage 크로스 커플 전하펌프회로를 새롭게 제안하였다. 4개의 비중첩 CLK신호를 이용하여 기존의 중첩되는 CLK신호에 의해 전하 전달효율이 낮아지는 문제를 해결하였고, 각 전하펌프단 마다 인버터를 두어 Local 형태로 펌핑 커패시터를 구동하게 하여 Pumping 전류를 증가 시켰다. 그리고 전하전달 트랜지스터의 게이트단에 프리차지회로를 추가하여 소자의 신뢰성을 떨어트리는 문제를 해결하였다. 모의실험 결과, 펌핑전류, 펌핑효율, 파워효율 모두 기존의 회로보다 향상된 것을 확인 하였다. 동부하이텍 0.18 $\mu$ m Triple-Well CMOS 공정을 이용하여 Layout을 하였고, Layout 면적은 388.5 $\mu$ m × 249.6 $\mu$ m 이다.

감사의 글

This work was sponsored by MIC/ IITA/ ETRI SoC Industry Promotion Center, Human Resource Development Project for IT SoC Architect and this work sponsored by the MOCIE(Ministry of Commerce, Industry and Energy), KOREA under the IDEC Support Program(MPW, CAD).

참고문헌

[1] Seong-Ik Cho et al., "Two-Phase Boosted Voltage Generator for Low-Voltage DRAMS", IEEE Journal of Solid-State Circuits, vol.38, issue 10, pp.1726-1729, OCT 2003.

[2] Seong-Ik Cho et al., "A boosted voltage generator for low-voltage DRAMs", Current Applied Physics, volume 3, issue 6, pp.501-505, DEC 2003.

[3] Jieh-Tsong Wu et al., "MOS charge pumps for low-voltage operation", IEEE Journal of Solid-State Circuits, vol.33, issue 4, pp.592-597, APR. 1998.

[4] Favrat, P et al., "A high-efficiency CMOS voltage doubler", IEEE Journal of Solid-State Circuits, vol.33, issue 3, pp.410-416, MAR. 1998.