

# Sentaurus의 Tecplot를 이용한 FinFET 구현

한지형 · 정학기 · 이재형 · 정동수 · 이종인  
군산대학교 전자정보공학부

## The FinFET Design using Tecplot of Sentaurus Tool

Jihyung Han · Hakkee Jung · Jaehyung Lee · Dongsoo Jeong · Jongin Lee  
School of Electronic and Information Eng., Kunsan National University

E-mail : hkjung@kunsan.ac.kr

### 요 약

본 연구에서는 Sentaurus의 Tecplot를 이용한 FinFET를 구현 하고자 한다. FinFET구조를 간략히 설명하면 소자의 성능 향상과 누설전류의 최소화를 지속하기 위해 한면에 하나씩 두개의 게이트가 사용되어 소자의 전환을 쉽게 해준다. 이러한 구조 때문에 이중게이트 MOSFET라고 불린다 CMOS소자는 수평적으로 구성되지만 FinFET는 수직적으로 구성이 된 구조이다. FinFET 구조를 Sentaurus의 Tecplot를 사용하여 복잡한 데이터를 분석, 탐색하고 다중 XY, 2D, 3D plot를 배치하고 분석할 수 있다. Tecplot툴의 자동화된 루틴으로 데이터 분석과 plotting에 투입하는 시간을 절약할 수 있다. 본 연구에서는 Sentaurus의 Tecplot 툴을 이용하여 FinFET를 구현 하고자 한다.

### I 서 론

현재 반도체 소자의 주류를 이루고 있는 MOSFET의 채널 길이는 무어의 법칙에 따라 3년마다 절반 수준으로 감소하여 왔다. CMOS 트랜지스터의 게이트 길이 감소 속도를 보여주는 ITRS 로드맵을 살펴보면 이미 1999년도에 게이트 길이는 100nm 이하로 감소하여 나노기술의 시대로 들어갔음을 알 수 있다. 이러한 추세라면 2010년도까지는 기존의 미세화기술에 바탕을 둔 50 nm node가 개발될 것으로 보인다. 그러나, 트랜지스터의 채널 길이가 50 nm 이하로 감소할 경우 게이트 절연막의 터널링에 의한 누설 전류 증가, 소스와 드레인, 드레인과 기판으로의 양자 역학적 터널링 전류 증가, 채널을 이루는 전자 숫자의 불균일에 의한 소자 특성 열화, 단채널 효과 심화에 따른 subthreshold 특성 열화 등의 문제로 소자 크기 감소에 따른 성능 향상은 더 이상 기대할 수 없을 것으로 예측된다. 따라서 향후 반도체 소자 크기 감소를 지속하면서 성능을 개선시키기 위해서는 기존과는 다른 CMOS 공정 및 구조, 물질 등에 대한 개발이 필요하다. 이러한 신물질, 신기술을 도입한 CMOS를 나노 CMOS라 하며 차세대 반도체 산업의 경쟁력 유지의 핵심 요소

라고 할 수 있다. 단채널효과 억제 등의 정전기적 특성은 새로운 구조의 트랜지스터 도입을 통해 개선하고자 하는 연구가 활발하게 진행되고 있다. 이러한 소자의 대표적인 예로 FinFET 트랜지스터를 들 수 있다. 기존 웨이퍼 상에 제작되는 CMOS (Complementary Metal Oxide Semiconductor) 소자는 트랜지스터가 2차원 수평적으로 구성되지만, FinFET는 지느러미모양으로 3차원 수직적으로 형성되기 때문에, 보다 미세한 트랜지스터의 형성이 가능하고, 게이트 누설 전류를 줄일 수 있으며, 낮은 소비 전력으로 매우 빠른 소자의 동작이 가능하다는 장점을 가지고 있다. 이와 같이 소자의 크기가 더욱 줄어들 수록 게이트의 누설전류는 매우 중요한 문제로 부각된다. FinFET는 부도체 위의 실리콘 (SOI:Silicon On Insulation)기술을 사용하여 얇고, 도펀트(dopant)로부터 무관한 실리콘 채널을 만들 수 있게 한다. 이에 따라 소위 공핍영역의 생성 없이, 채널의 모든 전자적 특성이 두 개의 트랜지스터 게이트를 걸쳐 가해지는 전기장에 의하여 변화한다. 이때 도펀트 레벨(dopant level)문제를 해결하기 위해서는 채널 두께의 제어 및 균일성 확보가 매우 중요하다. 본 연구에서는 Sentaurus 시뮬레이션 프로그램의 Tecplot툴을 이용하여 FinFET를 구현 할 것이다.

II 시뮬레이션 과정 / 결과

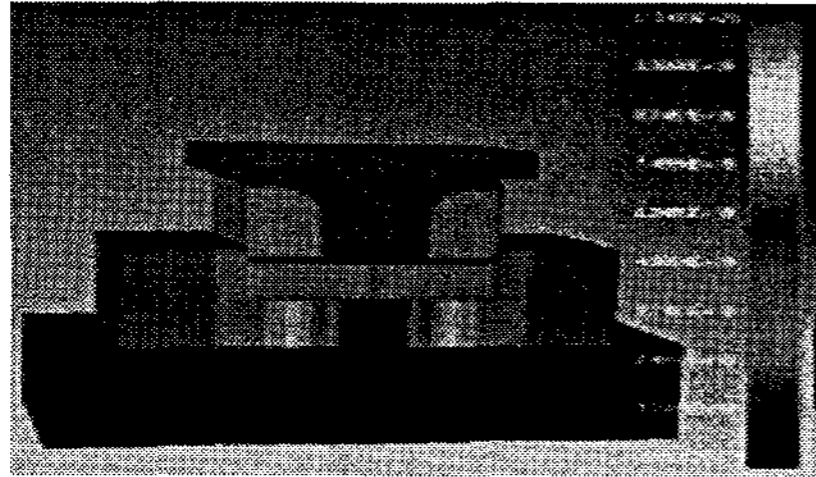


그림1. process로 구현한 FinFET

그림 1은 process툴을 사용하여 FinFET를 구현한 것이다. Tecplot툴을 사용하기 위해서는 먼저 process 툴을 사용하여 FinFET를 구현 하여야 한다. process툴을 사용하여 FinFET 구조를 그리기 위해서는 가정 첫 번째 단계로는 각 물질(Silicon, SiO<sub>2</sub>, Poly Si, Si<sub>3</sub>N<sub>4</sub>)의 좌표와 지역 이름을 정해야 한다. 여기서의 좌표는 각 물질들의 크기와 위치가 지정이 된다. 이 연구에서의 좌표와 이름은 표 1과 같다.

표 1. 물질의 이름과 좌표

Material	Region Name	Position(X Y Z)
SiO <sub>2</sub>	BOX	(0 0 -40), (90 90 0)
Silicon	Channel	(0 0 0), (35 10 20)
Si <sub>3</sub> N <sub>4</sub>	ChMask	(0 0 20), (35 10 35)
Silicon	Source Drain	(35 0 0), (70 70 40)
Si <sub>3</sub> N <sub>4</sub>	SDMask	(35 0 40), (70 70 70)
Oxide	Gox	(0 0 0), (35 12 37)
Si <sub>3</sub> N <sub>4</sub>	Spacer	(15 0 0), (35 70 65)
Poly Si	Gate	(0 0 0), (45 60 80)

그다음 과정은 콘택 과정이다. 콘택을 함으로써 물질의 단면에 색깔과 무늬로 표시가 된다. 색깔은 0 0 0의 검은색부터 1 1 1의 흰색으로 나타내어진다. 0 과 1사이의 수를 지정할 수 가있는데 이 수의 변화로 인해서 색깔의 변화를 줄 수 있다. 물질의 단면에 콘택 이름을 지정하여 Contact face(s)를 하게 되면 콘택 이름에 대한 면의 모양이 지정해준 모양으로 바뀌게 된다. 그다음 과정으로는 지정된 영역에 일정한 불순물의 분포와 지역을 지정하는 과정이다. 이 과정을 통해서 지정된 지역에 도핑의 농도

를 조정할 수 가 있다. 예를 들어 실리콘 부분을 보면 이름은 Boron\_BG\_PL이고 물질에서 실리콘을 지정한 후 지정한 영역에 일정한 불순물의 분포를 설정하는 정의에서의 이름은 Boron\_BG, 불순물 이온은 Boron Active Concentration 이다. 농도의 입력값은 1e+16값으로 지정을 해 주었다. Tecplot툴을 이용하여 FinFET를 구현하는 과정과 결과로 보다 자세히 FinFET구조를 알 수 있을 것이다.

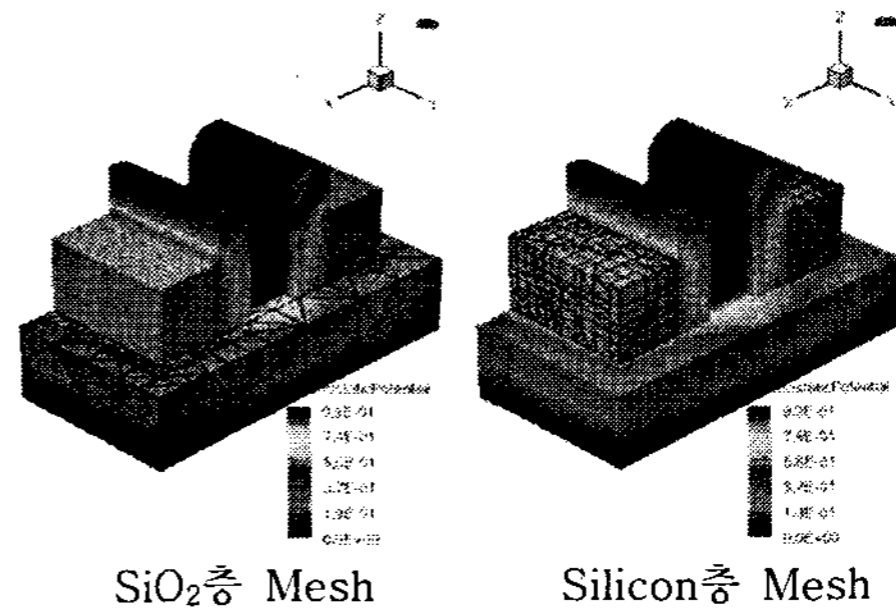


그림2. SiO<sub>2</sub>층과 Silicon층 Mesh

그림 2는 SiO<sub>2</sub>층과 Silicon층의 Mesh 구조 그림이다. Mesh란 물질의 단면에 그물과 같은 모양으로 표시되어 표시하는걸 의미한다. 단면에 표시되어 있는 그물과 같은 모양들은 전체가 아닌 각각 다른 하나의 조각으로 표현할 수 있는 것으로서 하나의 조각마다 좌표와 도핑의 농도 등 각 조각의 특성을 알 수 있다. Tecplot툴은 전체적으로 Mesh를 할 수도 있지만 각각의 층만 Mesh할 수 있는 기능을 가지고 있다.

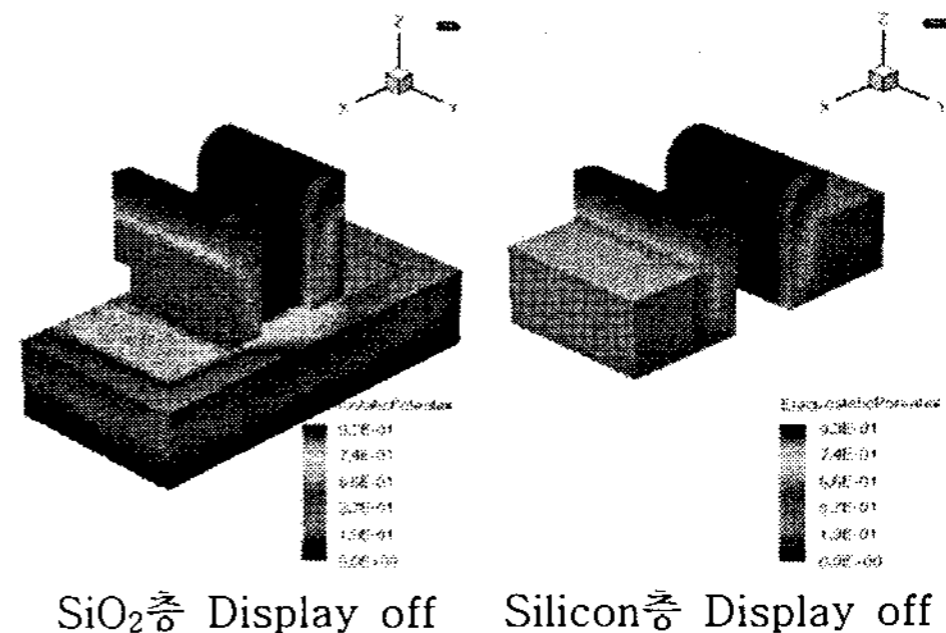


그림3. SiO<sub>2</sub>층과 Silicon층 Display off

그림 3은 SiO<sub>2</sub>층과 Silicon층을 각각 Display off 한 그림이다. Sentaurus의 process툴과 Tec-plot툴을 비교해보면 process툴은 3차원으로 구현이 되기는 하지만 process는 FinFET를 그리기 위한 툴이고

Tecplot는 process로 그린 FinFET를 세분화 할 수 있고 좀더 입체적인 그림으로 표현이 된다.

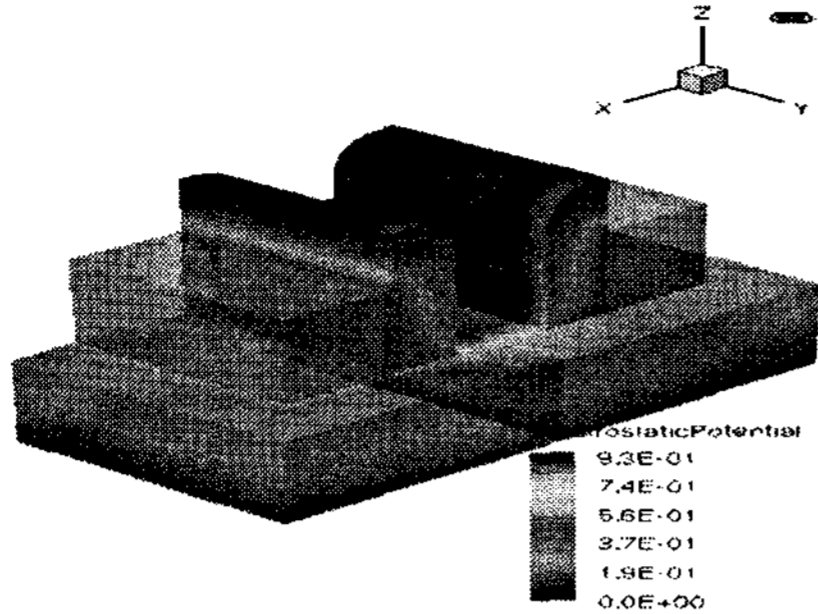


그림4. FinFET구조를 Translucency on

그림4는 FinFET를 Translucency on한 그림으로서 FinFET를 반투명하게 표현을 할 수가 있다. 그림1에서의 Mesh와 그림 2에서의 Display처럼 원하고자 하는 부분만을 지정하여 반투명하게 표현할 수 있다. 반투명하게 표현 할 수 있는 Tecplot들은 보다 입체적이고 3차원적으로 구현할 수 있다는 걸 보여준다.

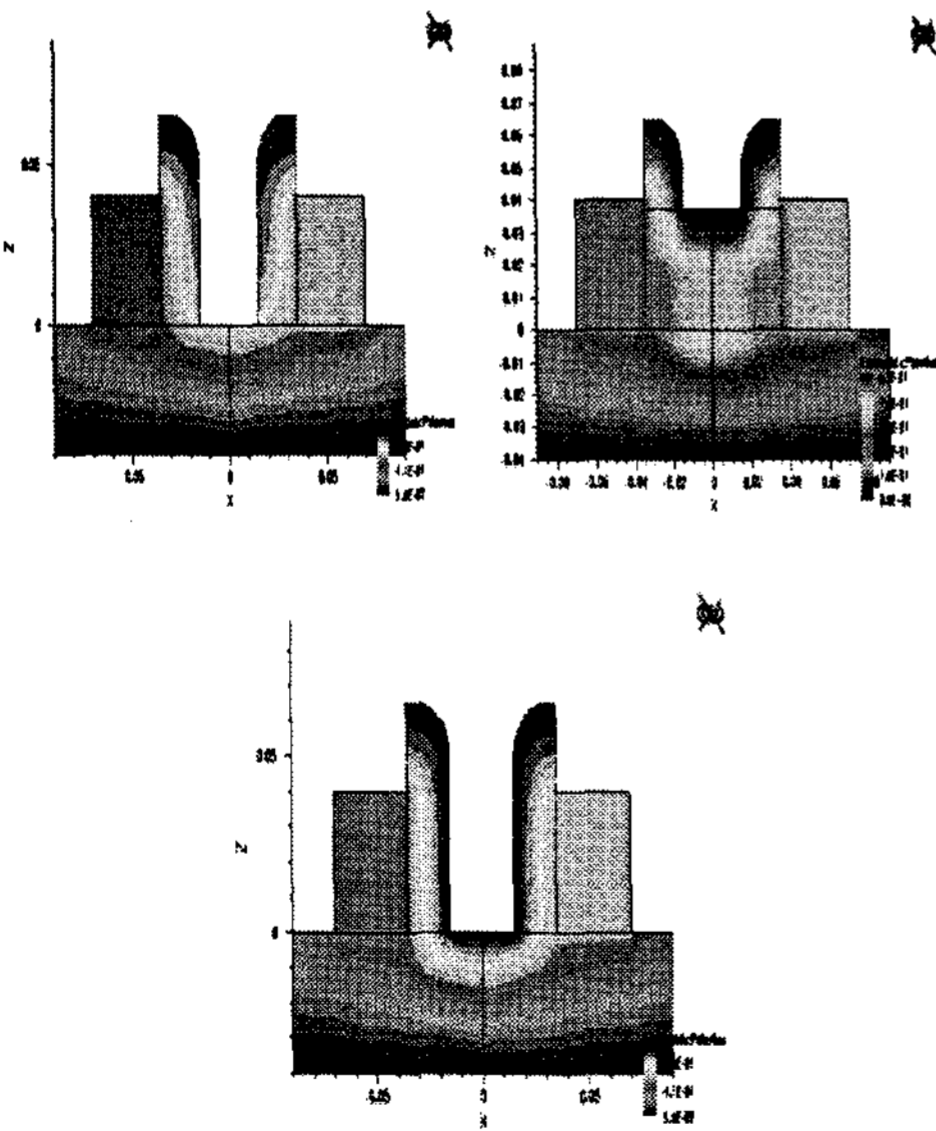


그림5 Slices by cutting FinFET

그림 5는 Tecplot들의 Slices기능을 사용하여 FinFET의 Y값을 변화시켜 그에 따른 단면의 모습을 보여준다. 같은 FinFET 모델에서 Y값을 변화시켜 Slices를 시켜주면 각기 다른 모습으로 표현이 된다. Slices 기능을 사용함으로써 FinFET의 단면을 좀더 자세히 좀더 구체적으로 관찰할 수 있다.

### III 결 론

이 연구에서는 Sentaurus 시뮬레이션 프로그램의 Tecplot들을 이용하여 FinFET를 구현 하고자 하였다.

Tecplot들은 Sentaurus Process들을 사용하여 그려져 있는 FinFET 구조를 좀더 입체적이고 각각의 층을

구분하여 표현 할 수 있음을 알 수 있었다. FinFET를 사용하는 주 목적은 미세한 트랜지스터의 형성이 가능하고, 게이트 누설 전류를 줄일 수 있으며, 낮은 소비 전력으로 매우 빠른 소자의 동작이 가능하다는 점에서 각광받고 있다. Tecplot들을 사용하여 FinFET 구조를 구현하였지만 FinFET 구조의 장점을 실험을 통해 알아 볼 수 있는 연구는 계속 되어야 할 것이다.

### 참고문헌

- [1] Sentaurus TCAD manual Tecplot
- [2] Sentaurus TCAD Training manual Tecplot
- [3] Sentaurus TCAD Training manual Sentaurus Structure Editor.
- [4] 한지형, 정학기, 이재형, 정동수, 이종인, "Sentaurus를 이용한 FinFET 구현", 한국해양정보통신학회지 vol.11, No.1, pp. 514-516,2007.