

SPIN-FET 응용을 위하여 Sb 및 P 계열 클러스터 MBE를 사용하여 GaAs 및 InP에 제작된 InAs 2DEG HEMT와 자성센서 응용을 위하여 GaAs상에 성장된 InSb

송진동*, 김형준, 임주영, 신상훈, 김경호, 장준연
스핀트로닉스 연구센터, 한국과학기술연구원, 서울 136-791

상온에서 $30,000 \text{ cm}^2/\text{Vs}$ 이상의 전자 이동도를 보유한 InAs는 GaAs 혹은 Si 등 기존의 반도체 물질보다 spin length 값이 크므로, SPINFET을 위한 2DEG을 구현하기 위한 최적의 물질로 인정받고 있다.

그러나 상기 InAs는 0.606 nm 의 격자상수를 가져 구득이 용이한 GaAs (0.565 nm) 및 InP (0.587 nm) 기판과 격자부정합이 심하여 고품질의 InAs 2DEG을 구현하기 위하여 특별한 기술이 요구된다. 이에 본 발표에서는 InAs 2DEG을 구현하기 위한 2가지 방법, 즉 GaAs 기판상에 AlSb층을 올려 0.6 nm 격자상수 기판을 제작하여 InAs 2DEG을 성장하는 방법과, InP 기판상에 격자 부정합 이내의 InAs층을 성장하는 두 가지 방법을 시도하여, SPINFET으로 적절한 InAs 2DEG이 형성되었음을 보고한다.

또한 InSb 물질을 저렴한 GaAs상에 격자 부정합을 극복하고 $2.6 \mu\text{m}$ 두께로 성장하여, 상온 전자이동도 $60,000 \text{ cm}^2/\text{Vs}$ 이상의 고품질의 성장이 되었음을 보고한다.

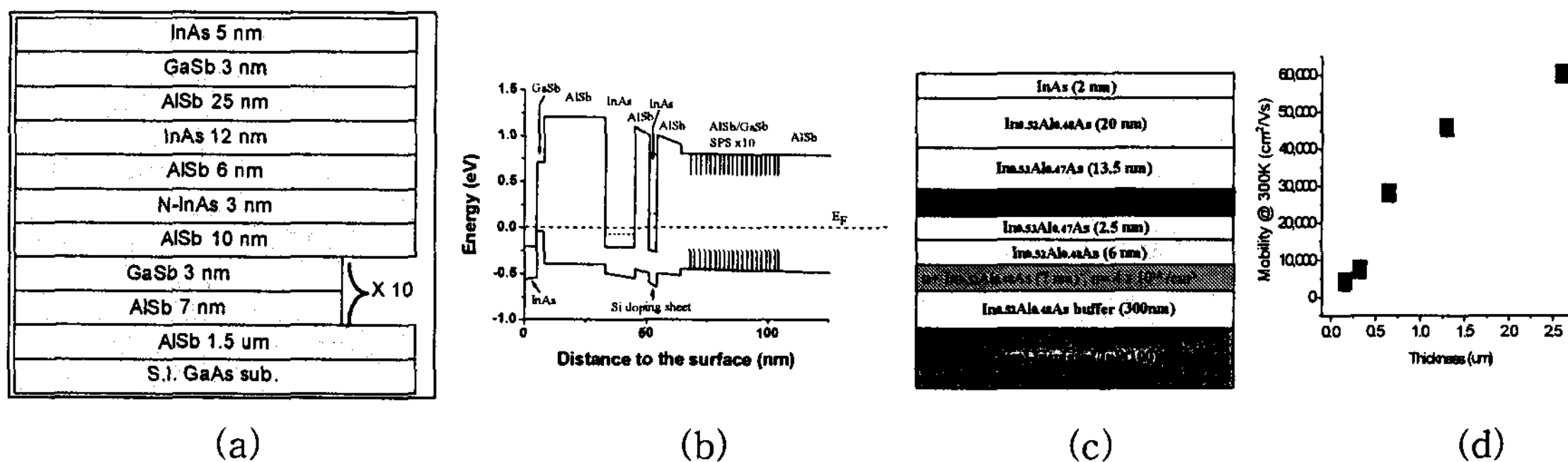


그림1. (a) AlSb층을 결합 극복층으로 사용하여 GaAs 상에 성장시킨 InAs 2DEG의 구조 및 (b) 밴드 갭 다이어그램. 측정된 상온 전자이동도 $24,900 \text{ cm}^2/\text{Vs}$. 77K 전자이동도 $103,000 \text{ cm}^2/\text{Vs}$. Ref [1]의 구조와 같은 구조이나, 그 측정 값은 2배 이상임. (c) InP 기판상에 격자 부정합내로 InAs층의 두께 조절된 InAs 2DEG의 구조. 측정된 상온 전자이동도 $12,030 \text{ cm}^2/\text{Vs}$. 77K 전자이동도 $76,420 \text{ cm}^2/\text{Vs}$. (d) GaAs 기판상에 성장된 InSb 층의 성장 두께에 따른 상온 전자이동도. $0.7 \mu\text{m}$ 두께의 InSb 만으로도 $30,000 \text{ cm}^2/\text{Vs}$ 이상의 상온 전자이동도를 획득할 수 있음.

참고문헌

- [1] Y. ZHAO, M. J. JURKOVIC, AND W. I. WANG, IEEE TRANSACTION ON ELEC. DEVICE 45, 341 (1998).