

A measurement of Address Discharge Time Lag in accordance with ramped falling slope in AC-PDP

이성수, 손창길, 박은영, 한용규, 홍영준, 홍성희, 홍병희, 최은하

광운대학교

현재 PDP가 점점 더 고정세화 되면서 고속어드레싱의 중요성은 커져가고 있다. 이와 같은 고속 어드레싱을 하기 위한 효과적인 방법 중에 하나가 리셋구간의 파형 설계인데, 그 이유는 리셋구간에서의 파형설계가 벽전하의 형성을 제어함으로써 어드레스방전을 향상 시킬 수 있기 때문이다. 이 연구에서는 리셋구간의 전형적인 램프다운 펄스의 기울기 변화에 따른 address time lag를 측정하였다. 추가적으로 같은 기울기와 어드레스 전압에서 열화 여부에 따른 결과도 비교 분석 하였다. VDS(Versatile Driving Simulator)를 통해 패널에 인가되는 파형을 변화 시켰고 1000번의 축적된 IR를 바탕으로 address time lag를 측정했다. 실험 진행은 Falling period의 마지막 떨어지는 구간의 시간을 10us씩 100us까지 줄이면서 어드레스 전압은 80V에서 130V까지 10V변화 시 마다 방전특성을 측정하면서 진행했다. 결론적으로 어드레스 방전 구간의 formative time lag와 statistical time lag의 시간이 길어지는 결과로 이어졌으며, 그 이유는 Falling period에서의 기울기가 짧아질수록 급격한 전위변화에 따른 self erasing에 의해서 공간상의 priming particle의 감소하고 이로 인해 방전을 일으킬 수 있는 seed particle이 감소하는 것으로 생각 되었다. 또한 패널 aging 에 따른 어드레스 구간에서의 방전현상을 측정 해본 결과에서는 formative time lag는 Aging 전후에 거의 같게 나타났고, statistical time lag의 경우는 aging 전 패널에서 aging 후 패널 보다 현저히 떨어지는 경향을 보였다.