

# 기능성 능동부하를 이용한 선형보상 증폭기 설계

## Design of RF Drive Amplifier with Functional Active Load for Linearity Compensation

김도균\*, 정인일, 홍남표, 김광진, 최영완  
(Do-Gyun Kim, In-Il Jung, Nam-Pyo Hong, Kwang-Jin Kim and Young-Wan Choi)

**Abstract :** CMOS technology 기반의 고주파 직접회로에서는 충분한 이득과 안정성을 얻기 위하여 inductor, capacitor와 같은 수동 소자를 적절히 사용하여 설계하여야 한다. 이와 같은 수동 소자는 CMOS 집적회로에서 넓은 면적을 차지하는 단점이 있다. 고주파 증폭기의 부하를 능동 소자로 대체하게 되면 작은 크기로 회로의 제작이 가능하게 되나, 능동 소자는 수동 소자에 비하여 선형 특성이 좋지 않기 때문에 실제로 고주파 증폭기 설계에 사용하지 않는다. 본 논문에서는 이와 같은 능동 소자의 비선형성을 억제하면서, 동시에 회로의 크기를 줄일 수 있는 기능성 능동 부하를 적용한 고주파 증폭기를 설계하였다. 기능성 능동 부하는 2개의 MOSFET은 대칭으로 연결된 구조를 가지며, 하나의 MOSFET은 일반적인 load로 동작하며, 다른 MOSFET은 gate에 가변 전압을 인가함으로써, 증폭기의 전달 함수를 변화시킬 수 있다. 이와 같은 특성을 이용하여 고주파 증폭기의 선형성을 보상할 수가 있다.

**Keywords :** RFIC, Amplifier, CMOS

### I. 서론

이동통신 시스템은 1세대 이날로그 이동전화로 시작하여, 2세대 디지털 통신, 3세대 IMT-2000 에서는 2 Mbps 급 무선 데이터를 제공할 수 있도록 하였다. 4세대 이동통신은 빠른 데이터 전송 속도를 제공하는 이동통신 서비스로 음성 및 데이터를 지원하기 위한 새로운 무선 전송 기술뿐만 아니라 기존의 유무선 통신망을 비롯하여 방송 등의 다양한 망과의 융합을 목표로 하고 있다. 이와 같은 이동통신 서비스의 확대에 대응하기 위하여 음성처리는 물론 멀티미디어 처리, 휴대인터넷, 다양한 콘텐츠의 처리를 서버와 단말기에서 실현할 수 있는 기술 개발이 필요하다. 그러나 다양한 멀티미디어 서비스의 제공을 위하여 기존의 이동통신에서 사용되었던 heterodyne 방식을 사용하게 되면, 다양한 주파수 대역을 수용하기 위한 소자 및 회로를 부가적으로 사용하게 되며, 이는 이동통신 단말기의 높은 단가와 소비전력을 초래하게 된다. 따라서 heterodyne 방식에서 중간주파수단 (IF : Intermediate Frequency)을 제거한 direct conversion 방식을 이용한 RF-front-end 부분을 최고화 함으로써 단말기는 작은 부피와 낮은 소비전력을 가질 수 있게 된다. 그러나 direct conversion 방식은 self-mixing, inter-modulation distortion, DC offset 등의 문제를 수반하기 때문에 이를 반드시 해결해야 할 필요성이 있다. 따라서, RF 신호의 비선형성을 억제하며 가입자에게 음성 및 데이터의 전송을 원활하게 처리할 수 있는 RFIC의 설계가 중요하다. 이와 같이 RFIC의 설계는 CMOS 공정 기술의 발달로 인하여 저렴하면서 높은 성능을 보장 받을 수 있게 되면서 최근에 그 가능성이 열리게 되었다. [1]-[3]

본 논문에서는 비선형성을 억제하면서, 수동 소자를 사용하였을 때보다 작은 크기의 회로를 설계할 수 있는 기능성 능동 부하 (FAL : Functional Active Load)를 제안하고, FAL을 적용한 고주파 증폭기를 설계하였다.

### II. 기능성 능동 부하 (Functional Active Load : FAL)

그림 1 은 기능성 능동 부하 (FAL) 의 회로도 이다. M1과 M2는 PMOS 이며, source 와 drain 을 대칭으로 연결한 구조를 가진다. M1 은 gate 와 drain을 연결하여 항상 같은 전압을 가지게 되어 saturation region 에서 동작하게 된다. M2 는 CMOS 회로에서 사용되는 일반적인 current source 와 같은 역할을 한다. [4] - [5] 이 때  $V_g$  값에 의하여 전류값이 변화하게 된다. 따라서 FAL은 일반적인 diode-connection load 에 PMOS current source 를 연결한 것과 같다.

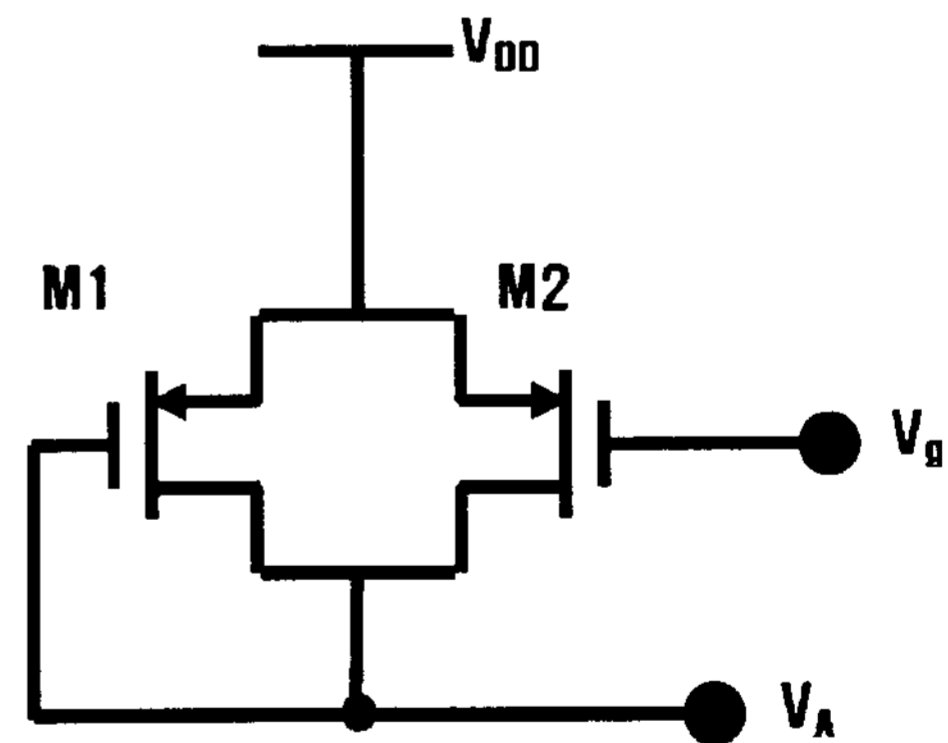


그림 1. 기능성 능동 부하 (FAL) 구조

### III. 기능성 능동 부하의 입출력 특성 곡선

그림 2. 는 FAL 을 적용한 common-source amp의 회로도이다. M1 은 신호의 증폭을 위한 구동 NMOS 이며, M2 와 M3 는 FAL을 구성한다. Common-source 증폭기는 M1 의 gate 로 입력 신호가 인가되며, M1 의 drain 에서 신호가 출력된다. M1 에 흐르는 바이어스 전류는 M2 와 M3 에 흐르는 전류의 합과 같다. 따라서 M3 의 gate 전압을 조정하여 M1 에 흐르는 전류값이 변화하며, 이와 같은 현상에 의하여 증폭기

의 입출력 특성이 변화하게 된다.

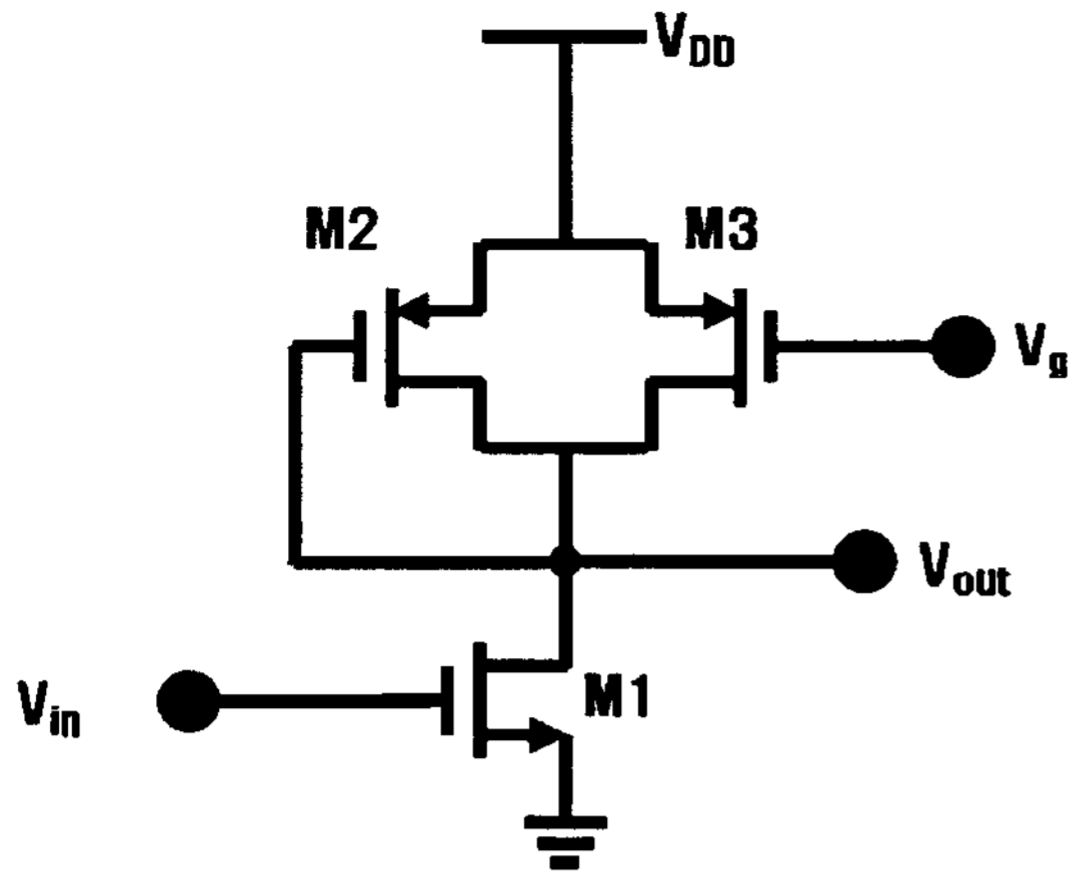


그림 2. FAL을 적용한 common-source amp 회로도

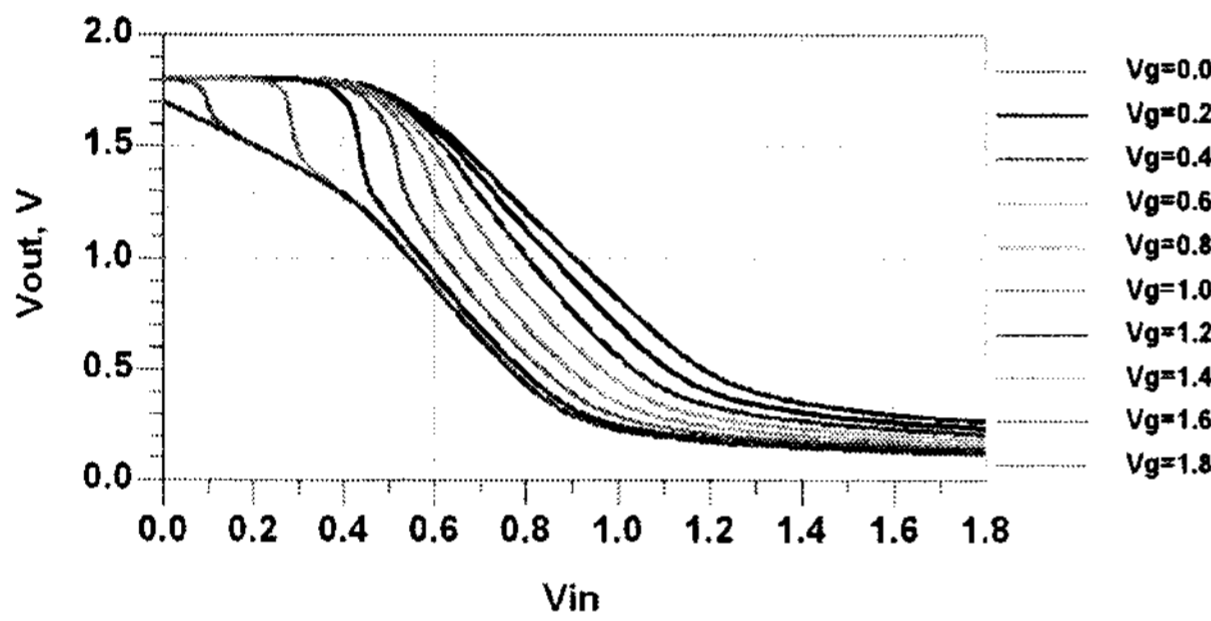


그림 3. FAL에 의한 CS amp의 입출력 특성 곡선

그림 3은 FAL에서  $V_g$  값을 변화시켜 common-source amp의 입출력 특성 곡선을 보여준다.  $V_g$  값의 증가하면서 입출력 특성 곡선이 변화함을 보여준다. 이와 같은 변화는  $V_g$  값에 의하여 M2와 M3에 흐르는 전류값이 변화하기 때문이다.

#### IV. FAL을 적용한 고주파 증폭기

고주파 증폭기를 설계할 경우, 일반적으로 inductor load를 사용하게 된다. 이와 같은 이유는 common-source 증폭기의 이득이 부하 저항 값에 영향을 받기 때문이며, RF 신호에는 매우 높은 임피던스로 작용하고, DC에서는 short로 작용하기 때문에 고주파 증폭기의 부하 저항으로 가장 적합하기 때문이다.

그림 4는 cascode 구조에 inductor load를 적용한 고주파 증폭기 회로도이다. Cascode 구조는 common-source 구조와 common-gate 구조를 연결한 것이며, 높은 출력 임피던스와 출력 신호가 입력 신호에 영향을 주지 않는 특징이 있다. [6]-[7]

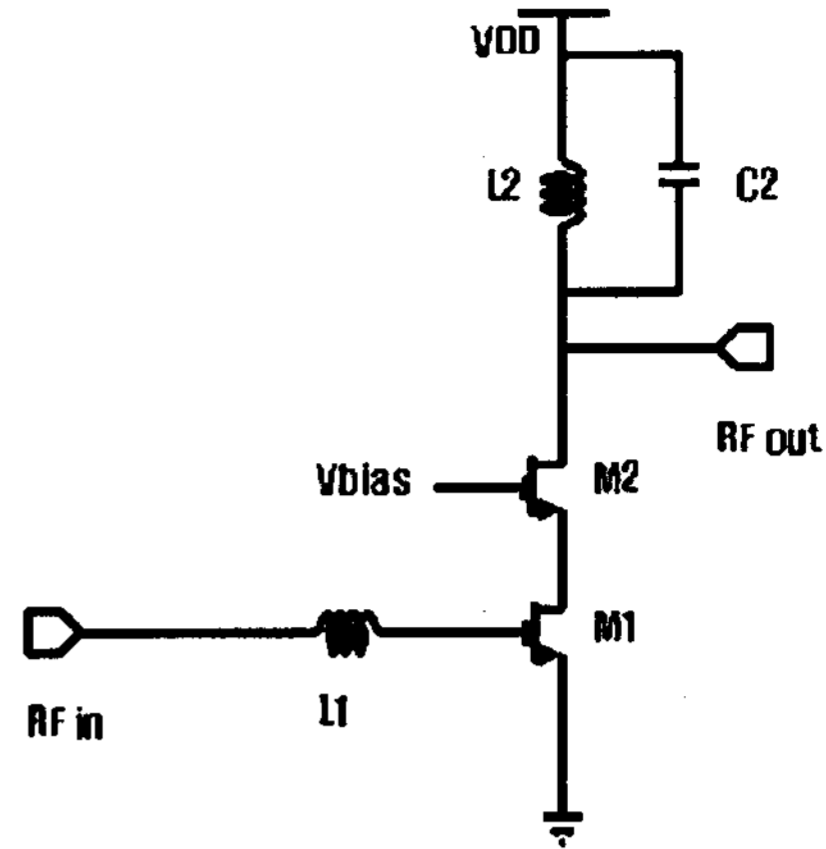


그림 4. Inductor load를 적용한 cascode 증폭기

M1은 common-source 구조를, M2는 common-gate 구조를 가진다. L1은 입력단의 impedance matching을 위한 inductor이며, L2는 증폭기의 부하 저항으로 동작한다. 또한 부하단에서 L2와 C1의 공진 조건을 이용하면 높은 이득과 출력 임피던스 매칭이 가능하다.

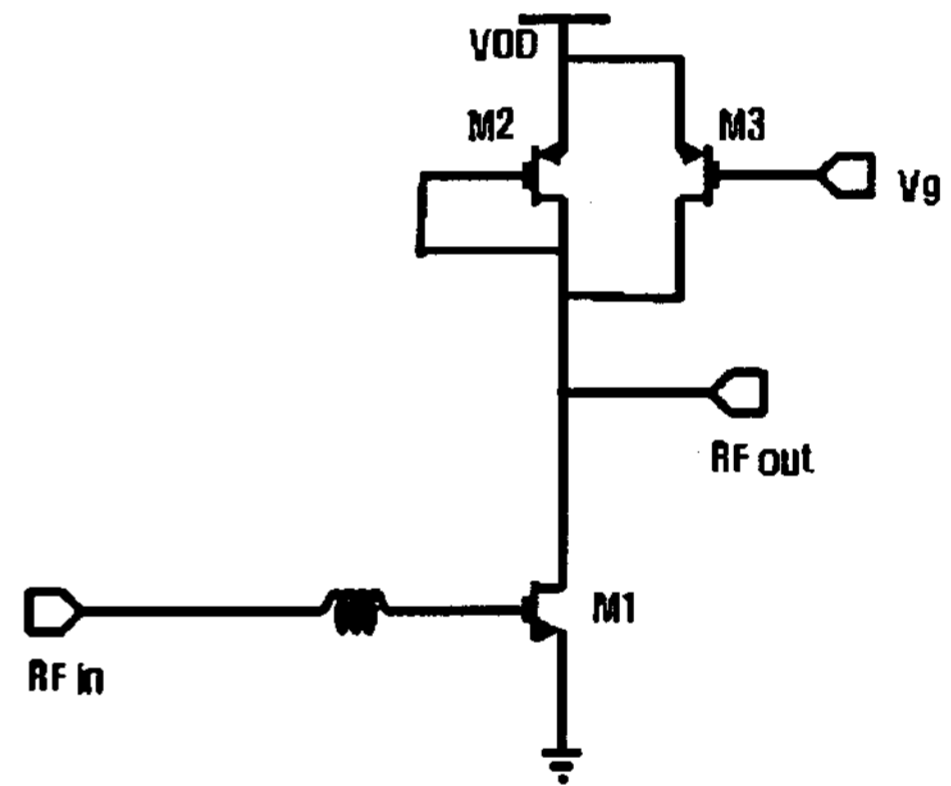


그림 5. FAL을 적용한 common-source 증폭기

그림 5는 FAL을 적용한 common-source 증폭기 회로도이다. M1은 구동 NMOS이며 M2와 M3는 FAL을 구성하기 위한 PMOS이다.

표 1. Inductor load와 FAL을 적용한 증폭기의 모의실험결과

Parameter	Unit	Inductor Load	FAL
Supply Voltage	V	1.8	1.8
Supply Current	mA	10.4	11.8
RF Frequency	MHz	2500	2500
Gain	dB	11.1	8.3
OP1dB	dBm	5.03	5
OIP3	dBm	15.1	16.9
S22	dB	-10.6	-9.2
Size	um	976 X 930	976 X 780

표 1 은 그림 4 와 5 에 대하여 각각 시뮬레이션을 수행한 결과를 정리한 것이다. 시뮬레이션을 위한 CMOS 모델은 TSMC RF 0.18 um 공정을 사용하였다. RF 주파수는 2.5 GHz로 설정하였고, VDD 는 1.8 V 를 인가하였다. Supply current 는 각 10.4 mA 와 11.8 mA 로 설정하였다. 이는 FAL에서 Vg 값에 의해 인가되는 전류량이 증가했기 때문이다. Vg 값은 0.33 V를 인가하였다. 설계한 증폭기의 선형성을 확인하기 위한 지표로 OP1dB 와 OIP3 값을 살펴보면, FAL을 적용하였을 때 OP1dB 가 5 dBm 의 값을 가지게 된다. 이는 inductor load를 적용했을 때와 같은 값이다. OIP3 는 각각 15.1 dBm 과 16.9 dBm 을 가진다. 따라서 전반적인 선형화 지표는 inductor load 와 FAL을 적용할 경우 거의 유사한 특성을 보이게 된다.

일반적으로 고주파 회로에서 inductor load 를 사용하는 것은 수동 소자가 능동 소자에 비하여 선형성이 좋기 때문이다. 표 1 의 결과와 같이 FAL에 의하여 선형성이 보상됨을 알 수 있다. 그러나 gain 이 inductor load 를 적용한 증폭기보다 1.7 dB 정도 낮은 값을 가지게 되는데 이는 Vg 값을 변화시키면 충분히 큰 gain을 얻을 수 있다. 또한 실제 layout 을 수행하게 되면 회로의 크기가 FAL을 적용하였을 경우 inductor load를 적용하였을 때 보다 83.9%의 면적만 차지하게 된다.

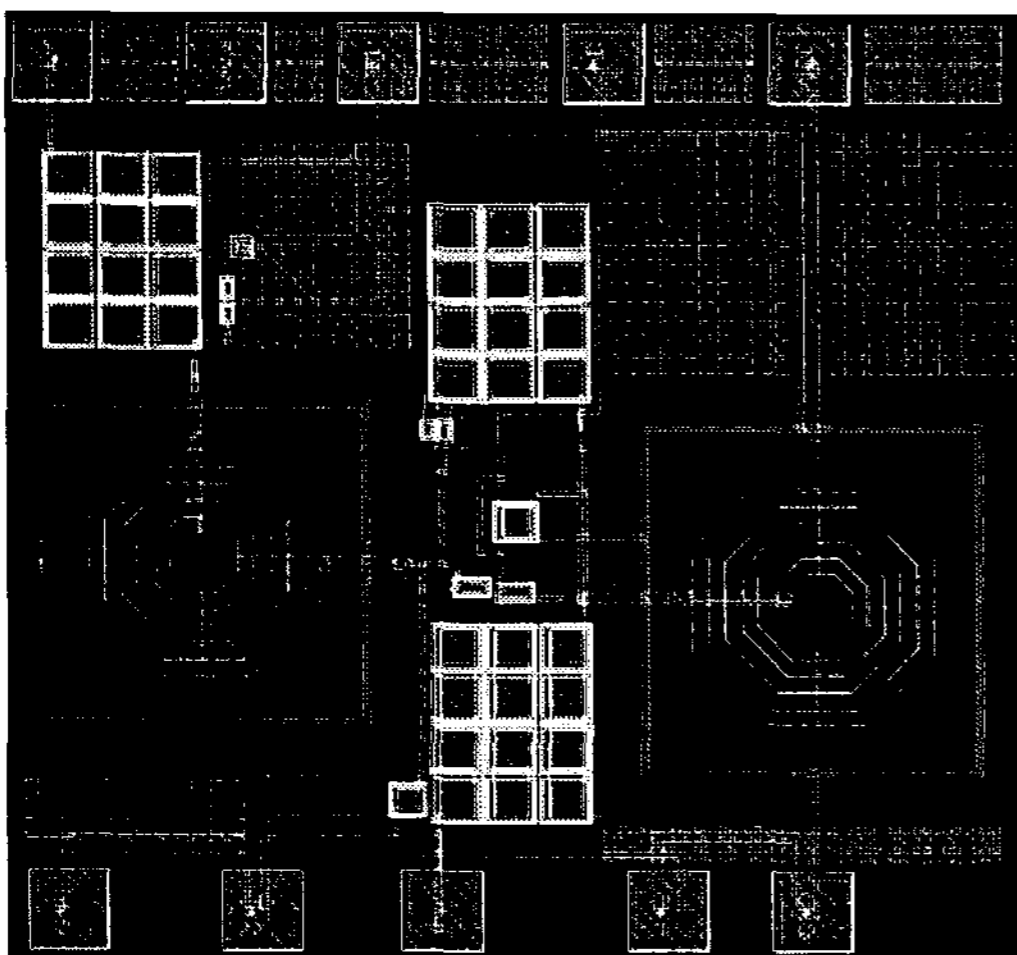


그림 6. Cascode amplifier with inductor load 레이아웃

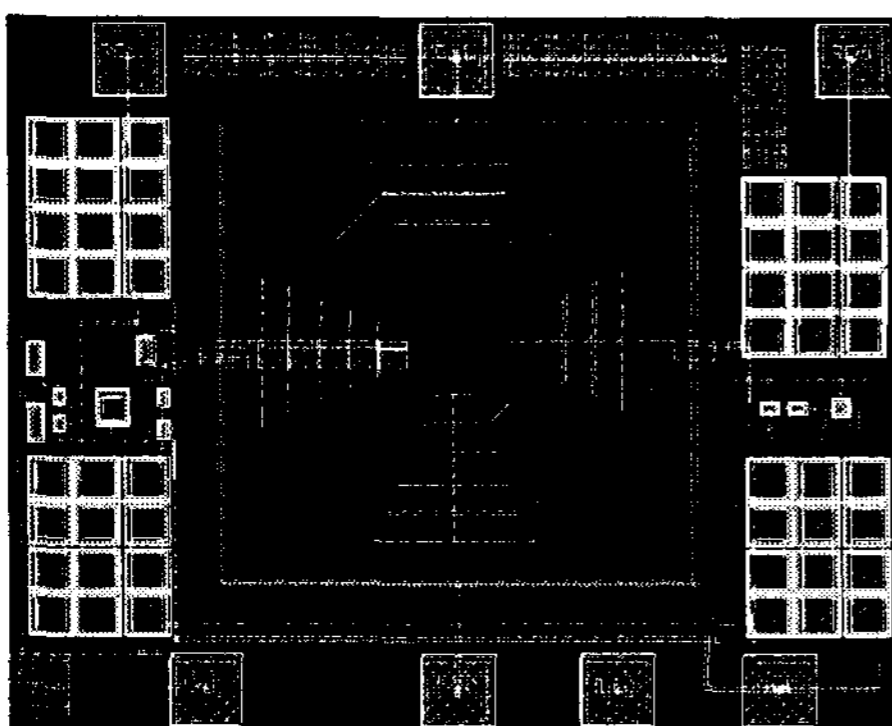


그림 7. CS amplifier with FAL 레이아웃

그림 6 과 7 은 표 1 의 결과를 바탕으로 설계된 inductor load 를 적용한 cascode 증폭기와 FAL 을 적용한 common-source 증폭기의 레이아웃 결과이다.

## V. 결론

본 논문에서는 능동 소자의 비선형성을 억제하면서, 동시에 회로의 크기를 줄일 수 있는 기능성 능동 부하를 적용한 고주파 증폭기를 설계하였다. 기능성 능동 부하는 2개의 MOSFET은 대칭으로 연결된 구조를 가지며, 하나의 MOSFET은 일반적인 load로 동작하며, 다른 MOSFET은 gate에 가변 전압을 인가함으로써, 증폭기의 전달 함수를 변화시킬 수 있다. Common-source 구조를 기반으로 설계한 증폭기는 5 dBm 의 OP1dB 값을 가지며, OIP3 는 16.9 dBm 값을 가진다. Inductor load를 적용한 증폭기와 비교하여 약 17%의 면적 감소의 효과를 보여준다.

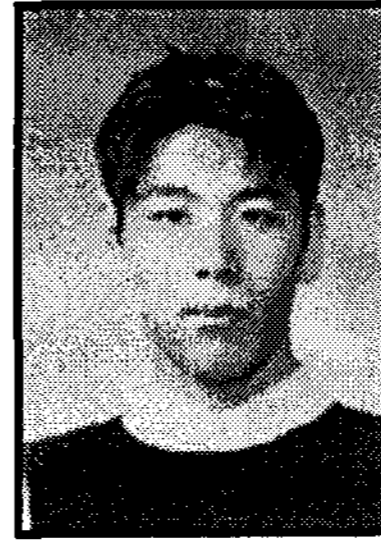
## 참고문헌

- [1] Hsing-Hung Chen, Po-Chiun Huang, Chas-Kai Wen and Jiunn-Tsair Chen. "Adaptive compensation of Even-Order Distortion in Direct Conversion Receivers", *Vehicular Technology conference. 2003. VTC 2003-Fall. 2003 IEEE 58th*, vol. 1, pp. 6-9, Oct. 2003.
- [2] Pengfei Zhang, Thai Nguyen, Christopher Lam, Douglas Gambetta, Theerachet Soorapanth, Baohong Cheng, Siegfried Hart, Isaac Sever, Taoufik Bourdi, Andrew Tham, and Behzad Razavi, "A 5-GHz Direct-Conversion CMOS Transceiver", *IEEE Journal of Solid-State Circuits*, vol. 38, No. 12, December, 2003.
- [3] Shuenn-Yuh Lee, Ming-Feng Huang, and Chung J. Kuo, "Analysis and Implementation of a CMOS Even Harmonic Mixer with Current Reuse for heterodyne/Direct Conversion Receivers", *IEEE Transactions on Circuits and Systems*, vol. 52, No. 9, pp. 1741 - 1751, September, 2005.
- [4] Joseph N. Babanezhad, Gabor C. Temes, "A Linear NMOS Depletion Resistor and its Application in an Integrated Amplifier", *IEEE Journal of Solid State Circuits*, vol. 19, No. 6, pp. 932 - 938, December, 1984.
- [5] G. Moon, M. E. Zaghoul, and R. W. Newcomb, "An Enhancement-Mode MOS Voltage-Controlled Linear Resistor with Large Dynamic Range", *IEEE Transactions on Circuits and Systems*, vol. 37, No. 10, pp 1284 - 1288, October, 1990.
- [6] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", *McGraw-Hill*, 2001.
- [7] Thomas H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", *Cambridge University Press*, 2004



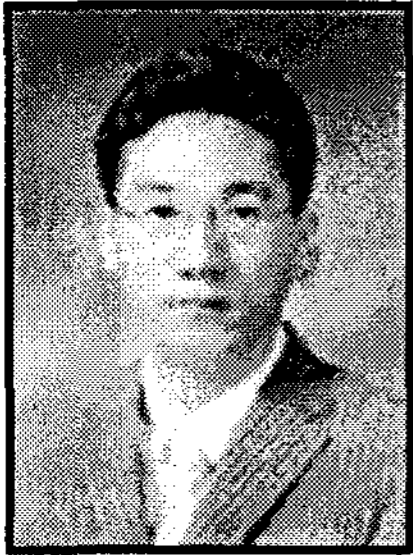
**김도균**

2003년 중앙대학교 전자전기공학부 졸업 (공학사). 2005년 중앙대학교 대학원 전자전기공학부 (공학석사). 2005년 ~ 현재 중앙대학교 대학원 전자전기공학부 박사과정. 관심 분야는 무선통신 시스템 및 RFIC 설계



**정인일**

2006년 중앙대학교 전자전기공학부 졸업 (공학사). 2006년 ~ 현재 중앙대학교 대학원 전자전기공학부 석사과정. 관심 분야는 RF 시스템 및 CMOS 회로 설계



**홍남표**

2007년 중앙대학교 전자전기공학부 졸업 (공학사). 2007년 ~ 현재 중앙대학교 대학원 전자전기공학부 석사과정. 관심 분야는 CMOS IC Design, RF Communication



**김광진**

2007년 중앙대학교 전자전기공학부 졸업 (공학사). 2007년 ~ 현재 중앙대학교 대학원 전자전기공학부 석사과정. 관심 분야는 CMOS 회로 설계 및 USN 시스템



**최영완**

1985년 서강대학교 전자공학과 졸업. 1987년 버팔로 뉴욕주립대 대학원 전기 및 컴퓨터공학과 (공학석사). 1992년 버팔로 뉴욕주립대 대학원 전기 및 컴퓨터공학과 (공학박사). 1993년 한국전자통신연구원 (ETRI) 선임연구원.

1995년 ~ 현재 중앙대학교 전자전기공학부 교수  
관심분야는 광 전자 및 광 통신 소자 및 시스템, Microwave - Photonics, Optical interconnection, RFIC