

## CAE(Computer Aided Engineering)를 이용한 PDP회로 최적 설계

강연이(책임저자)\*, 허용정\*\*

\*한국기술교육대학교 산업대학원 반도체/디스플레이공학과

\*\*한국기술교육대학교 메카트로닉스 공학부

### 초록

점차 고성능화 되어가는 Display 제품들을 더욱 저렴하고 일반화하기 위해 제품 공정수를 줄이고 설계 기간을 단축하여야 한다. PCB(Printed Circuit Board) 층수(Stack-up)를 줄이고 회로개발 면에서는 회로를 간략히 하고 부품소자를 최소화하여야 한다. 그리고 기구개발 면에서는 공정을 최소화하고 견고하게 하는 것이 시장 추세이다. 불량 없으면서 초단납기 설계와 대량 생산을 위해 일원화를 추진하고 있다. 곧, 어떤 Customer에게 나가도 A/S 문제가 발생되지 않도록 초기부터 적용하는 최적설계가 필요하다. 본 연구는 Display의 대표라 할 수 있는 PDP(Plasma Display Panel)를 CAE(Computer Aided Engineering)를 이용해 설계함으로써 PDP 회로 최적설계를 하는데 CAE의 활용 사례를 알 수 있다.

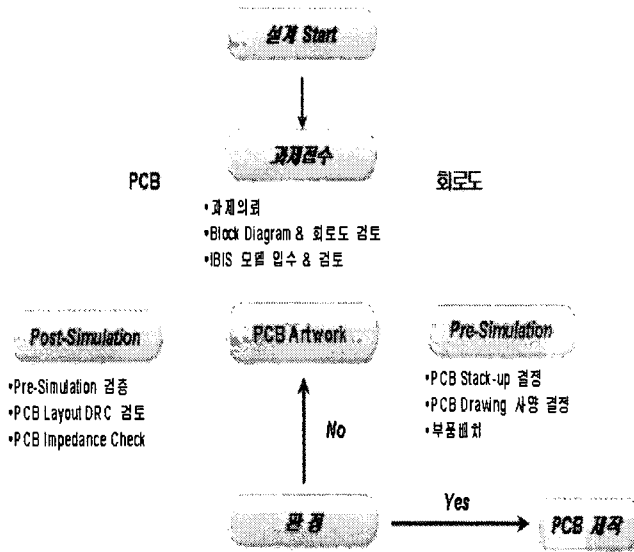
### 1. 서론

현재 시장은 고성능화를 원하면서도 기능이 다채로운 제품을 원하고 있다. 소형 Display 산업은 최소화, 경량화, 고성능화를 원하면서도 저렴한 제품을 희망하고 있다. 이에 비해 대형 Display 산업은 50인치 이상의 대형화의 일반화, 화질개선된 고성능 Display 제품을 등장시키는 추세이다. PCB 상의 부품 밀집 배치 및 신호의 고속화 추세등으로 인해 Display 산업은 나날이 급성장하는 것에 대한 빠른 대응을 원하고 있다. 그리고, Display 제품의 급성장으로 인한 초단납기 설계에 따른 최적 설계가 필요하다. 이에 SI Simulation을 기반으로 제품의 초기 최적설계를 위한 CAE(Computer Aided Engineering) 설계를 구축하여 기존의 설계자의 경험에만 의존했던 설계방법을 개선함으로써 대량 생산을 위한 일원화가 추진될 수 있다. 또, 설계자의 Know-how에만 의존하던 기존 설계 방식의 한계를 극복하고 EMI의 강화된 규제에 적합한 최적설계가 가능하며, 시장경쟁에서 이길 수 있는 신제품 개발의 기간을 앞당길 수 있다. 이는 곧 초기 설계시 SI(Signal Integrity)와 EMI(electromagnetic interference:전자 방해)특성을 고려한 최적 설계가 실현될 수 있다는 것이다.

### 2. 실험 방법

#### 2.1) CAE 설계의 구성 Process

- 2.2.1) CAE Simulation은 컴퓨터 시뮬레이션을 통해 회로도도 사전 설계검증(Pre Simulation)과 사후 PCB 설계 검증(Post Simulation)으로 최소한의 시행착오로 최적 설계하기 위한 것이다.
- 2.2.2) 시행착오 반복으로 PCB Revision 횟수 관련 비용 발생과 납기 지연된다.
- 2.2.3) Pre Simulation으로 회로도 사전 검증을 통해 찾아낸 문제점을 반영한 PCB Artwork 설계가 이루어진다.
- 2.2.4) Pre Simulation에서 나온 문제점 해결방안이 Post Simulation에서 잘 반영 되었는지 확인한 후 DRC Rule에 맞게 보강한다.



- PDP설계시 Pre Simulation으로 사전 검증을 통해 문제 발생할 수 있는 부분의 Guide를 제시한다.
- Guide를 기준으로 PCB Artwork을 진행한다.
- 사전 검증에서 Guide된 문제사항의 해결방안대로 Artwork에 적용했는지 Post Simulation으로 검증한다.
- 사후 검증에서 문제점이 발생되면 재 Artwork 하여 적용한다.
- 문제 없으면 PCB 제작을 진행한다.

Fig. 1. CAE Layout Process

### 2.3) Simulation 사례연구

#### 2.3.1) CLK(Clock)단 Pre Simulation

Driver 단과 Receiver 단 Modeling을 통해 Impedance Matching으로 설계된 회로의 파형이 안정되는지 Pre Simulation으로 사전 검증한다.

Simulation 결과로 도출된 설계 Guide를 PCB Artwork에 반영시켜 설계한다.

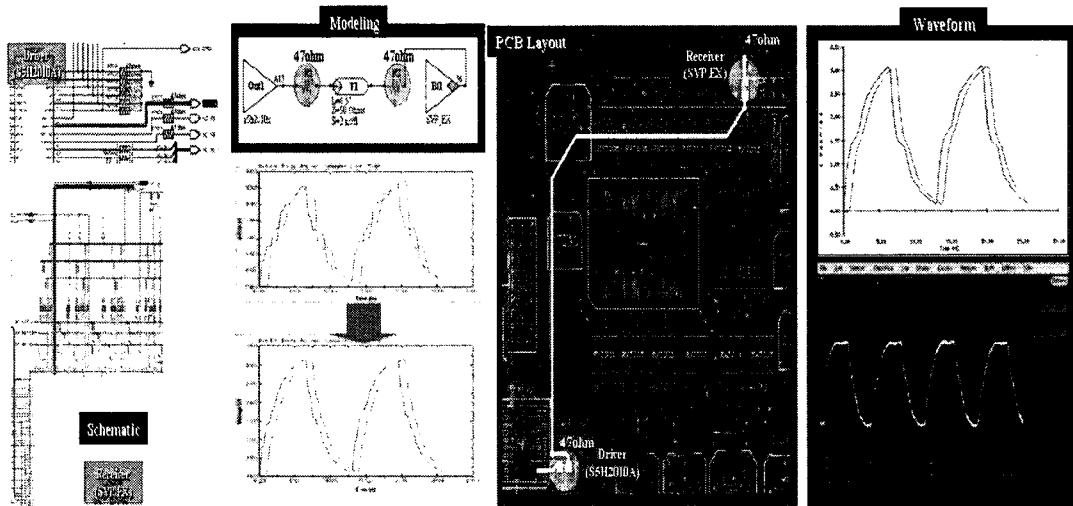


Fig. 2. Pre Simulation/Post Simulation(자료제공 : Cadence Allegro Manual)

#### 2.3.2) CLK(Clock)단 Post Simulation

Artwork후 Pre Simulation 결과가 PCB 설계에 잘 반영되었는지 검증하는 단계로서, 예측 결과 파형이 제대로 동작하는지 실제 설계 자료로 확인한다.

결과 파형에 문제가 있으면 PCB Artwork을 재설계하여 최적의 설계조건을 갖는다.

#### 2.3.3) Stack-up Simulation

PCB Stack-up(적층구조) 변경으로 Impedance Matching을 검증한다.

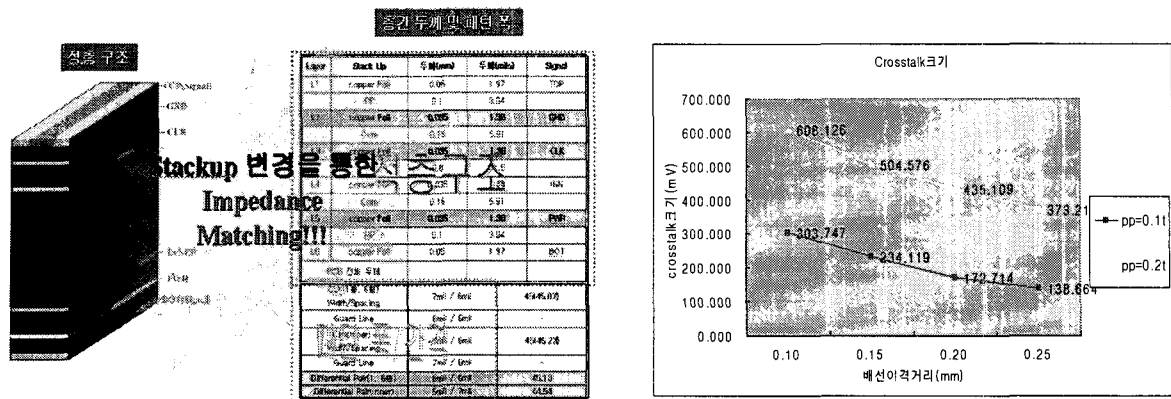


Fig. 4. Stack-up Simulation(자료제공 : Cadence Allegro Manual)

PCB 적층구조중 P/P(PrePleg)가 0.2t인 상태에서 Crosstalk에 문제가 생겼다면, P/P 두께를 1/2인 0.1t로 줄이면 Pattern 폭, 이격 거리, 배선길이가 동일할 때 Simulation을 통해 Crosstalk가 크게 개선됨을 알 수 있다.

2.3.4) CLK Line & 부품 배치 Simulation

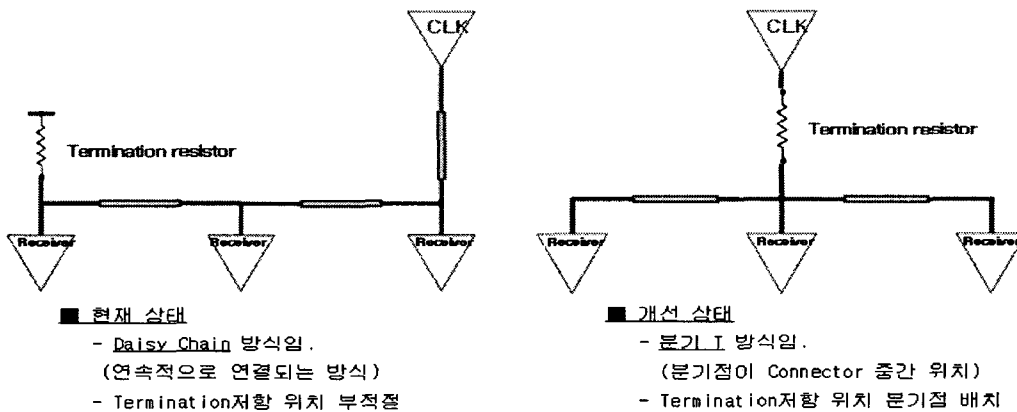


Fig. 4. CLK & 부품 Simulation(자료제공 : Cadence Allegro Manual)

Daisy Chain 방식은 연속 연결 방식으로 Data가 전달될 때 짧은 쪽과 긴 쪽의 Delay가 발생하기 때문에, Daisy Chain 방식보다 T분기 방식으로 설계했을 때 Delay를 최소화하며 Data가 전달될 수 있다.

Data 수가 많으면 많을수록 짧은 쪽과 긴 쪽의 Delay는 커지므로 T분기 설계가 최적 설계임을 Simulation을 통해 검증한 Data로서 표현할 수 있다.

Termination Resistor의 위치도 이와 같이 T분기가 시작되는 위치에 놓으면 모든 Data Line에 공평하게 적용될 수 있으나 한쪽 끝으로 배치하면 한쪽으로 치우친 설계가 될 수 밖에 없으므로 T분기 설계가 효율적이다.

2.3.5) SI/PI/EMI 검증

Display의 화질 향상과 관련된 데이터 적용에 따른 Critical Net 증가함으로 원가절감에 따른 취약한 설계로 인한 문제가 발생된다.

Multi Board에서 양면 Board와 단면 Board로 층구조의 단순화로 인한 GND 공간의 미약한 부분과, Common Mode Noise 증가와 EMI 방사 증가가 큰 문제이다.

고집적화한 회로를 제대로 구현하기 위해서는 발생될 문제를 미연에 방지하기 위한 대책이 필요하기 때문에 Simulation을 통해 SI/PI/EMI 문제를 미리 검증한다.

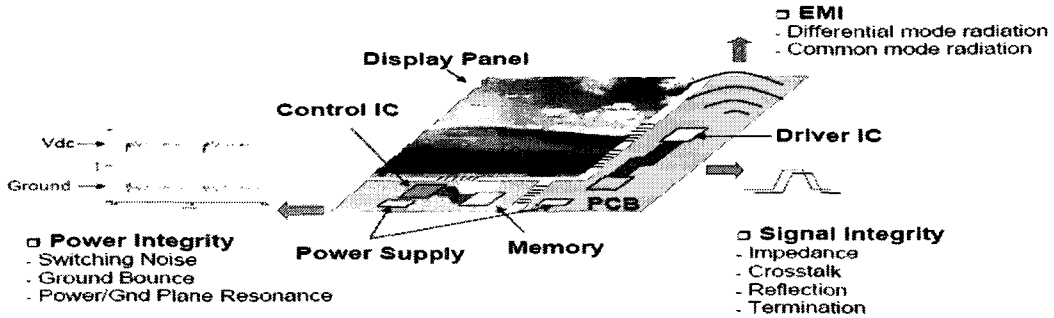


Fig. 5. SI/PI/EMI(자료제공 : ANSOFT SI-WAVE Manual)

SI : 시간 영역에서 Voltage Fluctuation에 의하여 신호에 Signal Noise 성분의 추가를 전달하는 과정에서 발생하는 Crosstalk, Timing Margin 감소 등의 신호 해석을 통해 회로의 오동작을 해결한다.

PI : 주파수 영역에서 Power 전송선(Power Plane이나 Ground Plane포함)상의 Noise 해석을 통해 회로의 오동작을 해결한다.

EMI : 전자장의 방사 해석을 통해 Power Plane과 Ground Plane에 Noise한 Common Mode에 Radiation된 EMI 문제를 해결한다.

### 3. 실험결과 및 고찰

#### 3.1) Measured SSN Coupling Coefficient

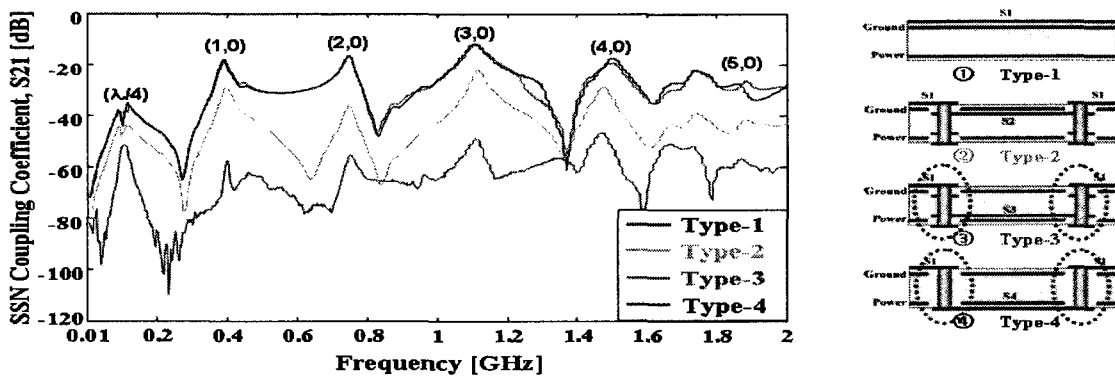


Fig. 5. SSN Coupling Coefficient(자료제공 : KAIST TERA Lab)

실험결과 : Type1의 특성이 가장 우수하고 Type3와 Type4가 가장 나쁘다.

Very High Speed & Noise Sensitive Signal인 경우 Trace Via를 사용안한 Type1이 Fig.5와 같이 가장 우수하다.

그러나, 피치 못하게 사용될 경우엔 제일 가까운 층으로 Via를 뚫어 설계하고 Trace Via 바로 옆 Return Current Path용 Capacitor를 사용하여 Via에 의한 불안 요소를 감소시켜야 한다.

층 구조와 배선 구조 변경만으로도 Noise 개선이 가능하다.

#### 3.2) TDR/TDT Waveform Equation (Microstrip)

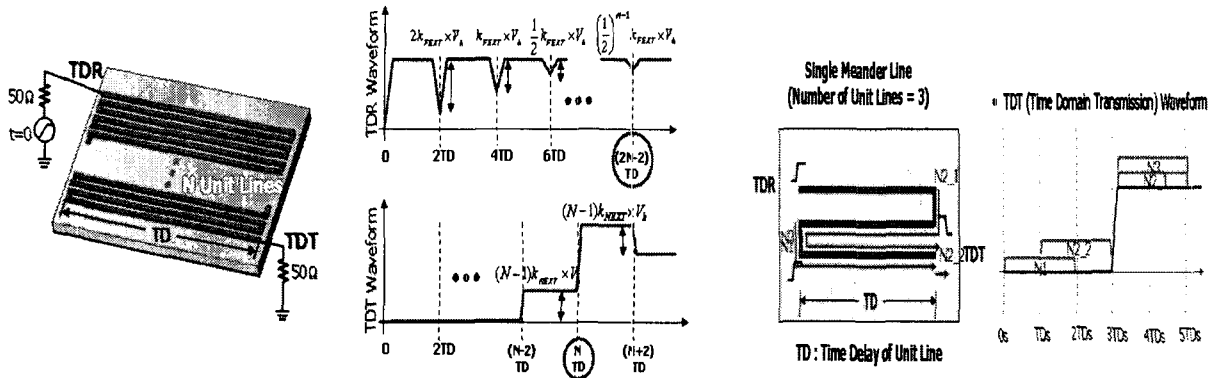


Fig. 5. TDR/TDT Waveform Equation(자료제공 : KAIST TERA Lab)

실험결과 : N이 많을수록 N개의 개수만큼 Fext와 Next에 Delay가 존재한다.  
 TDR/TDT를 이용하여 N개의 Line 수 만큼 X-Talk가 발생됨을 알 수 있다.  
 Fext(far end x-talk coefficient)로 인해 2TD, 4TD, 6TD 만큼의 Delay가 발생하고, Next(near end x-talk coefficient)로 인해 N-2TD, NTD, N+ 2TD 만큼의 Delay가 누적되어 발생된다.  
 가장 근접한 Line부터 X-Talk가 발생됨을 알 수 있다.

4. 결론

논문에서 검증된 CAE(Computer Aided Engineering)를 이용한 PDP 회로 최적 설계가 실현되면 다음과 같은 효과를 기대할 수 있다.

- 사전 PCB 품질 검증 체제 구축으로 개발단계에서의 제품 원류품질 조기 확보하고, 설계자의 해석설계로 설계능력이 향상된다.
- PCB 실측 결과와 Simulation 결과의 Matching성의 사전 확인으로 SI 설계를 고려한 외주업체 선정 및 관리 가능(DRC Rule) 확대된다.
- PCB 개발 Lead Time 단축 및 개발 Cost 절감된다.
- EMI/Noise PCB 재설계 발생율을 Pre Simulation과 Post Simulation 도입 설계로 23%에서 10%로 개선되어 50% 이상의 향상 효과를 볼 수 있었다.
- 4개 Model의 PCB Revision 횟수가 평균 1.8회 줄어 들었다.
- SI Simulation을 통한 PCB 선검증(Pre Simulation/Post Simulation)을 도입하여 EMI/Noise PCB 재 설계를 0%화를 기대할 수 있다.

참고문헌

- [1] Cadence社 Allegro Manual 사진 참조
- [2] ANSOFT社 SI-WAVE Manual 사진 참조
- [3] KAIST TERA Lab “Advanced 고속디지털 시스템 Signal Integrity설계”과정 실험측정 결과 자료(삼성 첨단기술연주소 제공)
- [4] 강연이, 삼성SDI 제5회 CAx Contest 출품 Report “SI Simulation Tool을 이용한 Noise 저감 방안”본문 참조
- [5] 오정열 & 허용정, “CAE와 실험계획법을 연계한 사출 성형 시스템 최적화에 관한 연구 한국산학기술학회논문지, 제7권, 제3호