

## SEG 공정 적용에 따른 Tr 특성 연구

이성호<sup>T\*</sup>, 강성관<sup>S</sup>, 최재복<sup>T</sup>, 유용호<sup>+</sup>, 송보영<sup>T</sup>, 안주현<sup>+</sup>, 노용한<sup>\*</sup>

<sup>T</sup>삼성전자 메모리사업부 PM센터,

<sup>+</sup>삼성전자 메모리사업부 공정관리2그룹,

<sup>S</sup>삼성전자 메모리사업부 공정개발팀,

<sup>\*</sup>성균관대학교 정보통신공학부 마이크로소자 Lab

## The study on the Transistor Performance with SEG Process

Sung-ho Lee<sup>T\*</sup> Sung-kwan Kang<sup>S</sup> Jay-Bok Choi<sup>T</sup> Yong-ho Yoo<sup>+</sup> Bo-Young Song<sup>T</sup> Ju-hyeon Ahn<sup>+</sup> and Yong-han Roh<sup>\*</sup>

<sup>T</sup>Samsung Electronics Co.,Ltd Memory Business Process Management Center

<sup>+</sup>Samsung Electronics Co.,Ltd Memory Business Process Analysis & Control Group

<sup>S</sup>Samsung Electronics Co.,Ltd Memory Business Process Development Team

<sup>\*</sup>School of Information and Communication Engineering, SungKyunKwan University.

**Abstract :** Design Rule이 작아짐에 따라 Transistor performance 향상을 위한 여러 방안중 SEG 공정이 적용되고 있으며 이에 따른 Transistor 특성 연구 결과이다. SEG공정 적용시 SEG Profile에 따라 Transistor의 Short Channel Effect 열화가 발생하였고 그 원인은 Sidewall Facet발생으로 추정되며 이를 개선시 Tr 특성이 개선됨을 확인하였다.

**Key Words :** SEG, SCE, Facet

### 1. 서론

Design Rule이 작아짐에 따라 Contact to Active 절대 면적이 줄어들어 Transistor 특성(저항, Cell Current등)이 Device 요건에 맞지 않게 되고 있다. 이를 개선하기 위한 여러 가지 방법 중 하나인 SEG(Selective Epitaxial Growth) 공정을 당사에서 개발 중인 제품에 실제 적용하여 연구를 하게 되었다. SEG공정 적용시 Transistor 특성이 불량하게 보이는 문제가 발생하여 원인 분석 및 개선 방향에 대한 연구 결과이다.

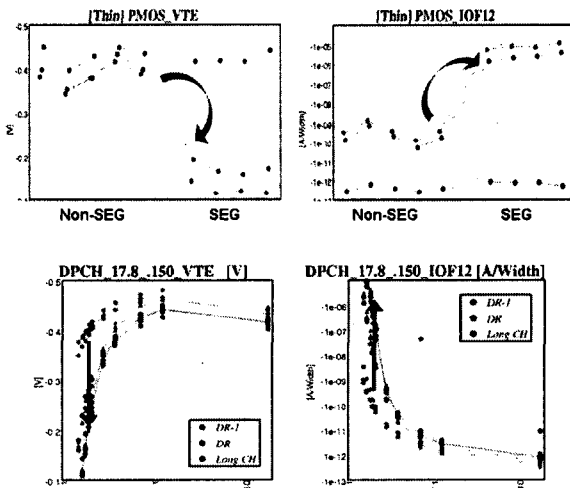
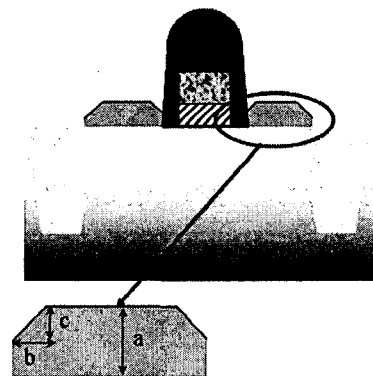


그림 1. SEG공정에 따른 Tr ET 결과

그림 1. 에서 보듯이 SEG공정 적용시 Transistor 특성이 Long Channel에서는 변화가 없으나 Short Channel에서 off current 증가 및 Vt drop현상이 보이는 전형적인 SCE(Short Channel Effect)가 보였다.

### 2. 실험

SEG공정 적용시 SCE현상이 발생하여 원인 분석을 위하여 SEG공정 진행후 Vertical SEM 및 STEM 분석 진행 하였다.



$$a:b:c=1:(0.4\sim 0.8):(0.3\sim 0.4)$$

그림 2. SEG공정 Profile

그림 2. 에서 보듯이 SEG공정후 Gate근처에서 Sidewall Facet이 발생하였으며 후속 Impant공정에서 Sidewall Facet 발생부위에 Locally Deep Junction이 발생 후속 Thermal공

정에서 SCE(Short Channel Effect) Degradation이 발생한 것으로 추정되었다.

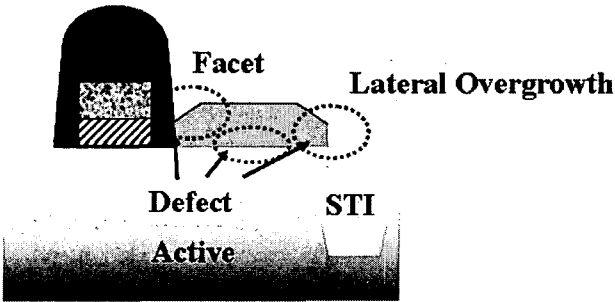


그림 3. Elevated Source/Drain SEG Application

Sidewall Facet이 발생하면 Locally Deep Junction문제뿐 아니라 Thermal Stability of Salicide, Lateral Overgrowth에 의한 SEG to SEG Bridge, ILD1 Void 및 Process Temperature에 따른 Source/Drain Engineering 어려움 및 SCE Degradation 발생이 우려된다. Sidewall Facet 발생 원인은 SEG성장 시 성장 면에 따른 활성화 에너지 감소와 Undercut 발생에 따른 결함 변형 및 Si과 SiO<sub>2</sub> 열팽창 계수 차이에 의한 열응력으로 추정된다. Sidewall Facet을 없애기 위한 여러 가지 실험결과 Facet Control Factor로는 Process Related Parameter와 Substrate Related Parameter가 있는 것으로 분석되었다. Process Related Parameter로는 Temperature & Process, Growth Rate(Gas Ratio), Film Thickness가 있으며 Substrate Related Parameter로는 Dielectric interface angel & undercut, Dielectric Material, Substrate & Pattern Orientation로 결론되어서 각종 실험을 통해 개선된 공정을 연구하였다.

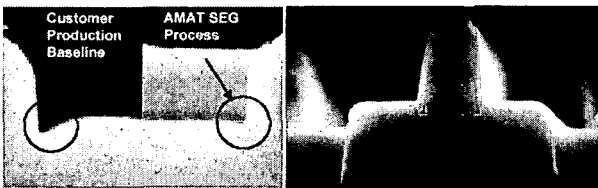


그림 4. 개선전후 SEG V-SEM

그림 4. 와 같이 여러 가지 Facet Control Factor들에 대한 개선작업을 통해 Sidewall Facet이 없는 SEG 모양을 가진 공정을 확보하였다. 위와 같은 모양의 SEG적용 Transistor 적용 Lot에 대한 Transistor의 각종 Electrical Data를 확인하여 본 결과, 기존의 공정에서 본 Transistor특성과 유사한 Short Channel Effect가 없는 동일한 Transistor 특성을 얻을 수 있다는 것을 확인하였다. 따라서 Short Channel Effect의 원인은 SEG공정시 발생한 Sidewall Facet으로 이를 개선할 시 Transistor Performance 개선을 할 수 있다는 결론을 얻을 수 있었다.

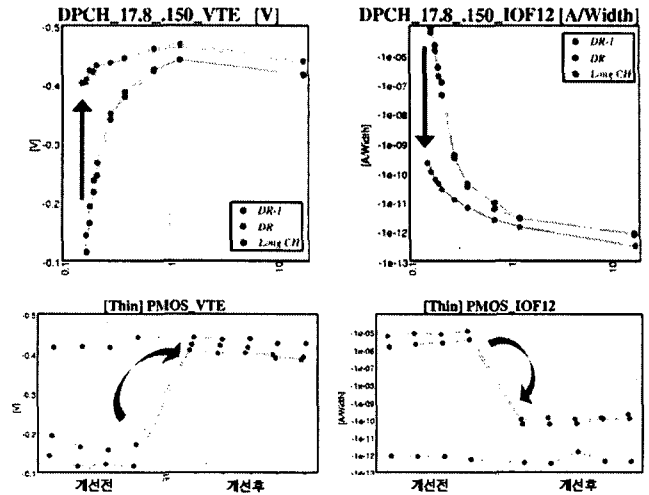


그림 5. 개선 후 SEG공정 적용 Tr ET

### 3. 결과 및 고찰

SEG공정 적용에 따른 Transistor의 특성 열화(Short Channel Effect)의 원인은 Sidewall Facet으로 이를 개선하기 위한 각종 인자들을 도출 발굴하여 개선 Item을 탑재한 Lot의 결과 가장 큰 문제였던 Short Channel Effect를 개선한 결과를 얻을 수 있었다. Sidewall Facet의 발생 원인은 각종 공정 parameter들이었으며 이를 복합적으로 적용하여야 Facet Free 공정을 얻을 수 있었다.

### 4. 결론

SEG공정 적용시 Device동작이 제대로 되지 않는 문제의 원인이 SEG공정시 Sidewall Facet이 발생하여 Transistor의 특성 변화(Short Channel Effect 발생)가 주요한 원인으로 밝혀졌으며 이를 개선하여 Device 동작하는 SEG공정을 확보하였다.

### 참고 문헌

- [1] S.Wolf, et al., "Silicon Processing for VLSI era", vol.1, SEG, p.513, 1990
- [2] S.Wolf, et al., "Silicon Processing for VLSI era", vol.3, SCE, p.208, 1990
- [3] Yuan Taur, Fundamentals of Modern VLSI Devices., Short-Channel MOSFETs p.139, 1998
- [4] Ben Streetman, Solid State Electronic Devices, vol6, p.273, 2005