

## SoP-L 기술 기반의 반도체 기판 함몰 공정에 관한 연구

이광훈\*, 육종관\*\*, 박세훈\*, 유찬세\*, 이우성\*, 김준철\*, 강남기\*, 박종철\*  
\*전자소재패키징연구센터 전자부품연구원, \*\*전기전자공학과 연세대학교

### Study on the Buried Semiconductor in Organic Substrate

Gwang-Hoon Lee\*, Se\_Hoon Park\*, Chan-Sei Yoo\*, Woo-Sung Lee\*,  
Jun-Chul Kim\*, Nam-Kee Kang\*, Jong-Gwan Yook\*\* and Jong-Chul Park\*

\*Electronic Materials & Packaging Research Center, Korea Electronics Technology Institute,

\*\*Dept. of Electrical and Electronics Eng, YonSei Univ.

**Abstract** : SoP-L 공정은 유전율이 상이한 재료를 이용하여 PCB 공정이 가능하고 다른 packaging 방법에 비해 공정 시간과 비용이 절약되는 장점이 있다. 본 연구에서는 SoP-L 기술을 이용하여 Si 기판의 함몰에 관한 공정의 안정도와 함몰 시 제작된 패턴의 특성의 변화에 대해 관찰 하였다. Si 기판의 함몰에 Active device를 이용하여 특성의 변화를 살펴보고 공정의 안정도를 확립하려 했지만 Active device는 측정 시 bias의 확보와 특성의 민감한 변화로 인해 비교적 측정이 용이하고 공정의 test 지표를 삼기 위해 passive device를 구현하여 함몰해 보았다.

Passive device의 제작 과정은 Si 기판 위에 spin coating을 통해 PI(Poly Imide)를 10um로 적층한 후에 Cr과 Au를 seed layer로 증착을 하였다. 그리고 photo lithography 공정을 통하여 photo resister patterning 후에 전해 Cu 도금을 거쳐 CPW 구조로 50Ω line 과 inductor를 형성하였다. 제작 된 passive device의 함몰 전 특성 추출 data와 SoP-L공정을 통한 함몰 후 추출 data 비교를 통해 특성의 변화와 공정의 안정도를 확립하였다.

차후 안정된 SoP-L 공정을 이용하여 Active device를 함몰 한다면 특성의 변화 없이 size를 줄이는 효과와 외부 자극에 신뢰도가 강한 기판이 제작 될 것으로 예상된다.