

Ultrathin-Body SOI MOSFETs에서 면방향에 따른 정공의 이동도 증가

김관수, 구상모, 정홍배, 정종완*, 조원주
 광운대학교 전자재료공학과, *세종대학교 나노신소재공학부

Hole Mobility Enhancement in (100)- and (110)-surfaces of Ultrathin-Body Silicon-on-Insulator Metal-Oxide-Semiconductors

Kwan-Su Kim, Sang-Mo Koo, Hongbay Chung, Jongwan Jung*, Won-Ju Cho
 Department of Electronic materials engineering, Kwangwoon Univ, *Dept. of Nano-Sci. & Tech, Sejong Univ.

Abstract : We investigated the characteristics of UTB-SOI pMOSFETs with SOI thickness (T_{SOI}) ranging from 10 nm to 1 nm and evaluated the dependence of electrical characteristics on the silicon surface orientation. As a result, it is found that the subthreshold characteristics of (100)-surface UTB-SOI pMOSFETs were superior to (110)-surface. However, the hole mobility of (110)-surface were larger than that of (100)-surface. The enhancement of effective hole mobility at the effective field of 0.1 MV/cm was observed from 3-nm to 5-nm SOI thickness range.

Key Words : Ultrathin-Body, SOI, Quantum confinement effect

1. 서 론

반도체 소자가 100 nm 이하로 줄어들면서 MOSFET의 미세화에 따른 소자제작 공정 및 동작 특성의 문제점이 심각하게 대두되고 있다. Silicon-on-Insulator (SOI) 기술은 단 채널 효과 억제에 매우 효과적이며, 10 nm 이하의 채널 두께를 가지는 Ultrathin-Body (UTB) SOI 트랜지스터는 캐리어의 이동도에 대한 큰 장점을 가지기 때문에, 고속 소자를 구현할 수 있다. 특히, UTB-SOI nMOSFET의 채널의 두께가 3-5 nm의 범위에서 quantum confinement effect에 의해 에너지 준위간의 산란이 감소하여 전자의 이동도가 증가한다는 것이 보고된 바가 있다 [1-2]. 그러나, 채널의 두께가 10 nm 이하에서 정공의 이동도 변화에 대해서는 아직까지 이해가 부족한 상태이다.

따라서, 본 논문에서는 1-10 nm의 채널 두께를 가지는 UTB-SOI pMOSFET를 제작하여 채널의 두께에 따른 이동도의 변화를 살펴보았으며, (100)와 (110)의 면방향에 따른 소자의 전기적 특성 변화에 대해서 연구하였다.

2. 실험

두께 1-10 nm의 채널을 가지는 UTB-SOI pMOSFETs은 다음과 같은 순서로 제작되었다. 기판은 SOITEC사에서 제작한 (100) 면과 (110) 면을 가지는 SOI 기판을 사용하였다. 10 nm 이하의 채널은 2.38% TMAH 용액에서 실리콘을 습식각하여 형성하였다. 두께 4 nm의 게이트 산화막을 열산화 방법으로 성장시켰고, 두께 100 nm의 인(phosphorus)이 도핑된 폴리 실리콘 게이트 전극을 LPCVD 방법으로 형성하였다. 소스와 드레인은 플라즈마 도핑(PLAD)을 이용하여 형성하였으며, 마지막으로 3% H_2/N_2 분위기에서 450°C 30분의 후속열처리를 실시하였다. 그림 1은 UTB-SOI pMOS FET의 단면 TEM 사진을 나타내고 있으며, 습식각을 이용하여 6 nm의 얇은 두께를 가지고 우수한 계면 특성을 가지는 채널이 형성됨을 확인하였다.

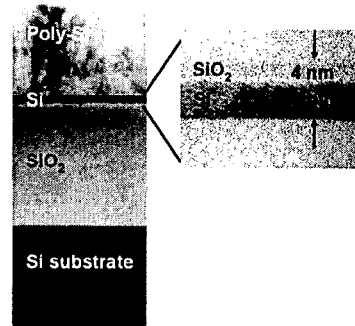


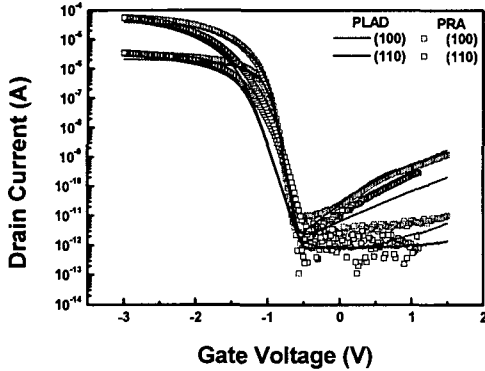
그림 1. UTB-SOI pMOSFET의 TEM 단면도

3. 결과 및 고찰

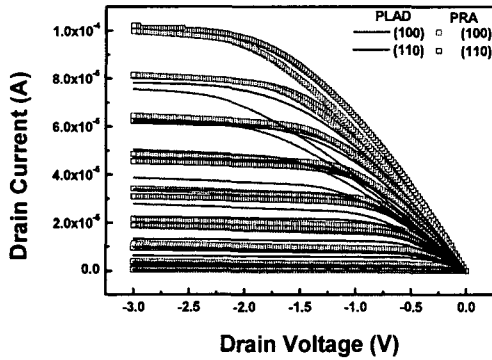
그림 2는 채널의 두께가 100 nm 인 (100) 및 (110) 방향의 UTB-SOI pMOSFET의 전기적 특성을 나타내고 있다. Subthreshold 특성은 그림 2(a)처럼 (100) 면 소자가 (110) 면 소자보다 훨씬 우수한 특성을 보이고 있는데, 이는 (100) 면이 (110) 면보다 계면 준위 및 산화막 고정 전하 모두 낮기 때문이다. 한편, 후속 열처리를 실시하면 그림 2(b)와 같이 면방향에 상관없이 모두 드레인 전류가 증가하였고, 이때 subthreshold swing은 (100) 면 소자가 70 mV/dec, (110) 면 소자가 106 mV/dec를 나타내었다. 이와 같은 subthreshold swing의 개선은 후속 열처리 과정에 의하여 산화막 내의 고정전하 및 계면에서의 포획준위가 감소되었기 때문이라고 생각된다.

그림 3.은 (100) 면과 (110) 면의 SOI MOSFET의 이동도 특성을 나타내고 있다. 전체적으로 (110) 면 소자가 높은 정공의 이동도를 가진다는 것을 알 수 있다 [3]. 특히, 채널의 두께가 4 nm인 경우 (100) 면과 (110) 면에서 정공의 이동도는 각각 1.73 %, 13.68 % 증가하였다. 또한 후속 열처리 공정을 수행하였을 때 4.56 %, 14.77 % 로 더 높은

정공의 이동도 향상을 나타냈다. 이와 같은 정공 이동도의 향상은 채널의 두께가 감소하면서 가전자대에 존재하는 HH (Heavily Hole)과 LH (Lightly Hole)의 에너지 밴드가 분리됨에 따라 평균 유효질량이 감소하고, 밴드 간의 산란 현상이 줄어들었기 때문이다.



(a)



(b)

그림 2. 100 nm 채널 두께를 가지는 UTB-SOI의 I-V 특성; (a) Subthreshold 특성, (b) 출력 특성

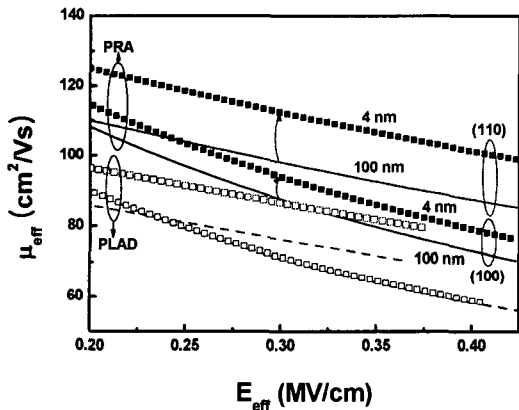


그림 3. (100)와 (110) 방향의 UTB-SOI pMOSFET의 정공 이동도 특성

그림 4는 10 nm 이하의 채널두께를 가지는 UTB-SOI pMOSFET의 면 방향과 채널 두께에 따른 정공 이동도의 개선 효과를 나타낸다. (100) 면과 (110) 면에서의 정공 이

동도는 채널 두께가 3-5 nm 부근에서 모두 증가하고 있음을 볼 수 있다. 또한, 정공의 이동도 증가는 후속 열처리 공정을 수행함으로써 그 증가율이 더욱 향상되었고, 정공의 이동도 증가 비율은 (100) 면보다 (110) 면에서 더 높다는 것을 볼 수 있다. 그러나, 채널의 두께가 2 nm에서는 실리콘 표면의 roughness 때문에 발생하는 계면과의 산란에 의해 정공의 이동도가 다시 감소하였다.

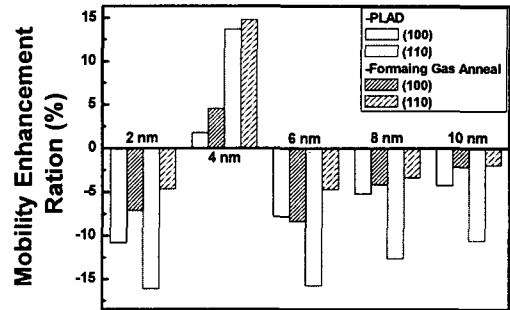


그림 4. UTB-SOI pMOSFET의 두께에 따른 정공의 이동도 증가 비율

4. 결론

채널의 두께가 10 nm 인 UTB-SOI pMOSFETs을 습식식각 공정을 이용하여 제작하였다. (100) 면을 가지는 소자의 subthreshold swing은 (110) 면의 소자보다 우수하였다. 그러나 정공의 이동도 특성은 (100) 면보다 (110) 면에서 더욱 뛰어난 특성을 나타냈다. 특히, 후속 열처리 공정을 실시하였을 때, (110) 면에서의 정공 이동도 향상은 약 14.77 %로 (100) 면의 4.56 % 보다 더 큰 증가를 보였다. 따라서 10 nm 이하의 채널 두께를 가지는 UTB-SOI MOSFET은 게이트 길이가 100 nm 이하의 영역에서 기존의 CMOS 기술의 한계를 극복할 수 있는 핵심기술이라고 판단된다.

참고 문헌

- [1] S. Tagaki, "Sub-band structure engineering for advanced CMOS channel", Solid-State Electronics, 49(2005), pp. 684-694.
- [2] K. Uchida, "Experimental Study on Carrier Transport Mechanism in Ultrathin-body SOI MOSFETs", SISPAD, 3-5 sept, 2003, pp. 8-13.
- [3] H. Nakamura, "Effects of Selecting Channel Direction in Improving Performance of Sub-100 nm MOSFETs Fabricated on (110) Surface Si Substrate", Japanese Journal of Applied Physics, Vol. 43, No. 4B, 2004, pp. 1723-1728.