

PC 기반의 Up/Downlink 시험 환경 구축

이윤기*, 김대영*, 권기호*, 최승운*, 이상곤*

*한국항공우주연구원 위성전자팀

e-mail : yklee@kari.re.kr

Set-Up for Uplink & Downlink test environment based on PC

Yun-Ki Lee *, Day-Young Kim*, Ki-Ho Kwon*, Seung-Woon Choi*

* Korea Aerospace Research Institute

요 약

본 논문은 차세대 위성 개발을 위한 선행 연구의 일환으로, 다양한 플랫폼에 적용할 수 있는 위성 전자 전산 시스템 개발 검증 장비의 구성 요소인 상/하향 명령 처리 장치를 PC 에서 구동할 수 있도록 개발한 것이다. 이 PC 기반의 상/하향명령처리 시험환경은 위성의 Flight Software 로직의 검증용으로도 활용될 수 있다.

1. 서론

실제 위성과 지상국 사이의 Uplink & Downlink 통신 사이에는 RF path, Baseband path 를 통해서 궁극적으로는 양쪽의 Processing Software 까지 도달된다. 하지만 실제로 Baseband HW 나 Software 를 개발하는 단계에서는 실제 RF path 는 굳이 불필요하고, 다만 아래의 그림 1 과 같은 PC 기반의 Link 환경이면 충분히 개발할 수 있다. 이 PC 기반 테스트 환경은 양쪽 지상국과 위성의 Software 를 구동할 수 있는 2 대의 PC 와 각 PC 에 장착되는 4 개의 보드로 이루어지며, 그 보드들 사이에는 RS-422 Cable 이 연결된다.

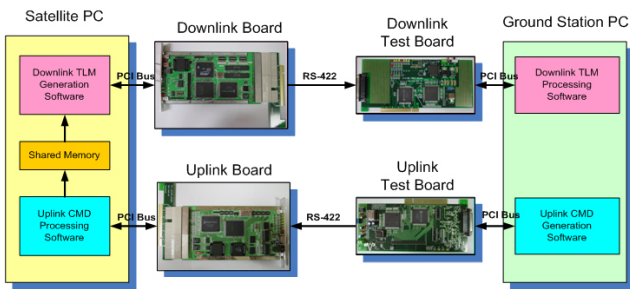


그림 1 PC 기반의 상/하향 테스트 환경

본 논문에서는 PC 에서 구현된 Baseband HW 로직 그리고 Processing Software 설계와 테스트 결과에 대해서 기술한다. 이 PC (Window OS) 기반의 상/하향 링크 환경을 통해서 CCSDS (Consultative Committee for Space and Data Systems) 표준 Link HW 와 실제 위성에서 구동되는 Flight Software 개발을 쉽게 할 수 있을 것이다.

2. 상향 링크 및 상향 링크 테스트 보드

상향 링크 보드의 개괄적인 개념도는 아래의 그림 2 와 같다.

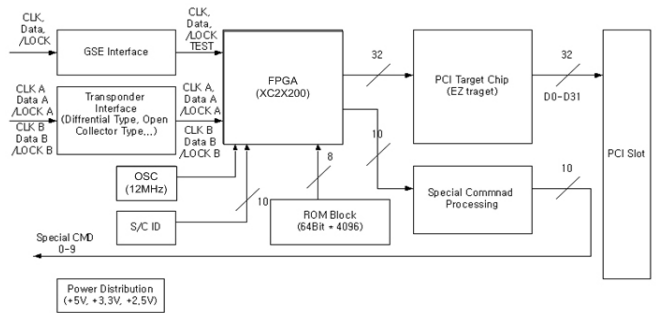


그림 2 상향 링크 보드 개념도

상향 링크 보드는 상향 링크 테스트 보드에서 올라오는 CMD 를 수신하기 위해서 RS-422 Receiver 를 가지며, Window-OS 기반의 PC (이하 Satellite PC)와 통신하기 위해서 PCI Chip 및 Slot 을 가진다. 그리고 이 보드는 12MHz Reference 클럭, 상향 CMD 에 대한 암호화 Key 를 저장하기 위한 32Kbyte EEPROM 을 가지며, 보드의 로직 구현을 위한 Control FPGA 을 가진다. 상향 링크 로직은 크게 4 개의 파트로 구성된다. 첫번째는 NRZ-M 데이터를 NRZ-L 로 바꾸고, Serial 데이터를 Parallel 데이터로 변환하는 부분이다. 두번째는 올라온 CMD 를 Validation Check 하고, CMD 시작을 알리는 Sync Pattern 을 Detection 하는 부분이다. 이 Validation Check 는 CCSDS 표준 Transfer Frame Header 의 Field 내용이 맞는지 체크하는 것을 의미한다. 세번째는 Uplink Control 신호들을 생성하는 Logic Controller 이고, 마지막은 Satellite PC 와 통신하기 위한 PCI Control 부분이다.

상향 링크 테스트 보드는 지상국을 모사하기 위한 것으로서 상향 링크 보드와 거의 유사한 구성품으로 이루어져있다. 상향 링크 테스트 보드는 상향 링크 Clock 을 만들고, NRZ-L 데이터를 NRZ-M 데이터로 변환하고, Ground Station PC 로부터 오는 PCI Parallel 데이터를 Serializing 한다.

3. 하향 링크 및 하향 링크 테스트 보드

하향 링크 보드의 개괄적인 개념도는 아래의 그림 3 와 같다.

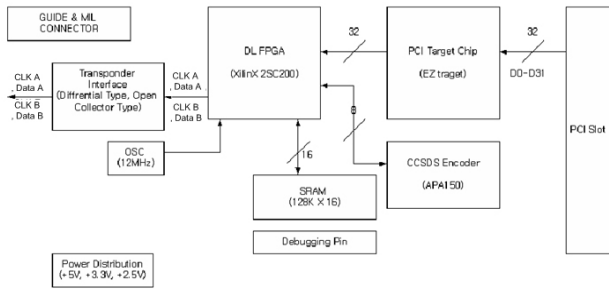


그림 3 하향 링크 보드 개념도

하향링크 보드는 하향링크 테스트보드로 TLM 을 보내기 위한 RS-422 Driver 를 가지고 있으며, Window-OS 기반의 PC (이하 Satellite PC)와 통신하기 위해서 PCI Chip 및 Slot 을 가진다. 이 보드에는 12MHz Reference Clock 을 가지며, Downlink RS-Encoding 을 하기 위한 별도의 FPGA 를 가진다. 또한 하향 링크 Ping-Pong Buffer 를 구현하기 위한 SRAM (128K*16)를 가지고 있으며 Board Logic 구현을 위한 Control FPGA 를 가진다. 하향링크 로직은 4 개의 파트로 구성된다. 첫번째는 Real-Time 과 Playback 통신을 위해서 데이터 Speed 를 생성하는 부분이고, 두번째는 연속적인 Data Downlink 를 보장하기 위한 Ping-Pong Buffer Data 처리 부분이다. 세번째는 Downlink Logic Controller 부분이고 마지막은 Satellite PC 와 통신하기 위한 PCI Control 부분이다.

하향링크 테스트 보드는 RS-Decoder 가 없는 하향 링크보드와 거의 유사한 구성품으로 되어있다. 하향 링크 테스트 보드의 로직은 Serial 데이터를 수신하는 상향 링크 보드와 매우 유사하다.

4. 상향/하향 링크 통합 테스트

다음의 그림 4 는 실제 통합 상/하향 테스트 환경을 나타낸다.

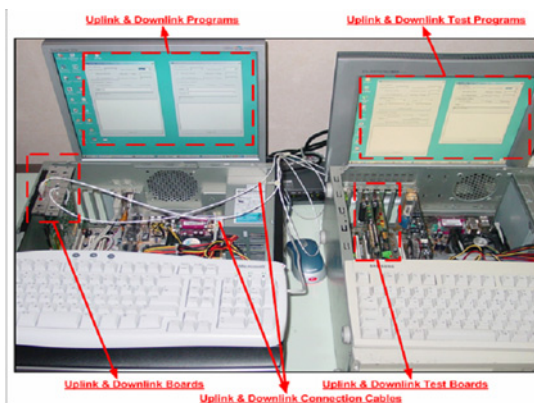


그림 4 상/하향 통합 환경 테스트

통합 테스트는 Ground Station PC 에서 보내는 CMD 를 Satellite PC 로 보내서 그에 연관되는 TLM 가 다시

Ground Station PC 로 보내지면 된다. 다음 그림 5 는 통합 테스트를 위해서 Unit On 하는 CMD 의 예를 나타낸다. Unit On CMD 는 실제로 위성에서 Ground Station 이 Unit Power On 등과 같은 CMD 를 많이 보내는데, 이것을 모사하기 위한 것이다.

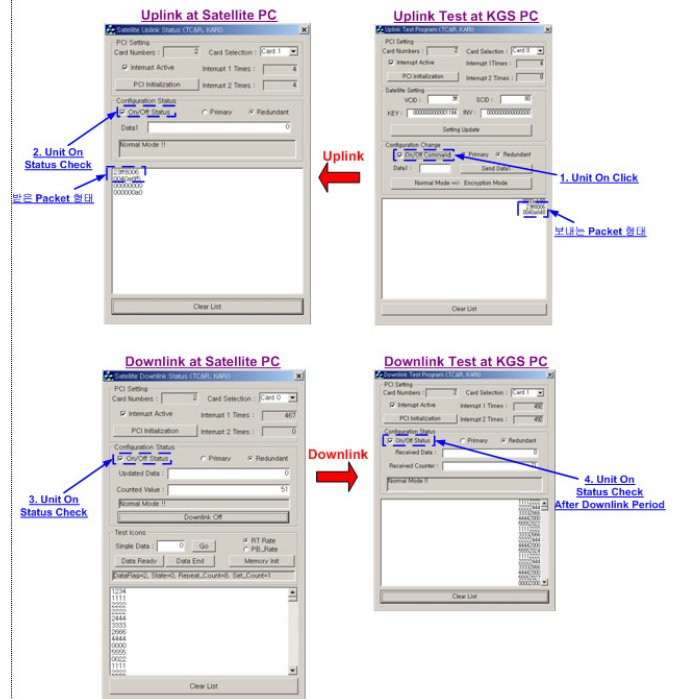


그림 5 Unit On CMD 테스트 결과

5. 결론

본 논문에서는 PC 기반의 상/하향 테스트 환경 개발 내용과 상/하향 통합 테스트 결과를 제시하였다. 이 통합 테스트 환경 구축을 통해서 CCSDS 표준 Link HW 와 실제 Flight Software 개발을 좀더 쉽게 할 수 있다. 앞으로 이 PC 기반의 상/하향 테스트 환경은 USB 를 통해서 PC 와 통신하도록 업그레이드 할 예정이다.

참고문헌

- [1] CCSDS 201.0-B-3 Telecommand Part1 Channel Service [June 2000]
- [2] CCSDS 101.0-B-6 Telemetry Channel Coding [October 2002]
- [3] "차세대 위성을 위한 탑재컴퓨터 구조 연구", 2004 년 춘계 항공 우주 학회, 김대영 외 4 인