

Shift-adder 를 이용한 JPEG2000 용 9/7 DWT 필터의 효율적인 VLSI 구조

손창훈*, 김영민*

*전남대학교 전자컴퓨터공학과

e-mail : beozzang@nate.com

An efficient VLSI Architecture of 9/7 DWT filter using shift-adder for JPEG2000

Chang-Hoon Son*, Young-Min Kim*

*Dept. of Electronics and Computer Engineering, Chonnam National University

요 약

본 논문은 저전력이고 속도가 빠르면서도 작은 gate 면적만으로 JPEG2000 표준의 이산 웨이블릿 변환 (DWT)을 수행하는 VLSI 구조를 제안하였다. 제안한 구조는 line-based 와 convolution 방식을 사용하여 설계하였다. DWT 필터는 1 차원 구조로서 영상의 수평방향이나 수직방향을 차례대로 처리하였고, 16-비트 고정 소수점 형식의 Daubechies 9/7 필터 계수를 사용하였다. 기존의 DWT VLSI 설계에서 매우 큰 영역을 차지하는 multiplier 들을 shift-adder 들로 대체하여 기존 방식의 gate 사용 면적을 38.5% 로 크게 줄일 수 있었다. 또한 최대 지연시간과 총 소비전력은 각각 기존에 비해 78% 와 29.6% 로 개선되었다.

1. 서론

JPEG2000 표준안에서 이차원 DWT (Discrete Wavelet Transform)은 일반적인 convolution 방식으로 구현되었다. 기존의 convolution 방식은 많은 수의 multiplier 를 사용하기 때문에 linear phase 구조를 이용하면 multiplier 의 수를 줄일 수 있다[1].

이차원 DWT 는 수평 방향으로 한 줄씩 low pass 와 high pass 필터링을 한 후, 그 결과를 이용하여 수직방향으로 같은 연산을 하게 된다. 수평 방향에서 발생한 임시적인 결과를 저장하기 위해서는 많은 양의 memory 가 필요하기 때문에, line-based 구조를 사용하여 memory 양을 줄일 수 있다[2].

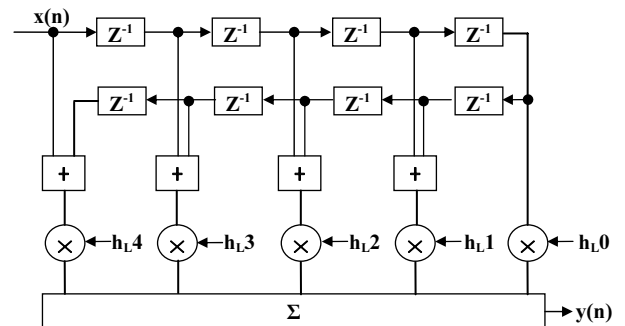
본 논문은 JPEG2000 표준의 이차원 DWT 를 수행하기 위한 저전력이고 속도가 빠르면서도 작은 gate 면적을 갖는 구조를 제안하였다. 이 구조는 line-based 방식이며 일반적인 convolution 방식보다 효율적인 linear phase 구조를 사용하여 multiplier 수를 줄인다. 줄어든 multiplier 의 수만큼 칩의 gate 면적은 줄게 되지만 여전히 많은 gate 면적을 필요로 한다. JPEG2000 표준의 경우 모든 필터 계수들은 고정된 값을 사용하기 때문에 multiplier 의 승수는 항상 상수가 된다. 이 점을 이용하면 각각의 multiplier 들을 면적이 훨씬 더 작은 shift-adder 들로 효율적으로 대체할 수 있다. 전체적인 VLSI 구조는 이러한 방법으로 최적화하였고 제어 회로는 매우 간단한 구조이다.

본 논문의 구성은 2 절에서 제안한 DWT 구조에 대해 설명하고, 제 3 절에서 제안한 구조의 구현 및 실험

결과 및 평가를 포함하고, 제 4 절은 결론이다.

2. 제안한 DWT 필터의 VLSI 구조

그림 1 은 Daubechies 9/7 convolution 방식으로 1 차원 입력 데이터를 low pass 필터의 1D-DWT 의 linear phase 구조이다. 영상 데이터를 한 줄씩 순차적으로 입력 받아 필터링을 한다. 수평 방향의 모든 필터링이 끝난 후, 수직 방향으로 연산하여 한 레벨의 DWT 과정을 마친다. DWT 필터는 5 개의 multiplier, 8 개의 register, 4 개의 adder 와 wallace tree 구조의 최종 adder 로 구성된다.



(그림 1) 1D-DWT low pass 필터의 VLSI 구조

그림 1 의 multiplier 들은 칩의 gate 면적을 크게 차지한다. JPEG2000 표준안에서 웨이블릿 필터 계수들은 고정된 수이기 때문에 multiplier 의 승수는 항상

상수가 된다. 이점을 이용하여 multiplier 들을 shift-adder 로 대체하여 하드웨어 자원을 줄일 수 있다. 먼저 Daubechies 9/7 웨이블릿 필터의 low pass 필터 계수 h_L 과 high pass 필터 계수 h_H 의 절대값들을 16-비트의 이진수로 양자화한다. 이진수내의 '1'들의 위치에 따라 입력 값인 피승수를 shift 하고 더한다. 예를 들어,

$$h_L = 0.2668641184428723_{10} = 00.1000100010100_2,$$

저주파 필터 계수 중 하나인 h_{L1} 은 3 번의 shift 연산과 덧셈기만으로 multiplier 를 대신할 수 있다. 다른 계수들도 같은 방식으로 multiplier 들을 대체한다. 필터 계수를 고정 소수점 방식이며 signed-magnitude 형식을 사용한다. 정수부는 2-비트, 소수부는 14-비트를 할당하여 총 16-비트로 필터 계수를 표현하였다.

<표 1>과 <표 2> 은 JPEG2000 표준에서 사용되는 Daubechies 9/7 필터 계수 및 양자화된 이진수 표현을 나타낸다[3].

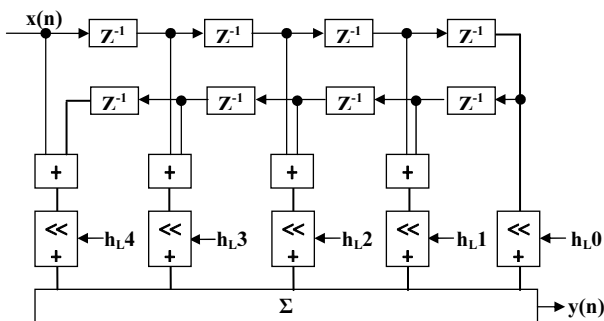
i	Low pass 필터 계수 h_L	
	값	절대값 (15 비트)
± 0	0.6029490182363579	0.10011010010111
± 1	0.2668641184428723	0.01000100010100
± 2	-0.07822326652898785	0.00010100000010
± 3	-0.01686411844287495	0.00010100000010
± 4	0.02674875741080976	0.00000110110110

<표 1> Low pass 필터 계수 및 이진수 표현

i	High pass 필터 계수 h_H	
	값	절대값 (15 비트)
± 0	1.115087052456994	1.00011101011110
± 1	-0.5912717631142470	0.10010111010111
± 2	-0.05754352622849957	0.00001110101111
± 3	0.09127176311424948	0.00010111010111

<표 2> High pass 필터 계수 및 이진수 표현

그림 2 는 1 차원 DWT 의 low pass 필터의 제안한 VLSI 구조이다. 필터계수마다 필요한 multiplier 들을 shift-adder 들로 대체하였다.



(그림 2) 제안한 구조의 low pass 필터의 VLSI 구조

3. 구현 및 실험 결과

기존의 multiplier 를 사용한 필터 구조와 제안한 구조를 비교하기 위하여 먼저 multiplier 를 구현하였다. multiplier 는 부분 곱을 빠르게 하기 위하여 Wallace tree 구조의 고속 adder 를 이용하여 구현하였다[4]. <표 3> 은 Low pass 필터와 high pass 필터를 구현하여

제안한 구조와 gate 면적, 속도, 소비전력 면에서 비교한 결과이다. 모든 실험결과는 Synopsys 사의 design Compiler 를 사용하여 0.35 μ m 공정에서 합성하였다. High pass 필터는 필터 계수가 7 개로 low pass 필터보다 2 개가 적은 반면, gate 면적이 큰 것은 필터 계수 내에 '1'의 개수가 상대적으로 많기 때문이다.

	Low pass		High pass	
	기존 구조	제안 구조	기존 구조	제안 구조
gate 면적 (units)	19,548	5,856	15,524	7,625
지연시간 (ns)	26.66	18.95	25.19	20.77
소비전력 (μ W)	11.36	2.34	9.04	3.69

<표 3> Low pass 와 high pass 필터간의 비교

<표 4> 는 low pass 와 high pass 필터로 구성된 전체 1D-DWT 필터의 기존 구조와 제안한 구조를 비교한 결과이다. 기존의 구조의 비해 제안한 구조의 gate 사용 면적이 38.5% 로 작아졌으며, 지연시간은 기존에 비해 78% 로 빨라졌다. 전력소모는 3.3V 의 동작전압에서 29.4% 로 줄었다.

	기존 구조 (A)	제안 구조 (B)	효율 ($\{1-(A-B)/A\} \times 100$)
총 gate 면적 (units)	35072	13481	38.5%
최대 지연시간 (ns)	26.66	20.77	78%
총 소비전력 (μ W)	20.4	6.03	29.6%

<표 4> 기존 구조와 제안한 구조의 비교

4. 결론

본 논문은 작은 gate 면적만으로 JPEG2000 표준의 DWT 를 수행하는 저전력이며 속도가 빠른 구조를 제안하였다. 기존의 DWT VLSI 설계에서 매우 큰 영역을 차지하는 multiplier 들을 shift-adder 로 대체하여 기존 방식의 gate 사용 면적을 38.5% 로 크게 줄일 수 있었다. 또한 최대 지연시간과 총 소비전력은 각각 기존에 비해 22% 와 70.4% 로 개선되었다.

참고문헌

- [1] Emmanuel C. Ifeachor, Barrie W. Jervis. "Digital Signal Processing : A Practical Approach", Addison-Wesley.
- [2] G. Dillen, B. Georis. "Combined line-based architecture for the 5-3 and 9-7 wavelet transform", IEEE trans. On circuits and Systems for Video Technology, vol.13. no.9. pp. 944-950, 2003.
- [3] ISO/IEC 15444-1, "Information technology-JPEG2000 image coding system-Part 1: Core coding system", 2000.
- [4] T. Kim, W. Jao, and S. Tjiang, "Arithmetic Optimization using Carry-save-Adders", DAC, pp.433-438, 1998.