

Sentaurus를 이용한 FinFET 구현

한지형 · 정학기 · 이재형 · 정동수 · 이종인
군산대학교 전자정보공학부

The FinFET Design using Sentaurus Tool

Jihyung Han · Hakkee Jung · Jaehyung Lee · Dongsoo Jeong · Jongin Lee
School of Electronic and Information Eng., Kunsan National University
E-mail : hkjung@kunsan.ac.kr

요 약

본 연구에서는 Sentaurus를 이용하여 FinFET를 구현 하고자 한다. 소자의 성능 향상과 누설 전류의 최소화를 지속하기 위해, 반도체 제조자들은 10nm 이하의 소자에 적용될수 있는 새로운 트랜지스터 구조를 연구하기 시작했다. 가능성 있는 것 중의 하나인 FinFET가 몇년 전 California-Berkeley 대학에서 발표했는데, 상어 등지느러미 같이 생긴 높고 얇은 채널 모양을 이용하는 소자이다. 이러한 설계에서는 지느러미의 한면에 하나씩 두 개의 게이트가 사용되어 소자의 전환을 쉽게 해준다. FinFET는 이러한 구조 때문에 이중 게이트 MOSFET이라고 불린다. CMOS소자는 수평적으로 구성되지만, FinFET는 수직으로 구성되기 때문에 이러한 접근은 혁신적이다. 하지만 다른 이중게이트 구조와 달리, FinFET는 표준 CMOS공정에서 크게 벗어나지 않는다. 본 연구에서는Sentaurus 시뮬레이션 프로그램을 이용하여 FinFET를 구현하고자 한다.

1. 서 론

기존 웨이퍼 상에 제작되는 CMOS(Complementary Metal Oxide Semiconductor) 소자는 트랜지스터가 2차원 수평적으로 구성되지만, FinFET는 지느러미모양으로 3차원 수직적으로 형성되기 때문에, 보다 미세한 트랜지스터의 형성이 가능하고, 게이트 누설 전류를 줄일 수 있으며, 낮은 소비 전력으로 매우 빠른 소자의 동작이 가능하다는 장점을 가지고 있다. FET 구조는 매우 다양하지만, 그 모든 것에서 공통점은 도핑된 정도에 따라 나타나는 채널의 전자적 특성이다. 최근까지 이러한 트랜지스터 채널 구조는 그대로 둔 채 디바이스의 크기를 계속해서 줄여 왔다. 그러나 그 크기가 줄어들수록 원자들의 수도 역시 줄어들기 때문에 도핑되는 물질의 위치 및 분포가 더욱 중요하게 된다. 한 예로 도핑된 물질의 분포에 따라 미세 선폭 FET의 경우 비대칭 소자 특성이 관찰된다. 이렇게 되면 칩의 신뢰도에 치명적 문제가 생기게 된다. 이때 도핑량을 증가 시켜 소자 특성을 개선

시키는 방법이 있기는 하지만, 이렇게 되면 누설 전류가 증가함으로써 원하지 않는 전도 경로가 만들어지게 된다. 이와 같이 소자의 크기가 더욱 줄어들수록 게이트의 누설전류는 매우 중요한 문제로 부각된다.

FinFET는 부도체 위의 실리콘(SOI:Silicon On Insulation) 기술을 사용하여 얇고, 도펀트(dopant)로부터 무관한 실리콘 채널을 만들 수 있게 한다. 이에 따라 소위 공핍영역의 생성 없이, 채널의 모든 전자적 특성이 두 개의 트랜지스터 게이트를 걸쳐 가해지는 전기장에 의하여 변화한다. 이때 도펀트 레벨(dopant level)문제를 해결하기 위해서는 채널 두께의 제어 및 균일성 확보가 매우 중요하다. 본 연구에서는 Sentaurus 시뮬레이션 프로그램을 이용하여 FinFET를 구현 할 것이다.

II. 시뮬레이션 과정 / 방법

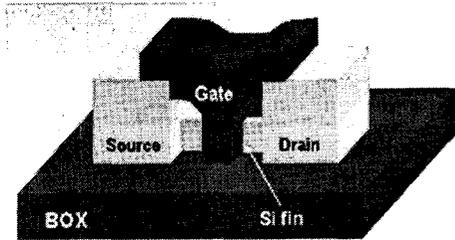


그림 1. FinFET의 구조

그림 1은 본 연구에서 구현하고자 하는 FinFET 구조이다.

그림 1을 그리기 위해서 가정 첫 번째 단계로는 각 물질(Silicon, SiO₂, Poly Si, Si₃N₄)의 좌표와 지역 이름을 정해야 한다. 여기서의 좌표는 각 물질들의 크기와 위치가 지정이 된다. 이 연구에서의 좌표와 이름은 표 1과 같다.

표 1. 물질의 이름과 좌표

Material	Region Name	Position(X Y Z)
SiO ₂	BOX	(0 0 -40), (90 90 0)
Silicon	Channel	(0 0 0), (35 10 20)
Si ₃ N ₄	ChMask	(0 0 20), (35 10 35)
Silicon	Source Drain	(35 0 0), (70 70 40)
Si ₃ N ₄	SDMask	(35 0 40), (70 70 70)
Oxide	Gox	(0 0 0), (35 12 37)
Si ₃ N ₄	Spacer	(15 0 0), (35 70 65)
Poly Si	Gate	(0 0 0), (45 60 80)

그다음 과정은 콘택 과정이다. 콘택을 함으로써 물질의 단면에 색깔과 무늬로 표시가 된다. 색깔은 0 0 0의 검은색부터 1 1 1의 흰색으로 나타내어진다. 0과 1사이의 수를 지정할 수 있는데 이 수의 변화로 인해서 색깔의 변화를 줄 수 있다.

표 2. 콘택의 색깔과 무늬

Name	Color	Edge Thickness	Face Pattern
gate	1 0 0	4	==
sub	1 0 0	4	
drain	1 0 0	4	##
source	1 0 0	4	

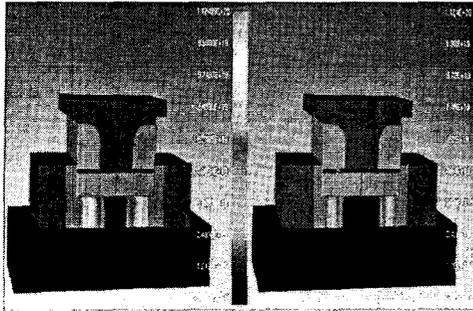
물질의 단면에 콘택 이름을 지정하여 Contact face(s)를 하게 되면 콘택 이름에 대한 면의 모양이 지정해준 모양으로 바뀌게 된다. 그다음 과정으로는 지정된 영역에 일정한 불순물의 분포와 지역을 지정하는 과정이다. 이 과정을 통해서 지정된 지역에 도핑의 농도를 조정할 수 가 있다. 예를 들어 실리콘 부분을 보면 이름은 Boron_BG_PL이고 물질에서 실리콘을 지정한 후 지정된 영역에 일정한 불순물의 분포를 설정하는 정의에서의 이름은 Boron_BG, 불순물 이온은 Boron Active Concentration 이다. 농도의 입력값은 1e+16값으로 지정을 해 주었다.

Mesh를 지정하는 과정은 물질의 단면에 그물과 같은 모양으로 중요한 부분은 좀더 세밀하고 많은 그물 모양이 만들어지고 중요성이 조금 떨어지는 부분은 좀 더 넓게 만들어 진다. 실리콘의 Mesh을 보게 되면 Placement 이름은 Si_Mesh_PL, 물질은 실리콘, Refinement Definition 이름은 Si_Mesh, Max Element Size(X = Y =Z =0.1), Min Element Size(X = Y =Z =0.05)로 설정을 했다.

이제 마지막으로 해야 할 부분은 Defining a Multibox Mesh Strategy in a Refinement Window 부분으로써 이부분에서는 Placement 이름은 ChannelMB_PL, Multibox Definition의 이름은 ChannelMB_Def이다. 여기에서 X, Y, Z의 Max는 0.1 Min은 0.05, Ratio는 X = 0, Y= 0, Z = -1.5 이다

III. 시뮬레이션 결과

그림 2에서는 도핑의 농도의 값에 대한 색깔의 변화와 면적의 크기를 보여준다. 그림에 나와 있는 것처럼 도핑의 농도에 따라서 색이 변화하는걸 알 수 있다. 여기에서는 채널 부분의 변화를 표시하였다. 첫 번째 그림에서는 실리콘 부분에 불순물은 붕소를 투입하고 도핑의 농도를 1e+16로 지정을 한 그림이다 두 번째 그림은 불순물의 내용은 먼저 그림과 같은 붕소로 정하고 도핑의 농도를 1e+18로 조정을 한 그림이다. 이 두 개의 그림을 비교하게 되면 도핑의 농도에 따라서 면적의 크기가 변화하는걸 알 수 있다.



도핑의 농도 1e+16 도핑의 농도 1e+18

그림 2. 도핑한 3차원 FinFET

그림 3에서는 Mesh를 표현한 그림이다. Mesh는 앞서도 언급했지만 물질의 단면에 그물과 같은 모양으로 표시하는걸 의미한다. 단면에 표시되어 있는 그물과 같은 모양들은 전체가 아닌 각각 다른 하나의 조각으로 표현할 수 있는데 하나의 조각마다 좌표와 도핑의 농도 등 각 조각의 특성을 알 수 있다. 채널과 같은 중요한 부분은 많은 조각을 내어 정확히 볼 필요성이 있다. 이때 채널부분의 내용을 더 세밀한 부분을 원하고자 하면 Mesh를 선정할 때 값을 변화하면 좀 더 세밀한 조각으로 나타낼 수 있다.

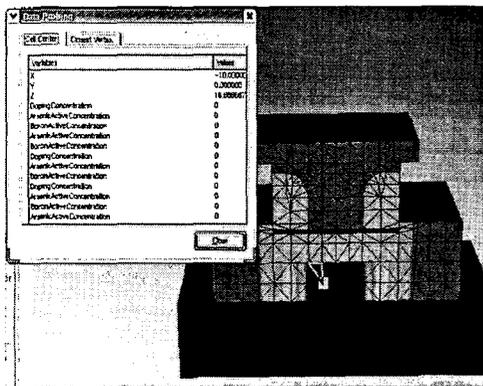


그림 3. mesh한 3차원 FinFET

그림 4는 FinFET의 중앙 부분을 잘라내어 FinFET의 단면구조를 나타낸 그림이다. 그림에서 보여지는 것과 같이 게이트와 채널이 수직적으로 나타내어짐을 알 수 있다.

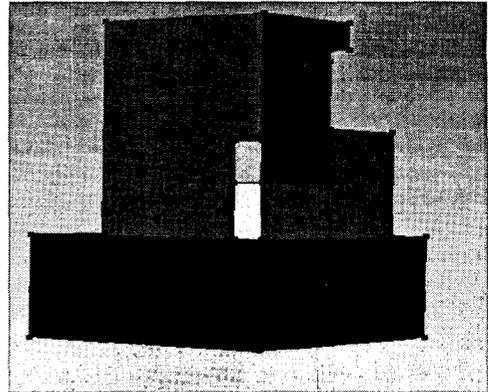


그림 4. FinFET의 단면

IV. 결 론

이 연구에서는 Sentaurus를 이용하여 FinFET를 구현하고자 하였다. 도핑의 농도를 조절하여 색깔을 변화할 수 있고, 도핑의 농도의 차이에 따라서 도핑이 되는 부분의 면적이 변화하는걸 알 수 있었다. Mesh 부분을 이용하여 각 물질의 전체가 아닌 한 부분의 대한 물질에 대한 도핑의 농도와 좌표 등을 알 수 있었다. 그리고 구조의 단면을 나타냄으로써 FinFET의 구조가 3차원 수직적으로 나타내 이점을 알 수 있었다. 하지만 이 FinFET가 실제로도 미세한 트랜지스터의 형성이 가능하고, 게이트 누설 전류를 줄일 수 있으며, 낮은 소비 전력으로 매우 빠른 소자의 동작이 가능하다는 것에 대한 연구는 계속 되어야 할 것이다.

참고문헌

- [1] Isaac Lauer, "Double-Sided CMOS Fabrication Technology," B.S. Thesis, Electrical Engineering The Pennsylvania State University, June 1999.
- [2] Sentaurus TCAD Training manual Sentaurus Structure Editor.
- [3] Wen-Chin Lee et al., "FinFET - A self - Aligned Double-Gate MosFET Scalable to 20nm," IEEE Trans. on Electron Devices, vol. 47, no. 12, December 2000.
- [4] Jerry G. Fossum et al., "Nanoscale FinFET with Gate-Source / Drain underlap," IEEE Trans. on Electron Devices, vol. 52, no. 1, January 2005.