

An Overview of High Performance 3D-WLP

김은경[†]

서울산업대학교
(eunkyung@snut.ac.kr[†])

3D technologies offer remarkable opportunities compared to conventional 2D scaling. The most prominent advantage among others is its performance. 3D technologies enhance a device performance with improving its bandwidth, RC Delay and 3D geometrical routing and placement. In particular as the maturity of 3D technology progresses with the integration of divergent process flows, it can extensively improve performance and new applications will become more viable with the simplified packaging requirements. 3D-WLP(wafer level packaging) is one of many options of 3D technologies and can be categorized as a system-in-a-package(SIP) solution and it is of great interest to many researchers. The processing and material challenges and opportunities of 3D -WLP will be reviewed.

Keywords: 3D technology, Wafer stacking, WLP

적층 Package에서 요구되는 재료의 특성

변광유[†]

하이닉스 반도체 제품개발본부 Package연구소
(bkyo@hynix.com[†])

적층 패키지는 기존의 단일칩 패키지와는 다르게 수직으로 칩을 쌓게 되므로, 동종 칩의 적층으로 저장밀도를 높이거나 정보 저장기능, 논리연산기능의 칩을 쌓아 복합 기능의 패키지를 제조함으로써 적용되는 최종제품을 보다 소형화, 경량화, 다기능화 할 수 있다. 그리고 기존에 개발된 반도체 칩을 조합하여 패키징 하는 것이므로 빠른 개발기간을 가지며, 기존의 설비를 이용함으로써 최종제품의 부가가치를 향상시키고 다양한 고객의 요구에 대응이 용이하고 다양한 제품군을 통해 신규시장을 창출하는 효과를 가진다. 본 논문에서는 적층 패키지에서 요구되는 기술과 재료에 대한 고찰을 통하여 적층 패키지에 대한 이해를 높이려 한다.

Keywords: 적층, package