

H.264 의 실시간 부호화를 위한 정수 단위 화소 움직임 예측 모듈 구조

신지용*, 이인직*, 김신덕*
*연세대학교 컴퓨터과학과
e-mail : shin.jiyong@gmail.com

Hardware Module for Real-time Integer Pel Motion Estimation of H.264

Ji-Yong Shin*, In-Jik Lee*, Shin-Dug Kim*
*Dept. of Computer Science, Yonsei University

요 약

본 논문에서는 정수 단위 화소 움직임 예측(ME: Motion Estimation)을 위한 Unsymmetrical-cross Multi-Hexagon-grid Search (UMHexagonS) 알고리즘을 기반으로, CIF 크기의 영상을 실시간으로 부호화 하기 위한 정수 단위 화소 움직임 예측 모듈을 제안한다. 제안하는 정수 단위 화소 움직임 예측 모듈은 32 개의 1 차원 연산유닛(PE: Processing Element) 배열, 데이터 선택/재배열 유닛, 내부버퍼, 그리고 트리 구조의 덧셈기로 구성되며, CIF 크기의 영상 100 프레임을 부호화 하기 위한 클럭 사이클을 계산하여 실험결과로 제시하였다. 그 결과 제안하는 구조는 400MHz 의 클럭 속도에서 CIF 크기의 영상을 실시간으로 부호화 할 수 있다.

1. 서론

최신의 영상 부호화 표준인 H.264 는 기존의 부호화 표준들과 비교하여 고화질의 영상과 높은 부호화 효율을 이루기 위해 가변크기블록, 복수참조 영상과 같은 움직임 예측 방법들을 추가하였다[1]. 그러나 이러한 ME 방법들을 추가함으로써 ME 과정이 전체 부호화 시간의 60~80%를 차지하게 되었고[2], H.264 를 실시간 응용에 적용하기 위한 연구로 다양한 고속 움직임 예측(FME: Fast Motion Estimation) 알고리즘과 하드웨어 구조가 제안되고 있다[2][3][4].

UMHexagonS 알고리즘은 앞서 언급했던 FME 알고리즘들 가운데 하나로, 움직임벡터(MV: Motion Vector) 예측, 예측된 SAD(Sum of Absolute Difference)값을 이용한 조기중단, 그리고 다양한 검색형태를 이용하여 기존의 전역검색알고리즘의 10%까지 연산량을 줄이고 있다[2]. 그러나 UMHexagonS 알고리즘을 이용하더라도, 비디오 영상의 실시간 부호화를 위해서는 이에 적합한 하드웨어 구조가 필수적으로 요구된다. 따라서 본 논문에서는 32 개의 1 차원 연산유닛 배열, 데이터 선택/재배열 유닛, 내부버퍼, 그리고 트리 구조의 덧셈

기로 구성된 UMHexagonS 알고리즘을 기반으로 하는 움직임 예측 모듈을 제안한다. 제안하는 구조를 이용하면 400 MHz 의 클럭 속도에서 CIF 영상의 실시간 부호화가 가능하다.

본 논문의 2 장에서는 UMHexagonS 알고리즘에 대해 간략히 설명하고, 3 장에서 제안하는 움직임 예측 모듈에 대해 설명하도록 한다. 4 장에서는 여러 벤치마크에 대한 수행성능을 클럭 사이클과 부호화 시간을 이용하여 결과로 제시하였고, 5 장에서는 결론에 대하여 논하도록 하겠다.

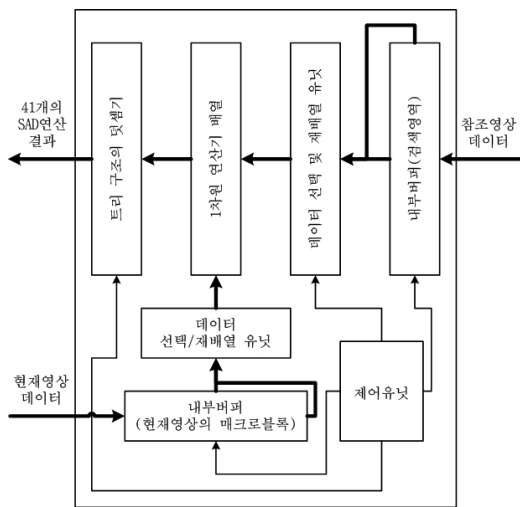
2. UMHexagonS 알고리즘

UMHexagonS 알고리즘은 최대 다섯 단계가 순차적으로 수행되도록 구성되어 있다. 우선 검색 시작점 결정을 위한 MV 예측을 수행하고, 결정된 검색 시작점을 중심으로 하여 Unsymmetrical-cross 검색을 수행한다. 위의 두 단계에서는 각각 예측된 SAD 값을 이용하여 조기 중단을 수행함으로써 SAD 연산량을 줄일 수 있다. 이후에는 비정형적인 움직임의 처리를 위해 각각 Uneven Multi-Hexagon-Grid, Extended Hexagon, 그리고

Small Diamond 형태의 3 단계 검색을 수행한다. 그리고 각 단계에서, 최종적으로 선택된 MV 는 다음 단계의 검색 시작점으로 이용된다. 이러한 이유로 UMHexagonS 알고리즘에서는 각 단계별 병렬성을 이용하기에는 어려움이 있으므로, 본 논문에서는 각각의 단계에서의 SAD 연산에 대한 병렬성을 이용하였다.

3. 제안하는 구조

본 논문에서는 각 단계에서의 SAD 연산에 대한 병렬성을 이용한 움직임 예측 모듈을 제안하고자 한다. 제안하는 구조는 다섯 개의 모듈을 기반으로 구성되며, (그림 1)은 제안하는 움직임 예측 모듈의 구조를 보여준다.



(그림 1) 제안하는 움직임 예측 모듈 구조

3.1 내부 버퍼

움직임 예측을 수행하기 위해서는 기본적으로 예측을 수행할 영상의 매크로블록 데이터와 참조영상의 검색 영역에 대한 데이터가 필요하다. 그러므로 제안하는 구조에서는, 현재 영상의 가변크기 매크로블록과 ± 16 크기의 검색영역 데이터를 위해 각각 16x16 과 48x48 크기의 Embedded DRAM 이 이용된다[5][6].

각 버퍼는 가로 또는 세로로 접근이 가능하며, 현재 영상의 가변크기 매크로블록을 위한 버퍼와 참조영상의 검색영역에 대한 버퍼는 각각 16 bytes 와 48 bytes 단위로 데이터 선택/재배열 유닛에 데이터를 공급한다.

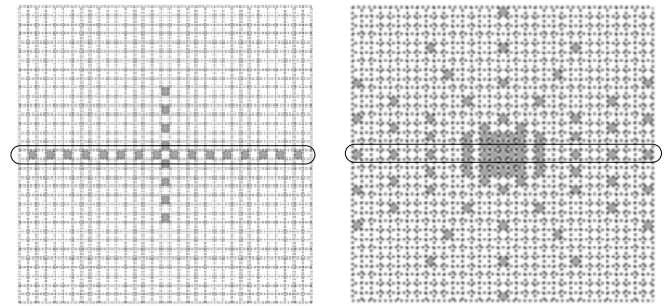
3.2 연산유닛 배열 및 데이터 선택/재배열 유닛

제안하는 구조에서는 SAD 연산을 수행하기 위해 32 개의 PE 로 구성된 1 차원 배열 구조를 이용한다. 각 PE 는 현재영상의 매크로블록의 화소와 참조영상의 검색영역의 정수단위 화소를 입력으로 하여 두 값의 차를 연산하고, 그 결과를 트리 구조의 덧셈기로 전달하는 역할을 담당한다. 그러므로 연산유닛 배열은 검색영역의 32 개 정수 단위 화소를 동시에 처리할 수 있다.

데이터 선택/재배열 유닛은 내부버퍼로부터 전달받

은 정수단위 화소들 가운데 SAD 연산에 필요한 화소를 선택하고 재배치 하여 연산유닛 배열에 전달하는 역할을 수행한다.

본 논문에서는 내부 버퍼로부터 연산유닛 배열로의 데이터 전달과 SAD 연산이 1 cycle 에 이루어 진다고 가정한다. 그러므로 4x4 크기의 매크로블록에 대한 움직임 예측을 수행하는 경우에는, 가로 또는 세로방향의 8 개의 검색 점을 기준으로 하는 8 개의 4x4 크기 매크로블록에 대한 SAD 연산을 4 cycles 만에 완료하게 된다. 같은 방식으로 SAD 연산을 수행하면, 16x16 과 8x16 크기의 매크로블록은 2 개의 검색 점이 동시에 처리 가능하고, 16x8, 8x8, 그리고 4x8 크기의 매크로블록에 대해서는 동시에 4 개의 검색 점이 처리 가능하며, 8x4 크기의 매크로블록에 대해서는 4x4 크기의 매크로블록과 동일하게 8 개의 검색 점에 대해 동시 처리가 가능하다.



(그림 2) 각 단계별 연산형태 및 순서

(그림 2)는 각 단계에서의 연산순서를 나타낸다. (그림 2)(a)(b)에서는 타원으로 표시된 가로방향의 검색 점을 제외한 모든 검색 점은 세로방향으로 검색이 수행된다. 이러한 연산 수행방식은 가로 또는 세로방향으로 한번에 처리해야 하는 검색 점의 개수가 다수인 Unsymmetrical-cross 와 Uneven Multi-Hexagon-Grid 검색단계에 대해서는 효율적인 연산수행이 가능하다.

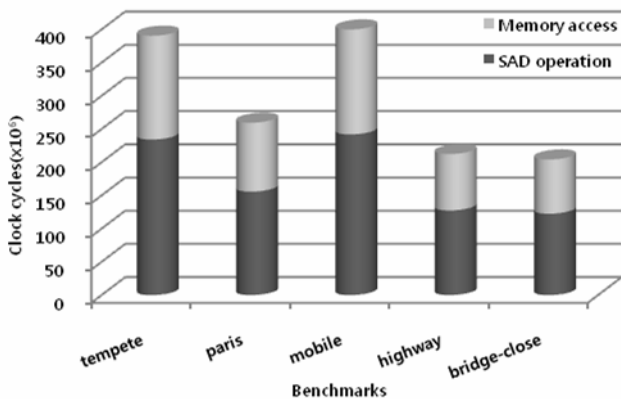
3.3 트리 구조의 덧셈기

트리 구조의 덧셈기는 일반적인 부호기 구조에 적용된 것과 유사하게 동작한다[7][8]. 연산유닛 배열의 SAD 연산에 대한 32 개의 결과값을 전달받게 되면, 8 개의 레지스터가 1x4 크기의 정수단위 화소에 대한 SAD 값을 순차적으로 누적한다. 같은 방법으로 총 4 회에 걸쳐 전달받은 SAD 값을 누적함으로써 8 개의 4x4 크기의 매크로블록에 대한 SAD 값을 생성하게 된다. 이렇게 생성된 8 개의 4x4 크기의 매크로블록에 대한 SAD 값들은 4 개씩 그룹 지어진 32 개의 레지스터의 각 그룹에 하나씩 저장되고, 현재 검색을 수행중인 매크로블록의 크기에 따라 16~32 개의 4x4 크기의 매크로블록에 대한 SAD 값이 생성된다. 그리고 각각의 4x4 크기의 매크로블록에 대한 SAD 값을 조합하여 현재 검색을 수행중인 매크로블록의 크기에 해당하는 SAD 값을 생성하고, 결과적으로 하나의 16x16 매크로

블록에 대한 가변블록 개수에 1 대 1 대응되는 41 개의 레지스터에 저장되어 있는 기존의 SAD 값과 비교연산을 수행하여 선택적으로 SAD 값을 저장함으로써, 최종적으로 현재영상의 16x16 크기의 매크로블록에 대한 41 개의 가변블록 SAD 값을 생성할 수 있다.

4. 실험결과

본 논문에서는 UMHexagonS 알고리즘의 각 단계를, 제안하는 움직임 예측 모듈에 적용하였고, 일반적으로 많이 사용되는 5 개의 CIF 크기의 벤치마크 영상 각각에 대하여 100 프레임을 부호화 하는데 필요한 클럭 사이클을 계산하였다. 또한, 다섯 프레임의 참조영상을 적용하기 위하여 제안하는 움직임 예측 모듈 5 개를 각 참조영상에 대하여 병렬적으로 구성하였다.



(그림 3) 실험 결과(클럭 사이클)

(그림 3)은 각 벤치마크를 부호화 하는데 필요한 클럭 사이클 수를 나타내며, 각 벤치마크 영상의 복잡도에 따라 부호화를 위해 필요한 클럭 사이클에 차이가 발생하는 것을 알 수 있다.

100 프레임의 영상을 실시간으로 부호화 하기 위해서는 약 3.3 초 이내에 모든 부호화 작업을 완료해야 한다. 그런데 전역검색 알고리즘에서 다섯 프레임의 참조영상을 적용하는 경우, 움직임 예측이 차지하는 시간은 전체 부호화 과정의 약 80%이고, UMHexagonS 알고리즘은 전역검색 알고리즘의 움직임 예측 수행시간을 90% 가량 단축하였으므로, 전체 부호화 과정에서 움직임 예측부분이 차지하는 시간은 약 30% 이다. 따라서 실질적으로 100 프레임의 영상은 1 초 이내에 모든 부호화 작업을 완료해야 하고, 제안하는 구조는 400MHz 의 클럭 속도에서 실시간 부호화 작업을 수행할 수 있다.

5. 결론

본 논문에서는 UMHexagonS 알고리즘을 기반으로, 32 개의 1 차원 연산유닛 배열, 데이터 선택/재배열 유닛, 내부버퍼, 그리고 트리 구조의 덧셈기로 구성된 움직임 예측 모듈을 제안하였다. 제안하는 구조를 이용하면 400 MHz 의 클럭 속도에서 CIF 영상의 실시간 부호화가 가능하였다.

참고문헌

- [1] Thomas Wiegand, Gary J. Sullivan, Gisle Bjøntegaard, and Ajay Luthra. "Overview of the H.264 Video Coding Standard" IEEE Transactions On Circuits And Systems For Video Technology, Vol. 13, No. 7, July 2003
- [2] Zhibo Chen, Peng Zhou, and Yun He. "Fast Integer Pel and Fractional Pel Motion Estimation for JVT" JVT-F017.doc, 6th Meeting: Awaji, Island, JP, 5-13 Dec., 2002
- [3] Xiaozhong Xu, and Yun He. "Modification of Dynamic Search Range for JVT" JVT-Q088.doc, 17th Meeting: Nice, FR, 14-21 Oct., 2005
- [4] Libo Yang, Keman Yu, Jiang Li, and Shipeng Li. "An effective variable block-size early termination algorithm for H.264 video coding" IEEE Transactions on Circuits and Systems For Video Technology, Vol. 15, No. 7, pp. 784-788, June 2005
- [5] Ichiro Sase, Nobuyuki Shimizu, and Takashi Yoshikawa. "Multimedia LSI accelerator with embedded DRAM" IEEE Micro, Vol. 17, No. 6, pp. 49-54, Nov. 1997
- [6] Masafumi Takahashi, Tsuyoshi Nishikawa, Mototsugu Hamada, Toshinari Takayanagi, Hideho Arakida, Noriaki Machida, Hideaki Yamamoto, Toshihide Fujiyoshi, Yoko Ohashi, Osamu Yamagishi, Tatsuo Samata, Atsushi Asano, Toshihiro Terazawa, Kenji Ohmori, Yoshinori Watanabe, Hiroki Nakamura, Shigenobu Minami, Tadahiro Kuroda, and Tohru Furuyama. "A 60-MHz 240-mW MPEG-4 videophone LSI with 16-Mb embedded DRAM" IEEE Journal of Solid-State Circuits, Vol. 35, No. 11, pp. 1713-1721, Nov. 2000
- [7] Choudhury A. Rahman, and Wael Badawy. "UMHexagonS Algorithm Based Motion Estimation Architecture for H.264/AVC" Fifth International Workshop on System-on-Chip for Real-Time Applications, 2005
- [8] Yu-Wen Huang, Tu-Chih Wang, Bing-Yu Hsieh, and Liang-Gee Chen. "Hardware Architecture Design for Variable Block Size Motion Estimation IN MPEG-4 AVC/JVT/ITU-T H.264" International Symposium on Circuits and Systems, 2003