

전류모드 FFT LSI용 Voltage to Current Converter 설계

Design of Voltage to Current Converter for current-mode FFT LSI

김성권¹, 홍순양², 전선용², 배성호³, 조승일³, 이광희³, 조하나³

¹ 전남 목포시 죽교동 571-2 목포해양대학교 해양전자통신공학부

E-mail: skkim12632@mmu.ac.kr

² 서울시 강남구 역삼동 742-23 도원빌딩 Tomato LSI.

³ 전남 목포시 죽교동 571-2 목포해양대학교대학원 전자통신공학과

요 약

저전력 OFDM(orthogonal frequency division multiplexing) 시스템용 FFT(Fast-Fourier-Transform) LSI를 저전력 동작을 시키기 위해서 FFT LSI는 current-mode 회로로 구현되었다. Current-mode FFT LSI에서, VIC(Voltage-to-current converter)는 입력 전압 신호를 전류로 바꾸는 first main device이다. 저전력 OFDM을 위해 FFT LSI와 VIC가 한 개의 칩과 결합되는 것을 고려하면, VIC는 전력 손실은 낮고, VIC와 FFT LSI 사이에서의 DC offset 전류는 최소인 작은 크기의 chip으로 설계되어야 한다. 본 논문에서는 새로운 VIC를 제안한다. 선형 동작구간을 넓히고 DC offset 전류를 대폭 감소하는 방법을 제시하였다. VIC는 0.35[um] CMOS process로 구현되었으며, 시뮬레이션 결과에 따르면 제안된 VIC는 current-mode FFT LSI와 0.1[uA] 미만의 매우 작은 DC offset 전류, 1.4[V]의 넓은 선형구간을 갖으며, 저전력으로 동작한다.

Key Words : Voltage-to-current converter(VIC), Current-mode fast-Fourier-transform(FFT) LSI, Current-mode circuits, Current-mode analog signal processing

1. 서 론

54Mbit/s의 고속 데이터 속도 달성을 위한 유망 기술인 OFDM(Orthogonal frequency division multiplexing)은 무선이동통신 속에서 발전했다. OFDM의 기본적인 개념은 고속의 data stream을 다수의 subcarrier에 많은 stream으로 나누어 동시에 전송하는 것이다. 각 subcarrier의 전송속도는 느려지기 때문에 symbol duration은 길어지고, 다중경로에 의한 지연 확산 때문에 분산시간의 상대적인 양은 감소한다[1].

OFDM 시스템은 변조 기술 또는 다중화 기술로 정의될 수 있다. OFDM 변조기술은 수신기의 FFTs(Fast-Fourier Transforms)와 송신기의 IFFTs(Inverse FFTs) 같은 복소수 신호처리를 통해 구현된다[2].

그림 1은 기존의 OFDM 송신기와 수신기의 블록 다이어그램을 나타낸다. P/S, S/P, A/D, D/A 블록들은 각각 parallel-to-serial converter, serial-to-parallel, analog-to-digital, digital-to-analog를 나타낸다. OFDM 송신기에서, OFDM 신호는 baseband에서의 IFFT 계산에 의해 생성되고 라디오 주파수대역으로

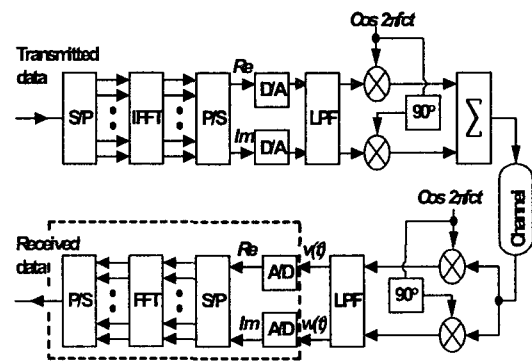


그림 1. OFDM 송수신단의 블록 다이어그램

up-convert 된다. 그러면, convert된 OFDM 신호는 대전력 증폭기에서 증폭되고 송신된다. OFDM 수신기에 수신된 OFDM 신호는 baseband 신호로 down-convert 된다. 수신된 OFDM 신호는 FFT 계산에 의해 송신되었던 본래의 데이터로 복구된다. OFDM 시스템을 사용하는 무선 이동 통신 시스템에서, OFDM 신호의 복조를 위해 수신기 모듈에서는 첫 번째로 저전력

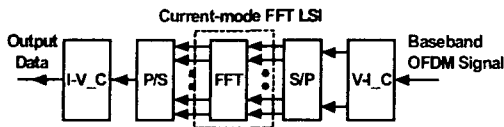


그림 2. Current-mode FFT LSI의 블록 다이어그램

baseband 신호 처리를 해야 한다. 일반적으로 FFT LSI는 OFDM 신호를 복조하기 위한 main device이고,

DSP(Digital Signal Processing)로 충분히 구현되었다. 그러나 DSP로 구현된 FFT LSI는 100[mW] 이상의 큰 전력을 필요로 하며[4], DSP로 구현된 FFT LSI의 전력 소비는 OFDM 시스템을 사용하고 있는 무선 이동 통신 시스템의 단점이다.

Baseband 수신기 모듈의 전력 소비를 줄이기 위해, current-mode 아날로그 회로들로 구현되는 current-mode FFT LSI를 제안한다. Current mirror에 의존하는 current-mode 회로는 스위치 또는 sampled current type으로 사용되고, 일반적으로 CMOS (complementary metal-oxide silicon) 기술이 적용된다[5]. 예를 들어, current-mode 회로에서 summation circuit은 multiple wired-or input과 함께 simple current mirror로 설계된다. 왜냐하면 current mirror의 입력은 비교적 낮은 임피던스 노드이고, signal ground로 고려될지도 모르기 때문이다[6, 7]. Summation은 짧은 계산 시간 동안 추가되는 전류량으로 수행 된다. 더욱이 current-mode 회로는 동작 주파수에 독립적으로 일정한 전력 소비 특성을 가진다. Current-mode 회로들의 단순한 구조와 짧은 계산 시간에 기인하여 current-mode FFT LSI의 전력 소비는 낮아진다.

그림 2는 current-mode FFT LSI를 적용한 baseband 수신기 모듈을 보여준다. VIC와 IVC는 각각 voltage-to-current converter와 current-to-voltage converter를 나타낸다. Current-mode FFT LSI를 적용한 baseband 수신기 모듈은 OFDM 무선 통신 시스템을 위해 저전력 모듈의 전위를 가진다.

Current-mode FFT LSI의 적용에서, VIC는 입력 전압 신호를 전류로 바꾸는 first main device이다. 연산 증폭기를 사용하는 기존의 VIC는 전력 소비 및 VIC의 출력과 입력신호가 없는 상황에서 current mirror 입력 사이의 DC offset 전류가 크다는 2 가지 문제점이 있다. 더욱이 current-mode FFT LSI와 저전력 baseband 수신기 모듈을 위한 VIC가 포함되는 single chip으로 설계하기 위해서, VIC는 반드시 작은 chip 사이즈, 저전력, VIC와 current-mode FFT LSI 사이의 최소 DC offset 전류 등의 조건으로 설계되어야 한다.

본 논문에서는 current-mode FFT LSI의 설계를 소개하고, current mode 아날로그 신호 처리를 위한 새로운 VIC를 제시하고자 한다.

2. Current Mode 신호처리와 Voltage to Current Converter

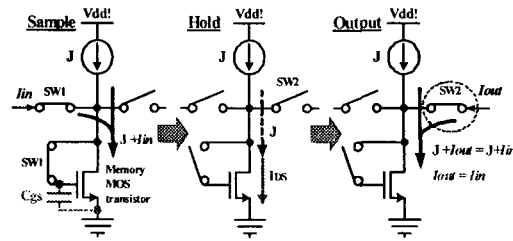


그림 3. CM(Current Memory) 회로의 동작

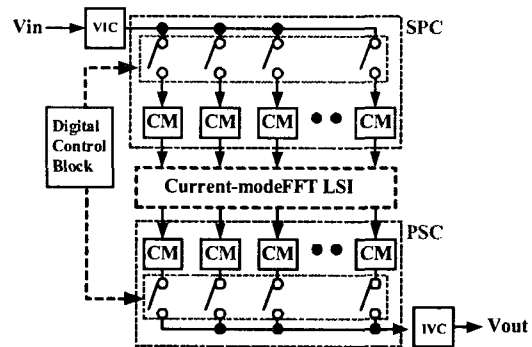


그림 4. SPC와 PSC를 포함하는 current-mode FFT LSI의 블록 다이어그램

Current mirror에 의존하는 current-mode 회로들은 스위치 또는 샘플링과 아날로그 전류 입력 신호를 기억하기 위한 표본화 된 전류 형태로 사용되며, 일반적으로 CMOS 기술로 구현된다.

그림 3은 CM(current memory) circuit의 동작을 보여준다. CM은 아날로그 전류 신호를 표본화하고 기억하기 위해 사용된다. 입력신호는 기생 캐패시터를 이용한 gate-source 전압으로 표본화되어 기억된다. Sample mode, hold, output은 control switch SW1과 SW2의 동작으로 구현된다[8]. 그림 4는 SPC(Serial to Parallel Converter)와 PSC(Parallel to Serial Converter)에 current-mode FFT LSI를 적용한 다이어그램을 나타낸다. SPC와 PSC는 CM 회로와 디지털 제어 신호를 발생시키는 digital block으로 설계된다. VIC와 입력된 아날로그 전압 신호는 아날로그 전류 신호로 변환한다. 이것은 SPC block에서 CM 회로로 표본화되고 기억된다. CM이 표본화 된 입력 아날로그 전류 신호들로 가득 차 있을 때, 표본화된 전류신호는 지정된 clock time에 current-mode FFT LSI로 병렬 전송된다. FFT LSI의 계산 후에, 병렬 출력 신호는 PSC block로 병렬 송신된다. PSC block의 동작은 SPC 동작과 반대이다. 즉, PSC의 출력은 디지털 제어 신호로 regular sequence에서 다음 block으로 보내진다.

Current-mode FFT LSI에서, VIC의 역할은 입력 전압 신호를 전류로 바꾸는 것이다. VIC의 설계조건을 연구하기 위해 연산 증폭기를 사용하는 기존의 VIC가 current mode FFT LSI에서 사용된다면, 연산증폭기의 산리순수 때문에 생기는 큰 전력 소비, VIC의 출력과 입력 신호가 없는 상황에서 current-mode FFT LSI의

current mirror 입력 사이의 DC offset 전류 등 많은 문제점들이 있는 것을 알 수 있다. DC offset 전류는 current-mode FFT LSI에서 current mirror의 0이 아닌 입력 임피던스와 기존의 VIC에서 연산증폭기의 유한한 출력 임피던스에 의해 생성되며, 결과적으로 신호 처리에 있어서 에러가 발생하게 된다.

더욱이 current-mode FFT LSI와 저전력 baseband 수신기 모듈을 위한 VIC를 포함하는 single chip을 설계하기 위해, VIC는 작은 chip 사이즈, 낮은 전력 손실, 입력전압과 출력전류의 광범위한 선형관계, VIC와 current-mode FFT LSI 사이 최소의 DC offset 전류 등의 조건들로 설계되어야 한다.

3. 새로운 VIC 및 Bias 조정

새로운 VIC는 그림 5에 나타난 바와 같다. current-mode FFT LSI의 입력 단계는 주로 current mirror 회로로 설계되기 때문에 기본적으로 VIC는 current mirror 구조로 설계된다. M_1 과 M_2 의 입력 단계는 wide input dynamic range를 위해 source 케환 (M_3, M_4)과 함께 MOS differential pair로 설계된다. 입력부의 차등전압을 이용하여 M_1 과 M_2 를 동작시켜 출력을 전류로 변환한다. 차등전압과 전류원 I_{SS} 에 의해 M_1 과 M_2 에 흐르는 전류 I_{D1}, I_{D2} 가 결정이 되고, M_5 와 M_6, M_7 와 M_8 의 gate폭인 W 를 1:K로 조정하면 식 (1)과 (2)에 의해 전류가 K배 만큼 증가된다.

$$I_{D,2} = \frac{W}{2L} \mu C_{ox} (V_{GS1,2} - V_{th})^2 \quad (1)$$

$$I_{D,4} = \frac{K \cdot W}{2L} \mu C_{ox} (V_{GS3,4} - V_{th})^2 \quad (2)$$

M_{12} 와 M_{13} 의 current mirror의 구조 때문에 같은 전류가 흐른다. 그렇기 때문에 출력전류는

$$I_{OUT} = I_{D4} - I_{D3} = K(I_{D2} - I_{D1}) = K \cdot \Delta I \quad (3)$$

와 같다. $M_8, M_{10}, M_{13}, M_{14}$ 의 출력 단계는 높은 출력 임피던스를 얻기 위해 cascaded current mirror 구조로 설계된다. 또한 current-mode FFT LSI는 cascaded current mirror의 형태로 이루어져 있으므로 VIC도 cascaded 결합 구조로 하고 current-mode FFT LSI의 바이어스 전압으로 조정을 하면 VIC와 current mirror의 입력전류 사이의 DC offset 전류는 대폭 감소한다.

VIC의 선형적 동작구간을 늘리기 위해 그림 5와 같이 VIC 다음에 cascaded current mirror를 연결한다. VIC와 cascaded current mirror의 차이가 출력전류와 같아야 하므로, $M_{15}, M_{17}, M_{19}, M_{21}$ 이 전류의 차를 결정하는 M_6, M_9, M_{11}, M_{12} 와 같이 동작을 되도록 바이어스를 조정한다.

그리고 current-mode FFT LSI의 current mirror 입력 사이의 DC offset 전류를 줄이기 위해 cascaded current mirror의 바이어스 전압을 current-mode FFT LSI의 바이어스 전압으로 조정을 하면 cascaded current mirror와 current-mode FFT LSI 사이의 offset 전류 또한 대폭 감소하게 된다.

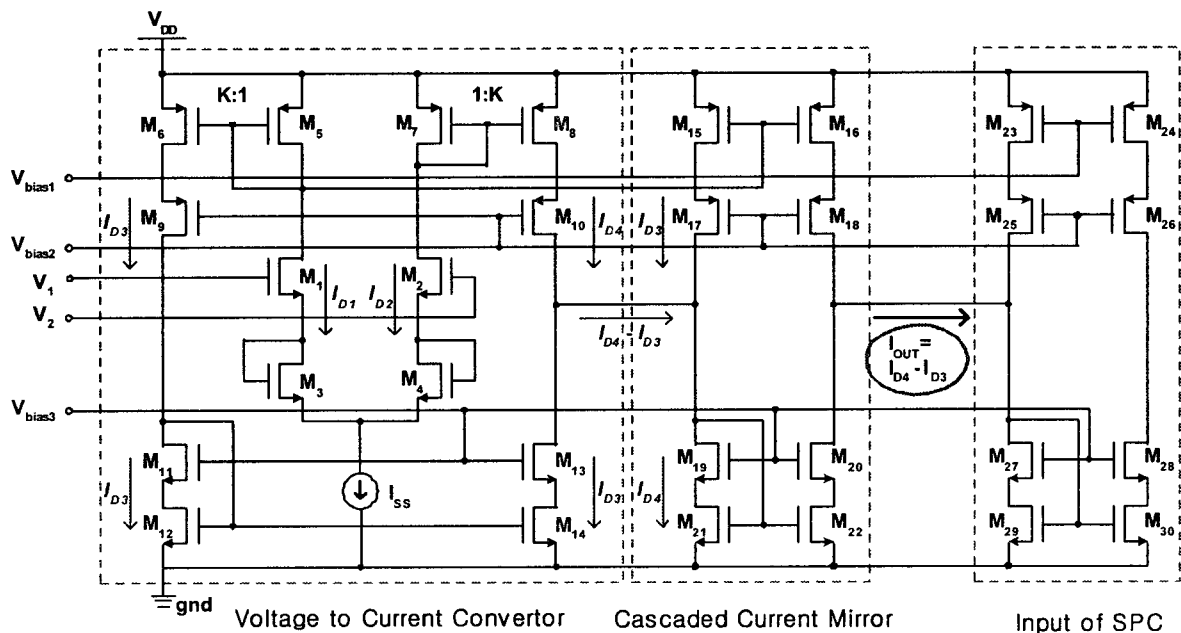


그림 5. 새로운 VIC 회로도

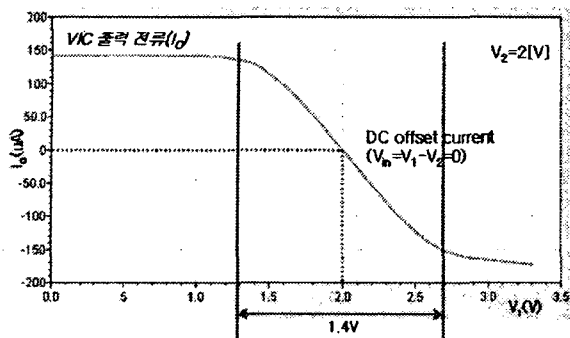


그림 6. VIC의 출력전류

4. 시뮬레이션 결과

VIC의 시뮬레이션 결과는 그림 6과 같다. V_2 를 2[V]로 고정하고 V_1 을 0~3.3[V]로 가변하여 Converter 된 출력 전류를 확인하였다. current-mode FFT LSI의 입력은 최대 100[uA]이므로 VIC의 출력은 최대 145[uA]가 되도록 설계하였으며 선형구간은 2.0[V]를 기준으로 $\pm 0.7[V]$ 로서 총 1.4[V]의 범위를 갖는다. VIC와 cascaded current mirror에서 offset 전류는 0[A]로 대폭 감소하였고, cascaded current mirror와 current-mode FFT LSI의 입력과는 0.1[uA]로 FFT LSI에서 무시할 수 있을 정도로 매우 작은 값이다. Model transistor는 Austria Mikro Systeme(AMS)에서 제작된 0.35um CMOS process BSIM3이며, simulation tool로는 Cadence Analog Artist spectreS가 사용되었다.

5. 결론

새로운 VIC는 저전력 OFDM 시스템용 current-mode FFT LSI를 위해 제안되었다. VIC와 VIC 다음에 연결되는 CM 회로의 사이에는 current mirror가 삽입되는데, 입력 신호가 없는 상황에서 VIC의 출력과 current-mode FFT LSI의 current mirror 입력 사이의 DC offset 전류 등 많은 문제점들이 있는 것을 알 수 있었다. DC offset 전류는 current-mode FFT LSI에서 current mirror의 0이 아닌 입력 임피던스와 기존의 VIC에서 차등증폭기의 유한한 출력 임피던스에 의해 생성되며, 결과적으로 신호치리에 있어서 에러가 발생하게 된다.

current mode FFT LSI는 cascaded current mirror의 형태로 이루어져 있으므로 새로운 VIC도 cascaded 결합 구조로 설계하고, 선형적인 동작구간을 늘리기 위해서 VIC 다음에 cascaded current mirror를 연결하여 VIC와 동일하게 동작하도록 바이어스를 조정한다. 마지막으로 cascaded current mirror의 바이어스 전압을 current mode FFT LSI의 바이어스 전압으로 조정하는 방법으로 offset 전류는 해결할 수 있었다.

제안된 VIC는 current mode FFT LSI와 0.1[uA] 미만의 매우 작은 DC offset 전류, 1.4[V]의 넓은 선형구간을 갖으며, 직전압으로 동작한다.

참고 문헌

- [1] Richard Van Nee and Ramjee Prasad: OFDM for Wiress Multimedia Communication, Boston, London Artech House Publishers, 2002.
- [2] P. H. Moose, "A Technique for Orthogonal Frequency Division Multiplexing Frequency Offset Correction", IEEE Trans. Commun., vol. 42, no. 10, pp. 2908-2914, October 1994.
- [3] S. Hori, T. Kumagi, T. Sakata and M. Morkura, "A New Vector Error Measurement Scheme for Transmit Modulation Accuracy of OFDM Systems", IEICE Trans. vol. E82-B, no.12, pp. 1906-1913, December 1999.
- [4] B. M. Baas, "A Low-Power, High-Performance, 1024-Point FFT Processor", IEEE Solid-State Circuits, vol. 34, no. 3, pp. 380-387, March 1999.
- [5] T. S. Fiez, G. Liang and D. J. Allstot, "Switched-Current Circuit Design Issues", IEEE J. Solid-State Circuits, vol. 26, no. 3, pp. 192-202, March 1991.
- [6] G.. K. Balachandran and P. E. Allen, "Switched-Current Circuits in Digital CMOS Technology With Low Charge-Injection Errors", IEEE J. Solid-State Circuits, vol. 37, no. 6, pp. 1271-1281, October 2002.
- [7] T.S. Fiez and D.J. Allstot, "CMOS Switched-Current Ladder Filters", IEEE J. Solid-State Circuits, vol.25, no.6, pp. 1360-1367, December 1990.
- [8] S.K. Kim, J.S. Cha, H. Nakase and K. Tsubouchi, "Novel FFT Lsi for Orthogonal Frequency Division Multiplexing Using Current Mode Circuit", Jpn. J. Appl. Phys. vol.40, pp. 2859-2865, April 2001. [Extended Abstracts of the 2000 Int. Conf. on Solid State Devices and Materials, Sendai, 2000, pp. 384-385]