

# 0.35um 공정에서 OFDM 용 전류모드 FFT LSI를 위한 I-V Converter 설계

## Design of Current-to-Voltage Converter for the Current-mode FFT LSI in 0.35um processing

배성호<sup>1</sup>, 홍순양<sup>2</sup>, 전성용<sup>2</sup>, 김성권<sup>3</sup>

<sup>1</sup> 전남 목포시 죽교동 571-2 목포해양대학교대학원 전자통신공학과  
E-mail: schoseho@mmu.ac.kr

<sup>2</sup> 서울시 강남구 역삼동 742-23 도원빌딩 Tomato LSI.

<sup>3</sup> 전남 목포시 죽교동 571-2 국립목포해양대학교 해양전자통신공학부

### 요 약

최근 많은 광대역 유무선 통신 응용분야에서 OFDM(Orthogonal Frequency Division Multiplexing) 방식을 표준기술로 채택하고 있다. OFDM 방식의 고속 무선 데이터 통신을 위한 FFT 프로세서는 일반적으로 DSP(Digital Signal Processing)로 구현되었으나, 큰 전력 소비를 필요로 한다. OFDM의 단점인 전력문제를 보완하기 위해서 Current-mode FFT LSI가 제안되었다. 본 논문에서는 Current-mode FFT LSI의 구현을 위한 저전력 IVC를 설계하였다. 설계된 IVC는 FFT Block의 출력이 13.65 $\mu$ A 이상일 때에 3V 이상의 전압을 출력하고, FFT Block의 출력이 0.15 $\mu$ A 이하일 때에 0.5V 이하의 전압을 출력한다. 그리고 IVC의 총 소모전력은 약 1.65mW이다. 0.35 $\mu$ m 공정에서의 저전력 IVC를 설계함으로써, 0.35 $\mu$ m 공정에서의 Current-mode FFT LSI의 설계가 가능해졌다. 저전력 OFDM 통신용 Current-mode FFT LSI는 무선통신의 발전에 기여할 것으로 전망한다.

Key Words : OFDM, IVC, Wibro, Current-to-Voltage Converter, FFT, IFFT

### 1. 서 론

최근 많은 광대역 유무선 통신 응용분야에서 OFDM(Orthogonal Frequency Division Multiplexing) 방식을 표준기술로 채택하고 있다. 국내의 경우에는 2004년 4월 2.3GHz 휴대인터넷 프로젝트 그룹(PG302)에서 국내 휴대인터넷 기술규격으로 FDMA(Frequency Division Multiple Access)와 OFDM이 결합된 다중접속방식인 OFDMA 방식을 최종 결정하였다[1]. OFDM은 변조기술 또는 다중화 기술로서, 수신기의 FFT(Fast Fourier Transform)와 송신기의 IFFT(Inverse Fast Fourier Transform) 같은 복소수 신호처리를 통해 구현된다[2][3]. 그림 1은 일반적인 OFDM 시스템의 송신단과 수신단의 Block Diagram이다. 그림 1의 P/S, S/P, A/D, D/A Block은 각각 parallel-to-serial, serial-to-parallel, analog-to-digital converter, digital-to-analog converter를 나타낸다.

OFDM 시스템의 전송방식은 직렬로 입력되는 데이터 열을 N개의 병렬 데이터 열로 변환하여 각각 분리된 부반송파(subcarrier)에 실어 전송함으로써 다중경로(multipath)채널에 강한 심벌을 생성한다.

이 때 부반송파는 직교성을 유지할 수 있도록 송신단의 IFFT와 수신단의 FFT 프로세서를 이용하여 신

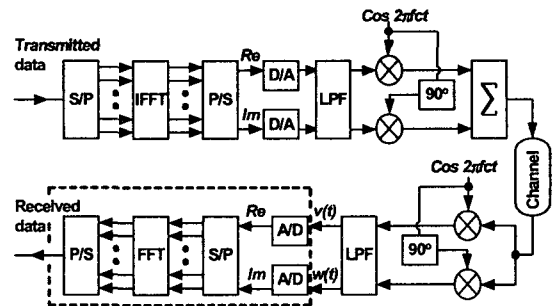


그림 1. OFDM 송수신단의 Block Diagram

호를 변·복조한다. OFDM 방식의 고속 무선 데이터 통신을 구현하기 위해서는 고성능의 FFT/IFFT 프로세서를 구현해야 한다[4]. OFDM 시스템의 main device인 FFT/IFFT 프로세서는 일반적으로 DSP(Digital Signal Processing)로 충분히 구현되었다. 그러나 DSP로 구현된 FFT/IFFT 프로세서는 큰 전력소비를 필요로 하며, FFT/IFFT 프로세서의 전력 소비는 OFDM 시스템을 사용하고 있는 무선 이동 통신 시스템의 단점이다.

OFDM 시스템의 단점인 전력 문제를 보완하기 위해 current-mode FFT LSI가 제안되었다[2].

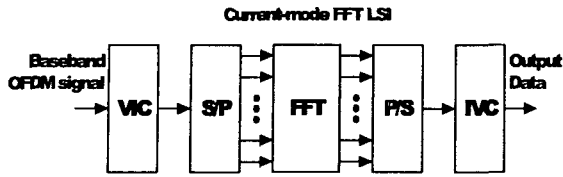


그림 2. Current-mode FFT LSI의 Block Diagram

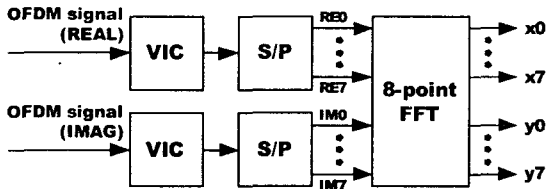


그림 3. Simulation Block Diagram for FFT LSI(without IVC)

그림 2는 current-mode FFT LSI의 Block Diagram이다. 전압형태의 OFDM 베이스밴드 신호는 VIC에 의해 전류형태의 직렬 신호로 변환된다. 이 신호는 S/P 컨버터에 의해 병렬형태의 신호로 변환되어, FFT 블록에 입력된다. FFT 블록은 입력받은 전류의 값으로 FFT 연산을 수행한다. 이 때 100 $\mu$ A의 전류는 1.0000의 값으로 환산되어 FFT 연산을 수행하게 된다. FFT 연산된 결과는 P/S 컨버터에 의해 다시 직렬의 형태로 변환된다. P/S 컨버터를 거친 직렬 형태의 전류신호는 IVC에 의해 전압형태의 최종 신호가 되어 출력된다.

본 논문에서는 OFDM 시스템의 단점인 전력 문제를 보완하기 위해 제안된 current-mode FFT LSI를 0.35  $\mu$ m 공정에서 구현하기 위해 그 main device 중 하나인 IVC를 설계하였다.

본 논문의 서론 부분에서는 OFDM 시스템의 소개와 연구배경에 대해 언급하였고, 2장에서 current-mode FFT LSI의 동작을 소개하였다. 3장에서 0.35 $\mu$ m 공정에서의 current-mode FFT LSI를 위해 본 논문에서 제안한 저전력 IVC의 시뮬레이션 결과를 분석하였다. 4장에서는 설계된 IVC를 FFT LSI에 적용하여 IVC의 동작을 분석하였고, 마지막으로 4장에서 결론을 내리고 본 논문의 끝을 맺는다.

2. Current-mode FFT LSI의 동작

본 장에서는 0.35 $\mu$ m 공정에서 설계된 저전력 OFDM 통신용 current mode FFT LSI의 전체 블록 중 IVC 블록만을 제외한 시뮬레이션 결과를 분석하였다. 이러한 시뮬레이션을 수행하는 이유는 본 논문에서 설계할 IVC의 입력 신호가 어느 정도의 범위를 갖고 입력되는지를 분석하기 위함이다.

그림 3은 IVC를 제외한 전류모드 FFT LSI의 시뮬레이션 Block Diagram이다. 입력된 OFDM signal은 시뮬레이션 분석을 용이하게 하기 위해 출력이 high와 low에 해당하는 100 $\mu$ A나 -100 $\mu$ A의 전류를 갖게 하고

$$\begin{matrix}
 \begin{bmatrix} RE\ 0 + IM\ 0\ j \\ RE\ 1 + IM\ 1\ j \\ RE\ 2 + IM\ 2\ j \\ RE\ 3 + IM\ 3\ j \\ RE\ 4 + IM\ 4\ j \\ RE\ 5 + IM\ 5\ j \\ RE\ 6 + IM\ 6\ j \\ RE\ 7 + IM\ 7\ j \end{bmatrix} \\
 8 \times 8 \\
 FFT \\
 Matrix
 \end{matrix}
 =
 \begin{matrix}
 \begin{bmatrix} x_0 + y_1\ j \\ x_1 + y_1\ j \\ x_2 + y_2\ j \\ x_3 + y_3\ j \\ x_4 + y_4\ j \\ x_5 + y_5\ j \\ x_6 + y_6\ j \\ x_7 + y_7\ j \end{bmatrix} \\
 \begin{bmatrix} +1 + 1\ j \\ -1 - 1\ j \\ +1 + 1\ j \\ -1 + 1\ j \\ +1 + 1\ j \\ +1 + 1\ j \\ -1 - 1\ j \\ -1 - 1\ j \end{bmatrix} \\
 8 \times 8 \\
 FFT \\
 Matrix
 \end{matrix}
 \tag{1}$$

표 1. FFT LSI(without IVC)의 출력 전류

Pin	출력전류값	Pin	출력전류값
x0	- 98.51 $\mu$ A	y0	- 96.23 $\mu$ A
x1	- 80.86 $\mu$ A	y1	80.61 $\mu$ A
x2	- 89.55 $\mu$ A	y2	- 93.04 $\mu$ A
x3	81.75 $\mu$ A	y3	- 93.01 $\mu$ A
x4	-90.33 $\mu$ A	y4	- 89.10 $\mu$ A
x5	-82.91 $\mu$ A	y5	- 94.45 $\mu$ A
x6	97.60 $\mu$ A	y6	87.59 $\mu$ A
x7	87.15 $\mu$ A	y7	69.45 $\mu$ A

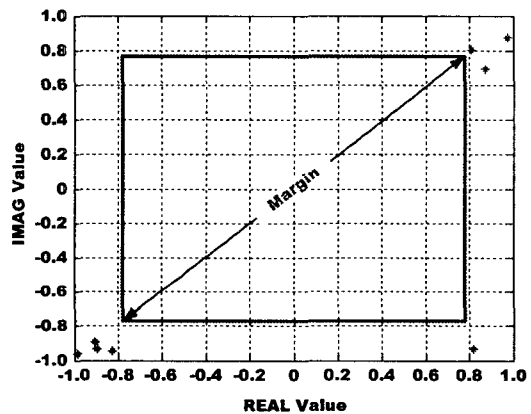


그림 4. FFT 블록의 출력 신호

입력을 수식 1에 의해 도출된 값에 해당하는 전압을 입력하였다. VIC 블록은 입력받은 전압에 해당하는 전류를 S/P 블록으로 전송하고, S/P 블록은 10ns동안 전류를 입력받아 기억하고 있다가 전체 16개 신호의 입력을 모두 마치면, 기억중인 전류를 10ns동안 FFT 블록으로 전송하게 된다. FFT 블록은 입력받은 전류값으로 FFT 연산을 수행한다. 이 과정에서 100 $\mu$ A의 전류는 연산에서 1에 해당한다. 표 1은 IVC 블록을 제외한 current-mode FFT LSI의 시뮬레이션 결과를 나타낸 표이다. 그림 4는 FFT 블록의 출력 신호의 배치를 나타낸 그림이다. 이 그림을 보면, FFT 블록의 출력 신호는 1과 -1 사이의 중간 margin이 넓은 것을 확인할 수 있다. 그러므로, (-)와 (+)의 판별만이 가능한 IVC라면, 전체 current mode FFT LSI의 성능이 향상

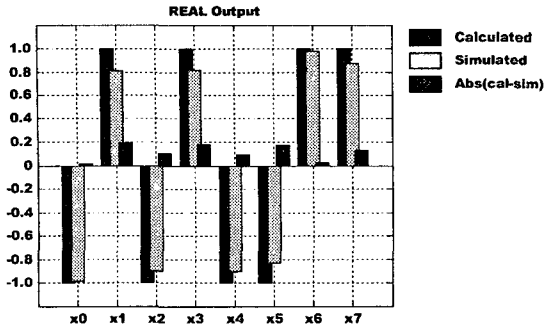


그림 5. 실수부의 이상적인 출력과 시뮬레이션 결과와의 비교

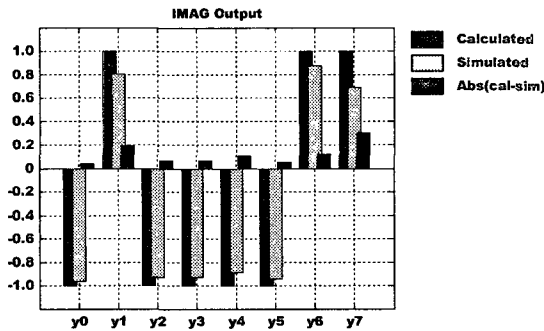


그림 6. 허수부의 이상적인 출력과 시뮬레이션 결과와의 비교

될 것이다. 그림 5와 그림 6은 FFT 블록의 실수부 출력과 허수부 출력 각각의 이상적인 출력과 시뮬레이션을 통해 얻은 출력과의 차이를 나타낸다. IVC의 입력이 되는 FFT 블록의 출력범위가  $-100\mu\text{A}$ 에서  $+100\mu\text{A}$ 임을 알 수 있다.

### 3. Current-mode FFT LSI를 위한 저전력 IVC

본 장에서는 표 1과 같은 FFT 블록의 출력 전류가  $0\mu\text{A}$ 일 때를 기준으로 high와 low를 판별하여, 그에 해당하는 전압을 출력하는 IVC의 동작특성을 분석하였다. 그림 6은 설계된 IVC의 회로도이다. IVC는 FFT 블록의 출력이  $0\mu\text{A}$ 일 때, node의 전압을 감지하여, 그때의 전압을 기준전압으로 갖는다. 그리고 FFT 블록의 출력 전류에 따른 전압을 기준전압과 비교하는 비교기 동작을 수행한다. 비교기는 한쪽 입력인 a node에 연결된 기준전압과 b node에 연결된 FFT 블록의 출력 전류에 따른 전압을 감지하여 서로 비교한다. FFT 블록의 출력 전류에 따른 전압이 기준전압보다 클 경우에는 동작전압인 3.3V가 출력되고, 기준전압보다 작을 경우에는 0V가 출력되도록 설계하였다. 설계시 각 MOS의 width는 그림 8과 같은 I-V 특성에서 선형구간이 최대한 좁아지도록 정하였다. 이는 1과 -1을 제외한 중간값이 존재하지 않게 하기 위함이다. 그림 8은 입력 전류를 FFT 블록의 출력범위인  $100\mu\text{A}$

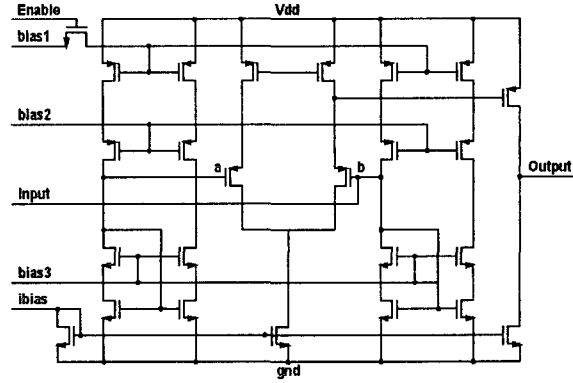


그림 7. 제안된 IVC 회로도

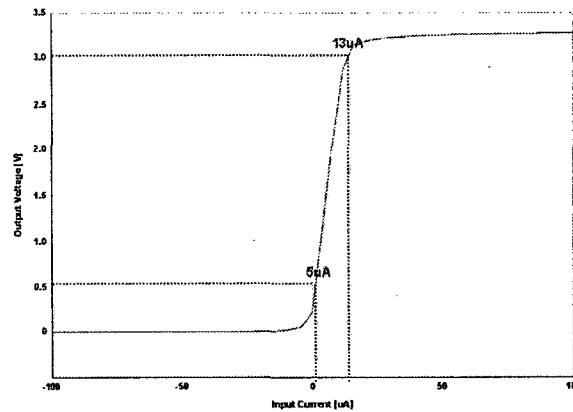


그림 8. IVC의 시뮬레이션 결과

$100\mu\text{A}$ 의 범위에서 변화시키면서, IVC의 출력 전압의 변화를 확인한 시뮬레이션의 결과 그래프이다. 이 그래프를 분석한 결과, 설계된 IVC는 FFT 블록의 출력이  $13.65\mu\text{A}$  이상일 때에 3V 이상의 전압이 출력되고, FFT Block의 출력이  $0.15\mu\text{A}$  이하일 때에 0.5V 이하의 전압이 출력됨을 확인하였다. 그림 7의 회로도에서 각 node에 흐르는 전류의 합은 약  $500\mu\text{A}$ , IVC의 동작전압이 3.3V이다. 그러므로 설계된 IVC의 총 소모전력은 약 1.65mW이다. Model transistor는 Austria Mikro Systeme (AMS)에서 제작된  $0.35\mu\text{m}$  CMOS process BSIM3이며, simulation tool로는 Cadence Analog Artist spectreS가 사용되었다.

### 4. 제안된 IVC를 적용한 Current-mode FFT LSI의 출력특성

본 장에서는 설계된 IVC를 current-mode FFT LSI에 적용하여 시뮬레이션한 후, 그 결과를 분석하였다. 그림 9는  $0.35\mu\text{m}$  공정에서 새롭게 설계된 IVC를 적용한 current-mode FFT LSI의 시뮬레이션 Block Diagram이다. FFT LSI의 최종 출력이 되는 IVC의 출력전압을 표 2에 나타내었다. 표 2의 시뮬레이션 결과를 분석한 결과, 새롭게 제안된 IVC를 current-mode FFT LSI에 적용했을 때, 신호가 high일 때에 3.3V의

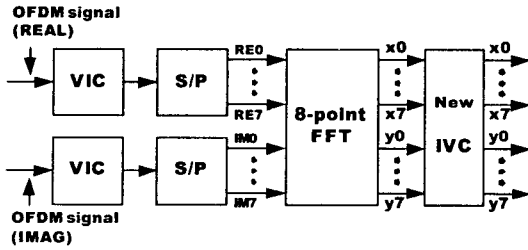


그림 9. Simulation Block Diagram for FFT LSI(with IVC)

표 2. FFT LSI(with new IVC)의 출력 전압

Pin	출력전류값	Pin	출력전류값
x0	0.00 V	y0	0.00 V
x1	3.29 V	y1	3.30 V
x2	0.00 V	y2	0.00 V
x3	3.29 V	y3	0.00 V
x4	0.00 V	y4	0.00 V
x5	0.00 V	y5	0.00 V
x6	3.30 V	y6	3.30 V
x7	3.30 V	y7	3.29 V

전압을 출력하고, 신호가 low일 때에 0V의 전압을 출력한다.

5. 결 론

최근 많은 광대역 유무선 통신 응용분야에서 OFDM 방식을 표준기술로 채택하고 있다. OFDM의 전송방식은 직렬로 입력되는 데이터 열을 N개의 병렬 데이터 열로 변환하여 각각 분리된 부반송파에 실어 전송함으로써 다중경로 채널에 강한 심벌을 생성한다. 이때 부반송파는 직교성을 유지할 수 있도록 송수신단에서 IFFT와 FFT 프로세서를 이용하여 신호를 변·복조한다. OFDM 방식의 고속 무선 데이터 통신을 구현하기 위해서는 고성능의 FFT 프로세서를 구현해야 한다. FFT/IFFT 프로세서는 OFDM 방식의 물리계층에서 가장 큰 면적과 전력을 소모한다. 이러한 OFDM의 단점인 전력문제를 보완하기 위해서 Current-mode FFT LSI가 제안되었다. 본 논문에서는 0.35 $\mu$ m 공정에서 current mode FFT LSI를 위한 저전력 IVC를 설계하

었다. 설계된 IVC는 FFT Block의 출력이 13.65 $\mu$ A 이상일 때에 3V 이상의 전압을 출력하고, FFT Block의 출력이 0.15 $\mu$ A 이하일 때에 0.5V 이하의 전압을 출력한다. 그리고 IVC의 총 소모전력은 1.65mW이다.

설계한 IVC를 Current-mode FFT LSI에 적용한 시뮬레이션 결과를 분석한 결과, 설계된 IVC는 신호가 high일 때 3.3V, low일 때 0V의 전압을 출력한다. 0.35 $\mu$ m 공정에서의 저전력 IVC를 설계함으로써, 0.35 $\mu$ m 공정에서의 Current-mode FFT LSI의 설계가 가능해졌다. 저전력 OFDM 통신용 Current-mode FFT LSI는 무선통신의 발전에 기여할 것으로 전망한다.

참 고 문 헌

- [1] TTAS.KO-06.0064R1, 2.3GHz 휴대인터넷 표준(물리계층), 한국정보통신기술협회, Dec. 2004.
- [2] Seong-Kweon Kim, "Design of Voltage to Current Converter for Low-Power OFDM Application"
- [3] Richard Van Nee and Ramjee Prasad, "OFDM for Wiress Multimedia Communication", Boston, London Artech House Publishers, 2002.
- [4] 오정렬, "저 면적 및 저 전력 복소 곱셈기를 갖는 파이프라인 방식의 FFT 프로세서 설계에 관한 연구", 박사학위논문, 전북대학교 대학원, 2005.
- [5] J. W. Cooley, J. W. Tukey, "An Algorithm for the Machine Calculation of Complex Fourier Series", Math. Comp, Vol.19, pp.297-301, April 1965.
- [6] P. H. Moose, "A Technique for Orthogonal Frequency Division Multiplexing Frequency Offset Crrrection", IEEE Trans. Commun., vol. 42, no. 10, pp. 2908-2914, October 1994.
- [7] S.K Kim, J.S. Cha, H. Nakase and K. Tsubouchi, "Novel FFT Lsi for Orthogonal Frequency Division Multiplexing Using Current Mode Circuit", Jpn. J. Appl. Phys. vol.40, pp. 2859-2865, April 2001. [Extended Abstracts of the 2000 Int. Conf. on Solid State Devices and Materials, Sendai, 2000, pp. 384-385]