

초고속 회로에서의 평행판 노이즈 억제를 위한 EBG 구조

Electromagnetic Bandgap (EBG) Structures for Suppression of Parallel-Plate Noise in High Speed Circuits

오승연, 한승현, 남희, 윤기철,
(광운대학교 석사과정) (광운대학교 석사과정) (광운대학교 박사과정) (광운대학교 박사과정)
이일우, 오경민, 이현욱, 이종철
(광운대학교 석사과정) (광운대학교 석사과정) (광운대학교 석사과정) (광운대학교 교수)

Key Words : Electromagnetic bandgap(EBG), Simultaneous switching noise(SSN), Ground bounce noise(GBN), Parallel-plate noise

목 차

- I. 서론
- II. EBG 구조
 - 1. 평행판 노이즈 (Parallel-Plate noise)
 - 2. EBG 구조를 갖는 전원면
 - 3. 제안된 전원면의 구조
- III. 해석 및 측정결과
- IV. 결론

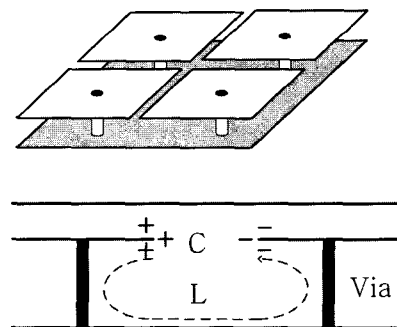
I. 서론

오늘날 통신 기술의 발달로 시스템이 고속화, 광대역화 되고 있다. 이와 같이 시스템의 동작 속도가 증가함에 따라 클럭 주파수가 수 GHz 대역으로 들어서면서 On/Off Switch나 다층 PCB 기판에서 여러 신호원의 동시 스위칭에 의해 발생하는 SSN(Simultaneous Switching Noise) 또는 전원면과 접지면 사이 전위의 불안정에 의해 발생하는 GBN(Ground Bounce Noise)과 같은 신호/전원 무결성(Signal/Power Integrity) 문제가 고속시스템의 중요한 논점이 되었다.

일반적으로 SSN/GBN 을 억제하기 위한 방법은 전원면과 접지면에 디커플링 커패시터를 사용하는 것이다. 하지만 디커플링 커패시터에 존재하는 ESL(Equivalent Series Inductance)에 의해 사용할 수 있는 주파수는 수백 MHz 단위로 제한되며, GHz 단위의 고주파대역에서는 효율적으로 SSN/GBN 을 억제할 수 없다. 따라서 고주파 대역에서 SSN/GBN 을 억제하기 위한 효과적인 방법으로 EBG(Electromagnetic Bandgap) 구조의 전원면이 제안되었다 [1]. 이러한 구조는 특정 주파수 대역에서 높은 임피던스 특성을 갖게 되어 표면에 흐르는 전류에 대한 광대역 저지특성을 갖게 된다 [2].

따라서 EBG 구조를 이용하여 디커플링 커패시터가 억제하지 못하는 고주파 대역에서 SSN 및 GBN을 억제할 수 있다.

일반적인 EBG 구조를 그림. 1에 나타내었다. 이 구조에서 커패시터는 평행판 상층면 끝 양단에 축적되는 전하들의 전위차에 의해 정의되고, 인덕턴스는 비아와 평행판 하층면을 통해 만들어지는 전류의 이동 경로를 통해 표현할 수 있다. 따라서 EBG 구조는 병렬공진 구조의 커패시턴스와 인덕턴스로 등가 모델링 할 수 있다 [3].



[그림. 1] EBG구조에서의 커패시턴스와 인덕턴스

하지만 이러한 구조는 비아를 사용하기 때문에 제작이 용이하지 못하다는 단점이 있다. 따라서 본 논문에서는 비아를 사용하지 않고 전원면의 단위 도체판(patch) 사이를 직접 연결한 구조를 이용하였으며, 도체판의 새로운 형태를 제안하여 도체판의 커패시턴스를 감소시키고 인덕턴스를 증가시킴으로 표면 임피던스를 증가시켜 노이즈가 감소하는 대역을 확대하였다. 또한, 기존의 9-cell LPC(low-period coplanar)-EBG 구조와 비교를 통해 제안된 구조에서 360 MHz부터 약 15 GHz 이상의 향상된 광대역 노이즈 억압 특성을 확인하였다 [7].

II. EBG 구조

1. 평행판 노이즈 (Parallel-Plate Noise)

최근 고속디지털 시스템은 일반적으로 수백 개의 입·출력 게이트를 가지고 있다. 이러한 수많은 게이트들이 동시에 스위칭하게 되면 다층 PCB 사이의 접지면을 통해 고속 전류가 흐르게 되고, 이때 전원면과 소자의 연결지점에 존재하는 인덕턴스와 전류의 시간변화율에 의해 전압변동 (Ground Bounce)이 발생하게 된다 [4].

즉, SSN은 디지털 회로의 많은 출력 단자들이 동시에 스위칭을 할 때 생기는 유도성 노이즈이며, PCB의 형태와 전류 경로에 의존하게 된다. SSN의 정의를 수식 (1)에 나타내었다.

$$V_{noise} = N L_{eq} \frac{di}{dt} \quad (1)$$

여기서, V_{noise} 는 노이즈 전압의 크기이고, N 은 동시에 스위칭하는 게이트의 개수이며, L_{eq} 는 동시 스위칭할 때 각 드라이버를 통해 흐르는 전류로 인해 생기는 인덕턴스값이다.

이러한 노이즈는 평행판 공진모드의 주파수와 일치할 경우, 전원면과 접지면을 통해 방사된다. 평행 도파관에서의 공진 모드에 관한 식은 다음과 같다 [6].

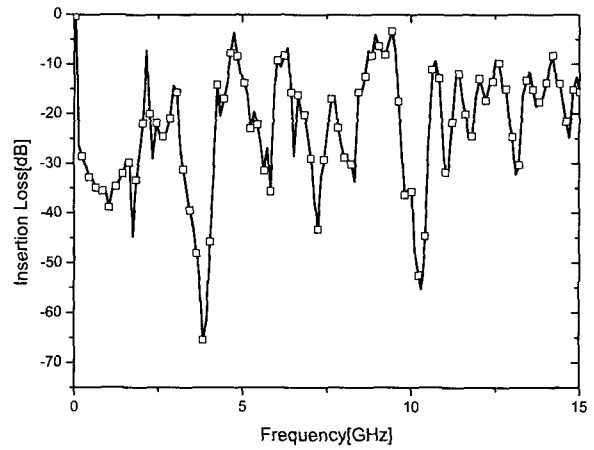
$$f_r = \frac{1}{2\pi\sqrt{\mu\epsilon}} \sqrt{\left(\frac{m\pi}{a}\right)^2 + \left(\frac{n\pi}{b}\right)^2} \quad (2)$$

여기서, f_r 은 공진주파수이고 m , n 은 경계 조건이 정해지는 전자파의 고유값이며, a 와 b 는 평행판 도파관의 가로와 세로의 길이이다.

그림. 2는 비유전율 2.54, 두께 0.54 mm, 가로와 세로 각각 90 mm인 평행 도파관의 삽입 손실 특성을 시뮬레이션한 결과이다.

공진 모드에 의해 방사된 노이즈 전파는 PCB 내부의 인접된 비아를 통해 지나가는 신호의 전송 특성에 영향을

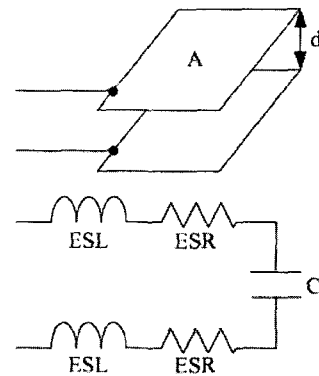
준다. 그러므로 고속 회로에서 평행 도파관의 공진모드로 인해 생기는 노이즈를 억제하는 것은 SSN의 방사로 인한 간섭을 최소화 할 수 있는 효과적인 방법이다.



[그림. 2] Parallel-plate Waveguide의 삽입손실.

2. EBG 구조를 갖는 전원면

대표적인 평행판 노이즈를 감소하는 방법은 디커플링 커패시터를 전원면과 접지면 사이에 연결하는 것이다. 디커플링 커패시터를 이용하면 전원면과 접지면 사이에 낮은 임피던스를 갖는 귀환 전류 경로를 제공함으로써 평행판 노이즈를 감소시킬 수 있다.



[그림. 3] 일반적인 커패시터의 등가회로

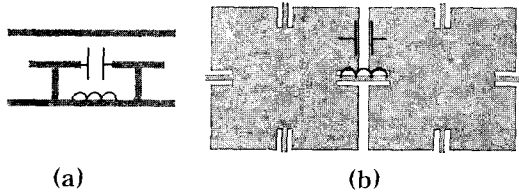
하지만 모든 커패시터는 그림. 3에서 보는 것과 같이 커패시턴스 성분뿐만 아니라 리드에 의한 등가 직렬 인덕턴스(ESL)나 등가 직렬 저항(ESR) 성분도 가진 RLC 회로이고, 이 회로의 임피던스를 수식 (3)과 같이 나타낼 수 있다.

$$|Z| = \sqrt{(ESR)^2 + (X_{ESL} - X_C)^2} \quad (3)$$

$$\begin{aligned} \text{여기서 } X_{ESL} &= 2\pi f(ESL) \\ X_C &= \frac{1}{2\pi f C} \end{aligned}$$

ESL은 고주파 대역에서 커패시터의 동작을 방해하여 제대로 된 동작을 할 수 없게 한다 [5]. 따라서 이를 보완하기 위해 EBG구조를 이용한 노이즈 억제에 관한 연구가 진행 되었다.

일반적인 EBG는 유전체 기판상에 일정한 주기를 가지고 배치한 특정 형태의 도체판으로 구성된 면과 도체판과 접지면을 연결하는 비아로 이루어져 있으며, 도체판과 비아의 형태나 기판을 구성하는 물질의 비유전율과 투자율을 조정하여 원하는 주파수 선택특성을 얻어낼 수 있다.



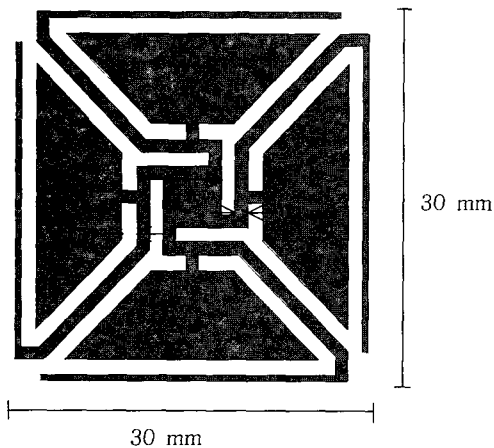
[그림. 4] EBG구조의 등가 모델 (a) 접지면과 파워면을 비아로 연결한 구조, (b) 비아를 사용하지 않은 구조

그림. 4에 일반적인 EBG 구조와 비아를 사용하지 않은 구조를 나타내었다.

그림. 4(a)는 EBG를 구성하는 작은 도체판들이 일정한 간격으로 배열되어 있는 경우, 커패시턴스와 인덕턴스 조합의 등가모델로 나타낸 것이고 그림. 4(b)는 비아를 사용하지 않은 경우 단층면에서 도체판과 도체판 사이를 전송선로로 연결한 것으로 인덕턴스와 커패시턴스를 전원면에 등가모델로 표현한 것이다.

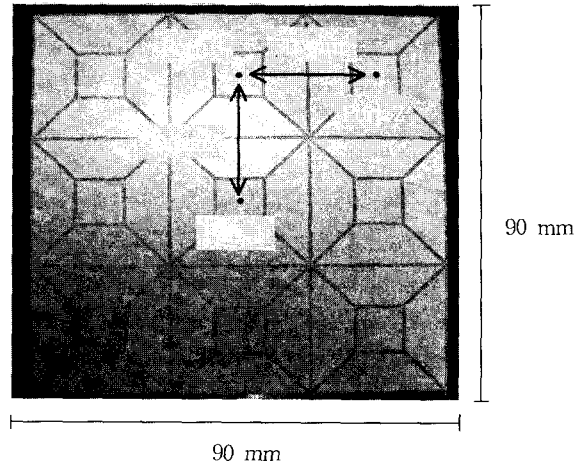
3. EBG 전원면 설계

본 논문에서 제안한 EBG 구조는 그림. 5 와 같다. 도체판 사이의 간격은 0.6 mm이고 단위 도체판을 서로 연결해주는 선로와 도체판사이의 간격은 0.2 mm이다.



[그림. 5] 제안된 EBG구조의 단위 도체판

이웃하는 도체판을 서로 연결하는 선로는 도체판 내부의 사각형 모서리로부터 시작하여 인접한 도체판 방향의 면을 따라 감으로써 도체판 사이의 전송선로의 길이를 증가시켜 인덕턴스 성분을 증가시켰다. 이렇게 증가된 인덕턴스 성분은 저주파 대역에서의 노이즈 억제 특성을 향상 시켜준다.



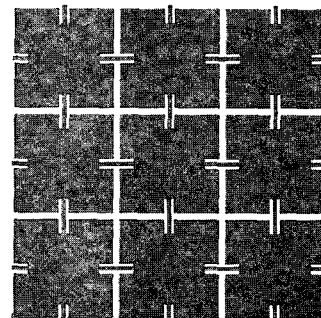
[그림. 6] 제안된 EBG구조의 사진

그림. 6 은 제안된 EBG 구조의 제작된 사진이며, 기판은 가로 90 mm, 세로 90 mm, 두께가 0.54 mm, 비유전율 2.54 인 테프론 기판을 사용하였으며, 총 9개의 도체판이 서로 연결된 구조이고 단위 도체판은 가로 30 mm, 세로 30 mm이다.

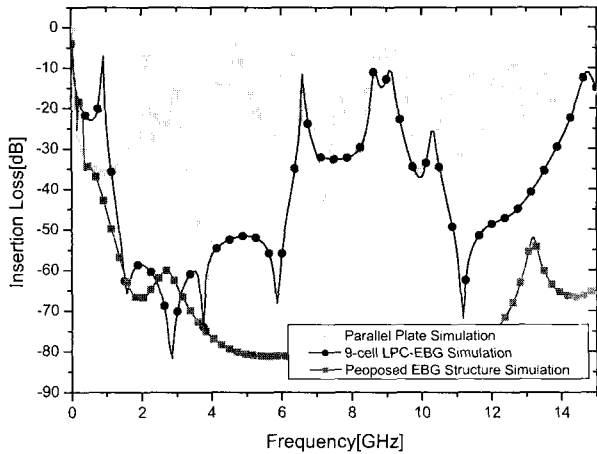
포트는 대각선 방향의 도체판과 수직방향의 도체판 모두의 전달 특성을 확인하기 위해 그림. 6 에서와 같이 각 도체판들의 중앙에 포트를 달아 포트간의 전달 특성을 확인하였으며 각 포트 사이의 간격은 30 mm이다.

III. 시뮬레이션 및 측정 결과

그림. 7 은 기존의 9-cell LPC-EBG 구조이다. 제안된 구조의 광대역 특성 분석을 위해 두 구조를 함께 시뮬레이션하여 분석하였다.



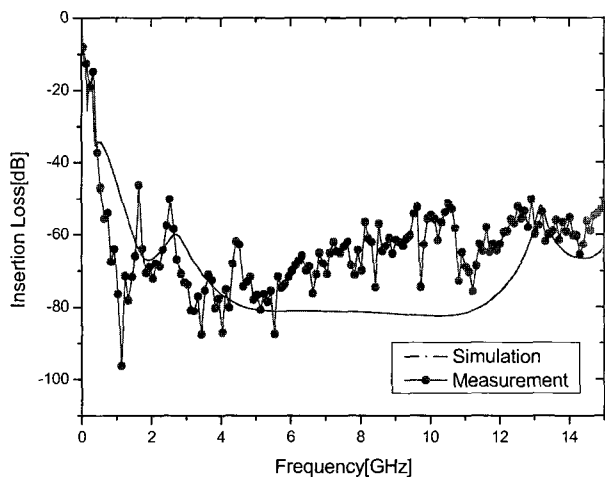
[그림. 7] 9-cell LPC-EBG 구조



[그림. 8] 9-cell LPC-EBG 구조와 제안된 구조의 시뮬레이션 결과

그림. 8 은 기존의 구조와 본 논문에서 제안된 구조의 비교를 위한 시뮬레이션 결과이다. 기존의 9-cell LPC-EBG 구조가 1.4 GHz부터 6.4 GHz까지 5 GHz 대역에서 -30 dB 이하의 억압 특성을 나타내고 있으며, 본 논문에서 제안한 구조는 0.36 GHz에서 15 GHz까지 14.54 GHz의 약 3배 이상 향상된 대역 저지 특성을 보이고 있다.

그림. 9 는 제안된 구조의 시뮬레이션 및 측정 결과를 나타내었다.



[그림. 10] 시뮬레이션과 측정결과 비교

IV. 결론

본 논문에서는 저주파영역의 노이즈 억제 특성을 개선하고 동시에 고주파 영역 개선을 위해 새로운 도체판 형태를 제안하였으며, 제안된 구조에서 노이즈 억제 대역폭은 360 MHz에서 15 GHz 이상으로 비교된 기존의 9-cell LPC-EBG의 구조보다 약 3배의 대역저지 특성을 확인하였다. 또한, 도체판 사이를 연결하는 선로의 길이가 증가하면 보다 높은 인덕턴스 성분을 가지게 되어 저주파 특성이 향상됨을 확인하였다. 제안된 구조를 이용하면 고속

회로 시스템의 노이즈 억압 및 성능 향상에 기여할 수 있을 것으로 기대된다.

참고문헌

1. S. Van den Berghe, F. Olysaer, D. De Zutter, J. De Moerloose, and W. Temmerman, "Study of the ground bounce caused by power resonances," *IEEE Trans. Electromagn. Compat.*, vol. 40, no. 2, pp. 111-119, May 1998.
2. R. Abhari and G. V. Eleftheriades, "Metallo-dielectric electromagnetic bandgap structures for suppression and isolation of the parallel-plate noise in high-speed circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 51, pp. 1629-1639, June 2003.
3. D. Sievenpiper, L. Zhang, R. F. J. Broas, N. G. Alexopolous, and E. Yablonovitch, "High-impedance electromagnetic surfaces with a forbidden frequency band," *IEEE Trans. Microwave Theory Tech.*, vol. 47, pp. 2059-2074, Nov. 1999.
4. S. Shahparnia, O. M. Ramahi, "Electromagnetic Interference (EMI) Reduction From Printed Circuit Boards (PCB) Using Electromagnetic Bandgap Structures," *IEEE Trans. Electromagn. Compat.*, vol. 46, no. 4, pp. 580-587, Nov. 2004.
5. M. I. Montrose, *EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple*, John Wiley & Sons, Inc., 1998.
6. G. W. Peterson, J. L. Prince, and K. L. Virga, "Investigation of power/ground plane resonance reduction using lumped RC elements," in *Proc. Elec. Comp. Tech. Conf.*, vol. 42, pp. 769-774, Aug. 2000.
7. T. L. Wu, Y. H. Lin, T. K. Wang, C. C. Wang, and S. T. Chen, "Electromagnetic bandgap pwer/ground planes for wideband suppression of ground bounce noise and radiated emission in high-speed circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 40, no. 2, pp. 2935-2942, Sep. 2005.