

두 화면 신호처리 FPGA IP 설계 FPGA IP Design of Multi-Display Signal Processing

**진경찬¹, 김시환²

*#K. C. Jin(kcjin@kitech.re.kr)¹, S. H. Kim²

¹ 한국 생산기술연구원 융합기술개발단, ² ㈜폴딩모바일

Key words : Multi-Display, FPGA, Signal Processing

1. 서론

휴대폰을 채택한 모바일 시장의 규모는 2002년 687억 달러에서 2004년 1100억 달러를 기록하는 등 꾸준한 증가 추세에 있으며, 무선 데이터를 이용한 모바일 통신 시대가 본격적으로 시작되게 되면, 휴대폰 등의 모바일 시장이 점차 더욱 활성화될 것으로 예상됨으로 더욱 큰 화면을 제공하고 휴대성을 증가시킬 수 있는 제품들이 출시되어야 한다. 또한 이러한 추세에 맞추어 디스플레이 패널이 더욱 커지고 있는 실정이다. [1-4]

이러한 휴대폰에 적용이 가능한 기기의 대 화면의 필요성에 따라서, 두 화면의 이음매를 최소화하여 한 개의 화면 정보로 보여주는 디스플레이 LCD 패널 이음매 연구와, 균일한 디스플레이 데이터를 출력하는 광학 보상 필름 및 도광판 등의 연구와 패널을 보호하며 이음매의 틈새 간격을 최소화 하기 위한 기구물 설계 등의 연구가 이루어져 오고 있는 실정이다. 이러한 연구들은 두 개의 패널 화면으로 데이터를 전송시키기 위한 영상 신호 데이터 신호 검출 및 제어 모듈 설계 등으로 이루어져 왔다. [5-6]

그러나, 디스플레이 단말기 제품에 직접적으로 FPGA(Field Programmable Gate Array)를 적용하여 제품화하여 출시하기 위해서는 신호 처리 코어를 ASIC(Application Specific Integrated Circuit)화하여야 하지만, 시간 및 비용이 너무 많이 든다는 단점이 있다. 그러므로 저 가격의 FPGA 칩을 선정하여 제품의 부품화가 가능하도록 IP(Intellectual Property)를 설계하는 연구가 필요한 실정이다.

본 논문에서는 실시간으로 두 화면 영상신호 처리가 가능한 저 가격의 FPGA 칩을 이용하여 신호처리 IP를 테스트 하고 성능을 평가하였다. 선정된 FPGA 칩은 ALTERA사의 Cyclone II 칩인데, 이 칩은 제 1세대 제품인 Cyclone 디바이스보다 30% 더 낮은 가격에 68K LE(Logic Element) 이상으로 로직 집적도를 증가시켰으며, 임베디드 곱셈기와 외부메모리 인터페이스를 추가로 지원하며 새로운 I/O 인터페이스 기능과 같은 부가 특성을 제공하므로, Cyclone II를 이용한 설계 IP는 제품에 직접적으로 접목이 가능하여 제품화가 가능하다는 이점이 있다.[7] 선정된 FPGA 칩을 이용하여 프로그래밍한 신호 로직은 VHDL 코드로 구성되었으며, 코드 최적화 및 P&R(Place And Route) 라우팅은 Cyclone II에 맞도록 설계하여 코어의 성능을 평가하였다.

거대 모바일 시장의 다양한 디스플레이 제품의 변화에 맞추어 디스플레이 패널 및 제어장치 개발이 신속하게 이루어져야 한다. 그러므로 패널 개발부터 제품화에 직접적으로 응용이 가능하도록 칩을 선정하고 IP를 최적화 하여야 한다. 이러한 요구에 맞추어 Cyclone II FPGA 칩을 이용하여 이음매 간격을 최소로 하여 하나의 화면으로 보여주는 FPGA IP 설계를 통하여 설계된 FPGA IP가 디스플레이 단말기에 적용이 될 수 있음을 확인하였다.

2. 멀티 디스플레이

두 화면 디스플레이 표시장치는 두 개의 디스플레이를 연결하여 하나의 화면을 제공하는 것으로서, 디스플레이의 중간 경계면이 되는 이음매를 최소화 하여 두 개의 디스플레이를 사용하면서도 하나의 화면을 볼 수 있도록 한다.

그림 1에서는 두 화면 디스플레이 장치를 채택한 기능성 디자인을 보여주고 있다. 두 패널 화면의 정보는 하나의 정보로 보여줄 수도 있으며, 각각 다른 정보를 보여줄 수도 있다.



Fig. 1 Multi-Display device

패널은 그림 2에서와 같이 디스플레이가 인접되는 부분의 화소 전극과 실런트 등을 최대한 인접하게 위치하도록 하여, 이음매를 최소화하게 제작하여, 실런트 폭을 0.5mm 이내로 하고, 기판의 경계면을 고려할 때, 접이식 디스플레이의 이음매는 1~2mm 정도가 될 것으로 예상될 수 있다.

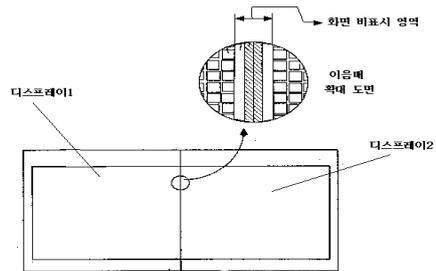


Fig. 2 Multi-Display panel

3. FPGA IP 디자인

두 화면 디스플레이 구동 설계를 위해 그림 3에서와 같이 구성된 FPGA IP를 이용하여 비디오 영상신호가 디스플레이 패널로 출력되도록 구성하였다.

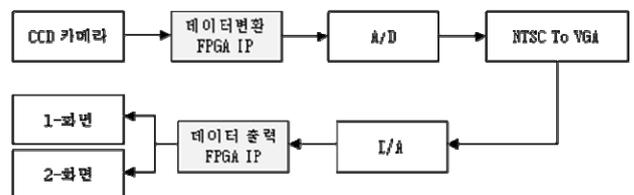


Fig. 3 Design flow of FPGA IP

그림 3 에서 데이터 변환 FPGA IP 는 외부의 NTSC 카메라 비디오 데이터를 입력 받아서 이를 아날로그 단자로 입력하는 기능을 수행하며, 데이터 출력 FPGA IP 는 두 개의 디스플레이 패널로 영상을 출력하는 기능을 수행한다.

Cyclone II 디바이스는 알테라의 Stratix® II 디바이스와 동일한 90nm 공정을 사용하며, 다른 FPGA 와는 비교하여 저가격의 솔루션으로써, 고성능 DSP(Digital Signal Processing)어플리케이션에 대하여 임베디드 18x18 곱셈기와 최대 334Mbps 의 DDR2 와 최대 668Mbps QDRII 등의 같은 메모리 인터페이스를 지원한다. 표 1 은 Cyclone 시리즈의 특성을 요약하여 보여주고 있다.

Table 1 Cyclone and Cyclone II

Parameter	Cyclone	Cyclone II
Core Voltage	1.5 V	1.2 V
I/O Voltage	3.3 V, 2.5 V, 1.8 V, 1.5 V	3.3 V, 2.5 V, 1.8 V, 1.5 V
Process Technology	130-nm	90-nm
Logic Elements	2,910 to 20,060	4,608 to 68,416
User I/O Pins	65 to 301	85 to 622
DSP Implementation	Logic Elements	Embedded 18x18 Multipliers ¹
M4K RAM Blocks	13 to 64	26 to 250
Phase-Locked Loops (PLLs)	1 to 2	2 to 4
I/O Standards Support	LVTTTL, LVCMOS, PCI, SSTL, LVDS, RSDS	LVTTTL, LVCMOS, PCI, PCI-X, SSTL, HSTL, LVDS, mini-LVDS, RSDS, LVPECL
External Memory Interfaces	SDR, DDR	SDR, DDR, DDR2, QDRII
Speed Grades	-6, -7, -8	-6, -7, -8

FPGA IP 를 코딩하기 위해서는, 먼저 IP 기능을 파악한 후 이를 모델링하고, 그림 4 와 같이 IP 에 대한 timing 및 기능에 대한 시뮬레이션을 통하여 IP 를 검증하며, 검증된 IP 는 P&R 기법을 적용하여 칩 전체에 전력 소모가 골고루 분포하도록 배치하며, 라우팅에 의한 시간 지연이 최소가 되도록 최적화 작업을 거친 후에 Cyclone II 보드에 다운로드하여 동작 상태를 평가한다.

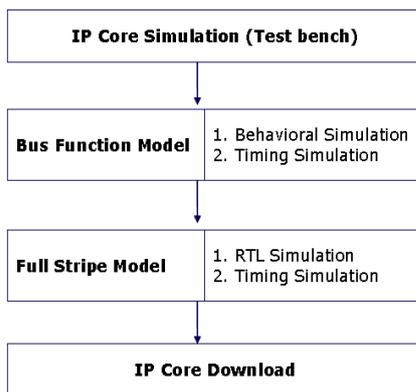


Fig. 4 IP simulation process

4. FPGA IP 동작실험

두 화면의 화면 특성을 평가하기 위하여 실험에 사용된 보드는 Terasic 회사에서 판매하는 ALTERA DE2 보드로써, 35,000 의 LE 를 가지는 ALTERA Cyclone II 2C35 칩 및 EPCS16 의 ALTERA 직렬설정 디바이스, 8M SDRAM, 4M 플래시 메모리, 512K SRAM 등으로 구성되어 있다. 외부 비디오 영상 입력을 위해 사용된 카메라는 1.3M 화소를 가지는 CMOS 센서로 10 비트의 영상 데이터를 출력한다.

FPGA IP 로 코딩된 데이터 변환 IP 는 VHDL 로 작성되어 10 비트의 CMOS 직렬 데이터를 입력 받아 이를 10 비트의 AD 칩에 입력하기 위해 아날로그 신호형태로 변환하는

기능을 수행하도록 프로그래밍 되었다. 즉, NTSC 영상신호를 AD 칩 입력단자에 데이터, 동기 및 제어신호와 같이 공급하게 된다.

데이터 출력 FPGA IP 는 NTSC 형태로 저장된 프레임 메모리의 데이터를 VGA 신호형태로 변환되어 디지털 데이터로 입력될 때에, 원하는 영역의 영상만을 추출하여 이를 각각 두 개의 320 x 240 TFT 패널 화면으로 초당 30 프레임 데이터가 출력하도록 설계되었다. 그림 5 에서는 CMOS 센서의 영상이 두 개의 3.5 인치의 패널화면에 출력되는 영상을 보여주고 있다.



Fig. 5 Test result of FPGA IP

5. 결론

본 논문에서는 실시간으로 두 화면 영상신호 처리가 가능한 저 가격의 FPGA 칩을 이용하여 VHDL 코드로 구성된 신호처리 IP 를 Cyclone II 칩에 P&R 기법으로 실장하고 이의 성능을 평가하였다. 더욱 빠르게 발전하고 있는 모바일 시장의 휴대용 단말기 모델의 여러 패턴 변화에 맞추어 디스플레이 패널 및 제어를 위한 주변 인터페이스 개발이 신속하게 이루어 져야 한다. 그러므로, 사용자의 요구에 신속하게 대응하기 위해 저 가격으로 실장이 가능한 Cyclone II FPGA 칩을 이용하여 두 개의 디스플레이 패널로 하나의 화면으로 보여주는 FPGA IP 로직을 설계하였으며, 설계된 FPGA IP 를 디스플레이 단말기의 부품으로 적용하게 되면 가격 및 성능이 우수함을 확인하였다.

후기

본 연구는 한양대 산학협력중심대학 육성사업단의 지원을 받아 수행되었습니다.

참고문헌

- De Man, H., "System-on-chip design: impact on education and research", Design & Test of Computers, IEEE, Vol. 16, pp. 11-19, 1999.
- 정부연, "전세계 SoC 시장 전망", 정보통신정책, Vol. 17, No. 5, pp. 18-22, 2005.
- Jee-Hwan Ryu et al., "Sampled- and continuous-time passivity and stability of virtual environments", Vol. 20, pp. 772-776, 2004.
- Bindal, A. et al., "An undergraduate system-on-chip (SoC) course for computer engineering students", IEEE Transactions on Education, Vol.48, pp. 279-289, 2005.
- 진경찬 외, "멀티 디스플레이 구동을 위한 구동 드라이버 로직 설계에 관한 연구", 한국정밀공학회 춘계학술 논문대회, 2005.
- Nava, M. D. et al., "An open platform for developing multiprocessor SoCs", Computer, Vol. 38, pp. 60-67, 2005.
- Cyclone II Device Handbook, ALTERA, 2007.