

AC PDP의 오방전 원인 분석을 위한 어드레스 방전 특성에 관한 연구

김동훈, 전원재, 이석현
인하대학교

Study on the Address Discharge Characteristics for the Analysis of the Unstable Discharge in AC PDP

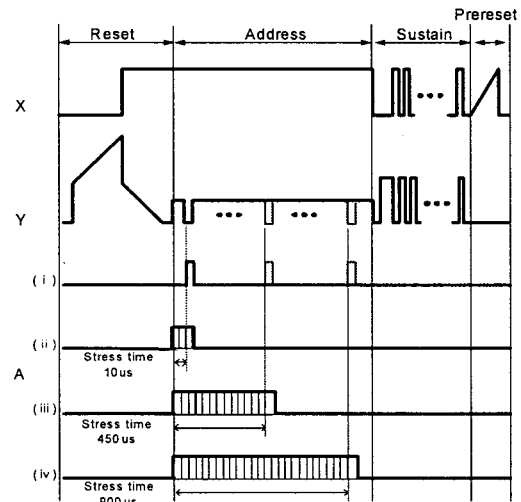
Dong-Hun Kim, Won-Jae Jeon, Seok-Hyun Lee
School of Electrical Engineering, Inha University, Incheon, Korea

Abstract - Unstable sustain discharges can occur at the bottom cells of the panel at high temperature. To solve this phenomenon, the wall charge variation during an address period was investigated. A test panel of 7.5 inch XGA level was used and one green cell was measured. In order to realize operating condition equal to that of the bottom cells of 50 inch panel, the addressing stress pulses are applied. It seems that the resultant wall charge loss during address period increased with increase of temperature as well as the addressing stress pulse voltage. Therefore it results in unstable discharge during sustain period.

셀에 어드레스 방전이 발생해야하고, 이를 위해서는 모든 셀에 어드레스 펄스가 인가되어야 한다. 어드레스 방전은 시간차를 두고 패널의 상부에서 하부로 내려오며 발생하게 되고 패널의 하단부에 어드레스 방전이 발생하기까지는 방전과 상관없는 어드레스 펄스가 계속해서 하단부의 셀을 자극하게 된다. 7.5인치 테스트 패널에서 1개의 셀만을 방전시켰을 때 대형 패널의 상, 중, 하단부에서와 같은 조건을 만들어 주기 위해 <그림 2>에서와 같은 어드레스 파형을 인가하였다. (I)는 어드레스에 의한 스트레스를 받지 않은 경우를 나타내고, (II),(III),(IV)는 패널의 상, 중, 하단부에 인가되는 어드레스 파형을 각각 보여주고 있다.[3]

1. 서 론

현대사회는 급속히 정보화 사회로 접어들고 있으며, 정보 전달의 양적인 면에서도 대량화가 되어가고 있다. 따라서 인간이 정보를 쉽게 접할 수 있는 디스플레이의 역할이 갈수록 증대되고 있다. 현재 가장 널리 이용되고 있는 Cathode Ray Tube(CRT)는 대형화와 경량화, 평판화 등에 대한 한계로 인하여 이를 대체할 만한 새로운 디스플레이 소자에 대한 연구가 활발히 진행중이다. 다가오는 21세기 디지털 시대를 맞이하여 TV, 컴퓨터, 인터넷의 기술을 조합한 차세대 디스플레이 중 플라즈마 디스플레이 패널(PDP)은 기체 방전시 생기는 플라즈마로부터 나오는 빛을 이용하여 문자 또는 그래픽을 표시하는 소자로서 다른 평판디스플레이 소자에 비해 40인치급 이상의 대형화가 용이하고, 고해상도, 넓은 시야각, 장수명, 박형화, 경량화 등 여러 가지 이점을 가지고 있어 평판 디스플레이로서 시장 점유율이 빠르게 성장하고 있다.[1] PDP는 화상을 표현하기 위해 가스 방전을 이용하는데 가스 방전의 특성상 온도의 영향을 많이 받게 되고, 고온에서 불안정한 서스테인 방전이 발생하는 문제가 나타난다. 그리고 패널이 대형화 될수록 패널의 하단부에서 서스테인 오방전 발생은 증가하는데 현재 디스플레이 디바이스가 점점 대형화 되는 추세에서 이에 대한 연구가 더욱 필요한 실정이다. 이에 따라 본 논문은 고온에서 PDP의 서스테인 오방전이 발생하는 원인을 분석 하였고, 온도와 패널의 압력 그리고 Ne-Xe의 혼합비에 따른 방전 특성 변화를 비교하였다.



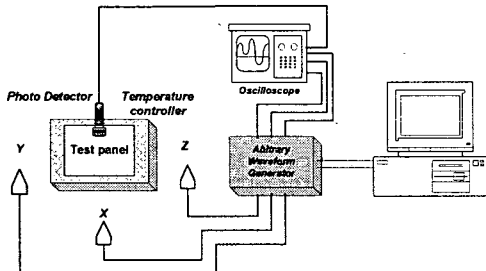
<그림 2> 실험에 사용된 구동파형의 개략도

2. 본 론

2.1 실험 장치 및 방법

2.1.1 실험 장치

<그림 1>은 본 실험에 사용된 장치의 개략도이다. 실험에는 7.5인치 XGA 급으로 패널 내부의 가스 혼합비와 압력이 각각 Ne-Xe(10%), 4000Torr인 패널, Ne-Xe(10%), 450Torr인 패널, Ne-Xe(15%), 400Torr인 패널을 사용하였다. Temperature Controller(ACETECT)를 이용하여 패널의 온도를 조절하였고, VDS로 제어하는 AWG(FTLab, HVA800)를 사용하여 구동파형을 설계하여 패널을 구동하였다. 파형과 방전 현상을 관찰하기 위해 디지털 오실로스코프(Tektronix, TDS3054)와 광측정기(Hamamatsu, C6386-01)를 사용하였다.



<그림 1> 실험장치의 개략도

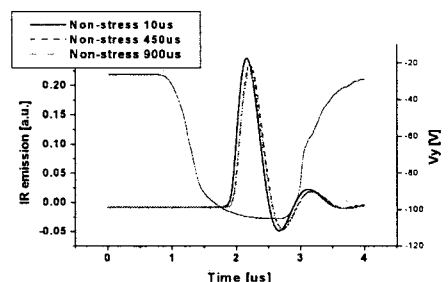
2.1.2 구동 방법

본 실험에서는 AC PDP 구동 방법으로 ADS(Address Display Separated) 파형을 사용하였다. PDP에서 흰색 화면을 표현하기 위해서는 패널의 모든

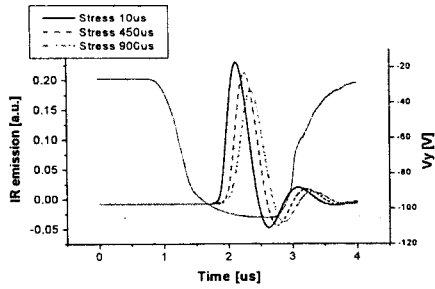
2.1.3 실험 결과

<그림 3>의 (a)는 어드레스 파형 (I)를 인가하여 각각 어드레스 방전 시간에 따라 나타나는 방전광을 Photo Detector로 측정하여 어드레스 방전 지연시간을 비교하였다. 10us의 경우 리셋 방전에 의해 발생한 프라임링 입자의 영향으로 450us, 900us에 비해 빠른 방전을 보이지만 큰 차이 없이 비슷한 방전 지연시간을 보여주고 있다. (b)는 어드레스 파형 (II), (III), (IV)를 인가하여 발생하는 방전광을 보여주고 있는데 (a)에서와 다르게 스트레스 시간이 길어질수록 방전 지연시간이 증가하는 것을 볼 수 있다.

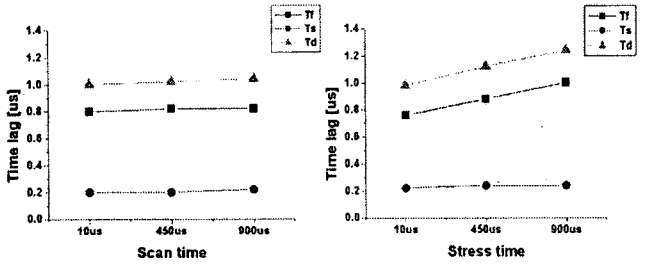
<그림 4>는 <그림 3>의 방전 광파형의 방전 지연시간(Discharge time lag ; Td)을 방전 형성 지연시간(Formative time lag ; Tf)과 통계적 지연시간 (Statistical time lag ; Ts)으로 나누어 비교한 그래프이다. (a)와 비교해 보았을 때 (b)에서 Ts는 거의 일정하지만 Tf의 증가로 인해 Td가 증가하는 것을 볼 수 있다. Ts는 비교적 온도의 영향을 많이 받고, Tf는 벽전하에 의해 영향을 많이 받으므로 방전 지연시간의 증가 원인이 스트레스에 의한 벽전하 소실 때문이라는 것을 예상 할 수 있다.[2]



(a) Non-stress 조건에서 시간별 어드레스 광파형



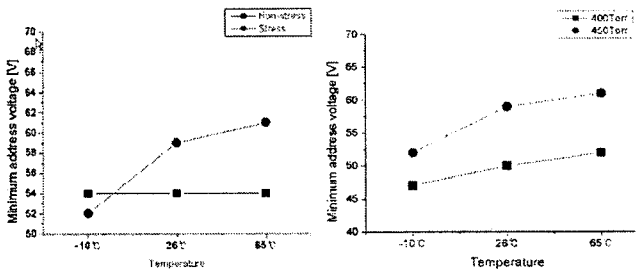
(b) Stress조건에서 시간별 어드레스 광파형
<그림 3> 방전 지연시간 측정을 위한 어드레스 광파형



(a) Non-stress조건에서 시간별 어드레스 방전 지연시간
<그림 4> 어드레스 방전 지연시간 비교

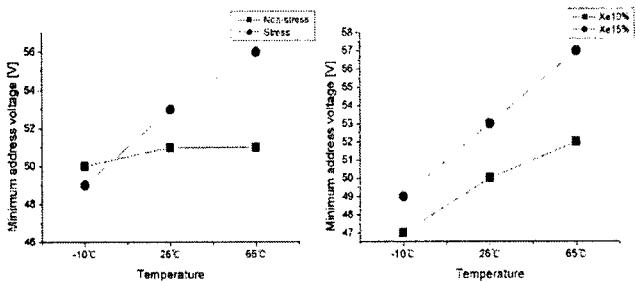
온도 변화와 패널 내부의 압력 변화 그리고 Ne-Xe의 혼합비 변화에 따라 각각 스트레스가 벽전하에 주는 영향력을 알아보기 위하여 400torr, Ne-Xe 10%(기준 패널) 조건의 테스트 패널의 어드레스 방전 전압 특성을 기준으로, 450torr, Ne-Xe 10%(고압력 패널) 조건의 테스트 패널과 400torr, Ne-Xe 15%(High Xe 패널) 조건의 테스트 패널의 방전 특성을 각각 측정하여 비교하였다. 그리고 테스트 패널의 셀이 스트레스의 영향을 확실히 받게 하기 위하여 스트레스 인가 시간을 900us로 고정하여 측정하였다.

<그림 5>의 (a)는 고압력 패널에서 스트레스를 받은 경우와 받지 않은 경우의 온도에 따른 최소 어드레스 전압 변화를 비교하여 보여주고 있다. 온도가 상승함에 따라 스트레스의 영향을 받은 셀은 최소 어드레스 전압이 증가하는 것을 볼 수 있다. <그림 5>의 (b)에서는 고압 패널에서 스트레스에 의한 최소 어드레스 전압 변화 특성을 기준 패널에서의 것과 비교하였고 이를 통해 고압 에서 방전전압의 절대 값이 더 크고, 스트레스에 의한 최소 방전 전압 증가율이 크다는 것을 알 수 있었다.



(a) 온도별 최소 어드레스 방전전압
 (b) 패널 압력에 따른 최소 어드레스 방전 전압 비교

<그림 5> 고압력 패널의 최소 어드레스 방전 전압 변화

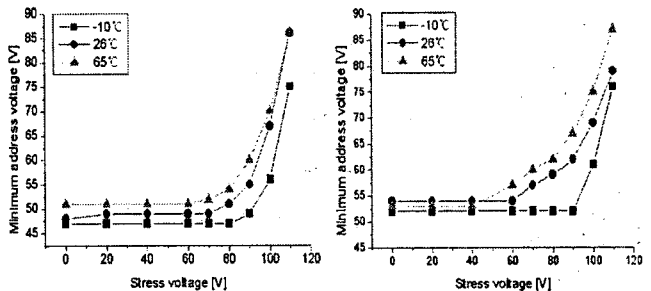


(a) 온도별 최소 어드레스 방전전압
 (b) 혼합비에 따른 최소 어드레스 방전 전압 비교

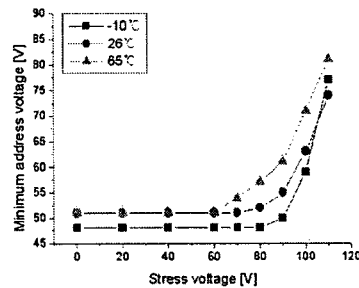
<그림 6> High Xe 패널의 최소 어드레스 전압 변화

<그림 6>는 High Xe에서의 최소 어드레스 방전전압 특성을 보여주고 있다. (a)는 <그림 5>와 (a)에서와 마찬가지로 스트레스가 인가되지 않은 셀의 최소 어드레스 전압은 온도에 따른 변화가 거의 없지만 스트레스를 받은 셀의 최소 어드레스 전압은 온도의 상승에 따라 증가하는 것을 볼 수 있다. (b)에서는 Ne-Xe 혼합비를 10%와 15%로 조건을 달리 하여 이때 스트레스 인가 시 온도에 따라 변하는 최소 어드레스 방전 전압을 측정하여 비교 하였다. 최소 어드레스 전압의 절대 값과 기울기가 High Xe%의 조건에서 더 크게 나타나는 것을 볼 수 있고 이를 통해 High Xe%에서 스트레스에 의한 벽전하 소실이 더 커진다는 것을 알 수 있다.

<그림 7>은 기준 패널에서 스트레스 전압을 0V에서 110V까지 변화시켰을 때 패널의 온도에 따라 다르게 나타나는 최소 어드레스 전압의 변화를 각각 비교하여 보여주고 있다. 기준 패널을 통해 측정한 (a)를 보면 고온에서는 스트레스 전압 60V까지 최소 어드레스 전압의 변화가 없고, 실온에서는 70V까지 그리고 저온에서는 스트레스 전압 80V까지 최소 어드레스 전압의 변화를 보이지 않는다. 이를 통해 고온에서 스트레스에 의한 벽전하 소실이 커진다는 사실을 다시 확인할 수 있었고, 스트레스 전압 60V 이하에서는 최소 어드레스 전압의 변화가 발생 하지 않는 것을 볼 수 있다.



(a) 기준 패널에서 스트레스 전압별 최소 어드레스 전압 변화
 (b) 고압력 패널에서 스트레스 전압별 최소 어드레스 전압 변화



(c) High Xe 패널에서 스트레스 전압별 최소 어드레스 전압 변화
<그림 7> 스트레스 전압별 최소 어드레스 전압 변화

고압력 패널과 high Xe 패널을 이용하여 측정한 (b)와 (c)에서의 최소 어드레스 전압 증가 경향성은 (a)에서와 비슷하게 나타나고 있다. 그중 고압력 패널에서는 고온에서 스트레스 전압 40V 이후에서 최소 어드레스 전압의 증가가 발생하고 저온에서는 스트레스 전압 90V 이후에서 최소 어드레스 전압 증가가 발생한다. 이를 통해 압력이 높을수록 온도에 의한 최소 어드레스 전압 변화 폭이 커진다는 것을 알 수 있다.

3. 결 론

본 연구에서는 불안정한 서스테인 방전의 원인을 어드레스 구간에서 방전과 상관없이 셀에 인가되는 어드레스 펄스에 의한 스트레스 때문이라고 보고 이에 따른 최소 어드레스 전압의 변화를 측정하였다. 스트레스가 인가되지 않은 셀에 비해 스트레스가 인가된 셀의 최소 어드레스 전압이 더 크게 나타났고, 온도가 상승할수록 그 경향성이 뚜렷하게 나타나는 것을 볼 수 있었다. 그리고 패널 내부의 압력과 Ne-Xe 혼합비가 증가 할수록 최소 어드레스 전압의 증가는 더 크게 나타나는 것을 볼 수 있었다. 그 결과 불안정한 어드레스 방전이 발생하고 서스테인 구간에서 오방전의 원인이 된다.

[참 고 문 헌]

[1] Larry F. Weber, "The Promise of Plasma Display for HDTV", *Society for Information Display(SID)*, vol 16, no. 12, pp 16-20, 2000.
 [2] Ji-Yong Kim, Dong-Hun Kim, Tae-Yong Song, Sun Kim, Seok-Hyun Lee, Joon-Yub Kim* "A Study on the Improvement of Address Discharge Time Lag in AC PDP at Low Temperature" *ASID*, WP 1.02, pp.369-372 October, 2006.
 [3] Byung-Tae Choi, Hyung Dal Park, Jae Kwang Lim, and Heung-Sik Tac "Analysis of Wall Voltage Variation During Address Period Using V(t)-Closed Curves" *SID'07 Digest*, pp. 565-568, 2007.