

고속 저전압 위상 동기 루프(PLL) 설계

Design of Low voltage High speed Phase Locked Loop

황인호, 조상복
(Hwang In Ho, Cho Sang Bock)

Abstract - PLL(Phase Locked Loop) are widely used circuit technique in modern electronic systems. In this paper, We propose the low voltage and high speed PLL. We design the PFD(Phase Frequency Detector) by using TSPC (True Single Phase Clock) circuit to improve the performance and solve the dead-zone problem. We use CP(Charge Pump) and LP(Loop filter) for Negative feedback and current reusing in order to solve current mismatch and switch mismatch problem. The VCO(Voltage controlled Oscillator) with 5-stage differential ring oscillator is used to exact output frequency. The divider is implemented by using D-type flip flops asynchronous dividing. The frequency divider has a constant division ratio 32. The frequency range of VCO has from 200MHz to 1.1GHz and have 1.7GHz/v of voltage gain. The proposed PLL is designed by using 0.18um CMOS processor with 1.8V supply voltage. Oscillator's input frequency is 25MHz, VCO output frequency is 800MHz and lock time is 5us. It is evaluated by using cadence spectra RF tools.

Key Words : PLL(Phase Locked Loop), PFD(Phase frequency Dectector), CP(Charge Pump), Loop Filter, Divider

1. 서론

최근 통신시스템이 발전함에 따라 고속주파수에서 동작하면서 빠른 응답특성을 갖는 주파수 합성기에 대한 필요성이 증대되고 있다. PLL은 시스템에 정확한 Clock공급, 주파수 합성 및 데이터 복원 등의 기능을 수행하기 위하여 시스템에 필수적인 회로이다. 최근에는 주파수 획득속도가 빠르게 지터 잡음을 감소시켜 PLL이 안정적으로 동작 할 수 있도록 PLL 구성요소들의 성능을 향상시키는 연구가 활발히 진행되고 있다.

그림1은 PLL의 기본 구조를 나타낸 것으로 Oscillator에서 입력된 기본 주파수와 VCO로부터 Feedback된 주파수를 PFD(Phase Frequency Detector)에서 비교하여 그 차이만큼의 펄스를 만들어 내고 Charge Pump는 입력신호의 펄스폭에 비례하는 전류를 구동하여 루프필터의 커패시터를 충전 또는 방전시킴으로써 VCO의 출력신호와 위상을 기준주파수의 위상과 주파수에 동일하게 만드는 VCO의 제어전압을 발생시킨다. VCO는 입력된 제어전압에 의하여 주파수를 발진하며, Oscillator의 기본 주파수와 VCO의 Feedback된 주파수가 같으면 주파수는 고정되어 VCO는 일정한 주파수로 발진하게 된다. 이때 Divider는 고속의 VCO 출력주파수를 기준 주파수와 비교 할 수 있도록 주파수를 낮추어 주는 역할을 하며, 분주비를 변화시킴으로써 VCO의 출력주파수를 변화시키는 역할도 하고 있다.

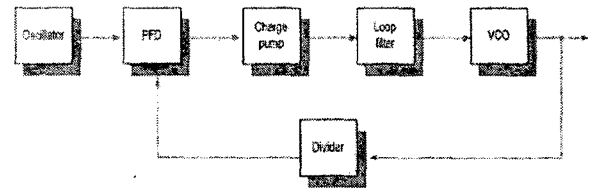


그림 1. PLL의 기본 구조

2. PLL 회로의 구성

2.1 위상/주파수 검출기 (PFD)

PFD(Phase Frequency detector)는 VCO의 출력주파수와 Oscillator의 기준주파수를 비교하여 위상차이 만큼의 UP 펄스 혹은 DOWN 펄스를 발생시키는 회로이다. PFD는 기본적으로 리셋단자를 가지는 2개의 D-플립플롭으로 구성된다. 그림 2.A는 기존의 PFD로서 Static Gate로 구성되어 있으며 Reset의 임의의 경로가 길어서 고속으로 동작할 수 없다. 또한 기준주파수와 Feedback된 신호의 차이가 Gate 지연보다 작은 경우 위상 차이를 판별하지 못하는 Dead-zone 문제가 발생한다. 그림2.B는 설계한 PFD 회로로 TSPC(True Single Phase Clock) Dynamic Logic을 사용하여 설계를 하였으며 Reset 경로가 짧아서 고속 동작에 유리하고 PLL이 Locking 할 때 UP과 DOWN의 펄스폭이 매우 동일하게 유지되므로 Dead-zone이 매우 작게 된다. 설계한 PFD의 특성곡선을 분석하여 두 신호의 위상 차이에 대하여 Dead-zone이 발생하지 않는 선형적인 특성을 확인하였다.

저자 소개

- * 황인호 : 울산대학교 전기전자공학부 석사과정
- ** 조상복 : 울산대학교 전기전자공학부 교수

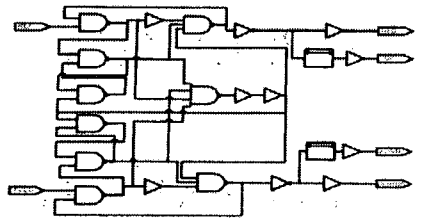


그림 2.A 기존의 PFD의 구조

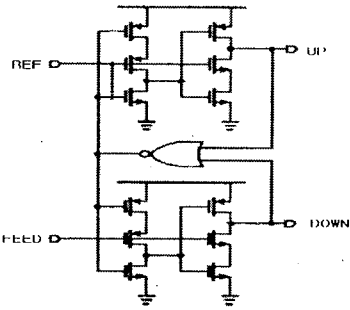


그림 2.B 설계한 TSPC PFD의 구조

2.2 Charge Pump & Loop Filter

Charge Pump와 Loop Filter는 VCO의 제어전압을 생성하는 회로로 기본적으로 2개의 UP, DOWN 스위치와 2개의 전류원으로 구성된다. UP 신호가 High로 될 때 루프필터를 충전시키고, DOWN 신호가 High로 되면 방전시킨다. PLL이 Lock이 되면 짧은 시간동안 UP, DOWN 신호가 동시에 High로 되고, 충전전류와 방전전류가 같다면 루프필터에 공급되는 전하량은 없지만 두 전류가 정확하게 일치하지 않는다면 Jitter를 일으키게 된다. 그림 3.A에 설계한 CP 회로를 나타내었으며 설계한 Charge Pump는 Current Mismatch 문제를 해결하기 위하여 Positive Feedback 구조를 사용하였으며, UP 스위치와 DOWN 스위치가 동시에 On 될 때 발생하는 Switching Mismatch 문제를 해결하기 위하여 Charge Pump의 각 스위치를 NMOS로 구성하였다. 또한 Positive Feedback 구조를 사용하여 스위칭 속도를 향상시키고 전력소모를 줄일 수 있도록 설계하였다.

그림 3.B에 PFD와 Charge Pump 그리고 Loop Filter의 Simulation 결과를 나타내었으며 주기 10ns의 두 신호에 대하여 EXT 신호가 INT 신호보다 5ns 앞선 신호일 때 5.3ns의 UP 펄스가 발생하여 VCO의 Control Voltage가 상승함을 확인하였다. 이때 0.3ns의 UP 펄스는 Dead-zone 문제를 해결하기 위하여 설계한 지연의 펄스이다.

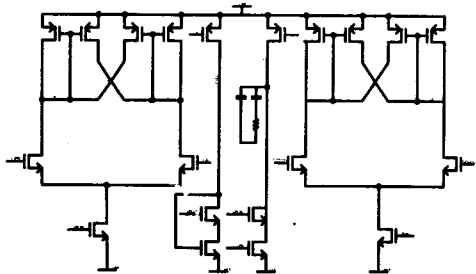


그림 3.A 설계한 Charge Pump의 구조

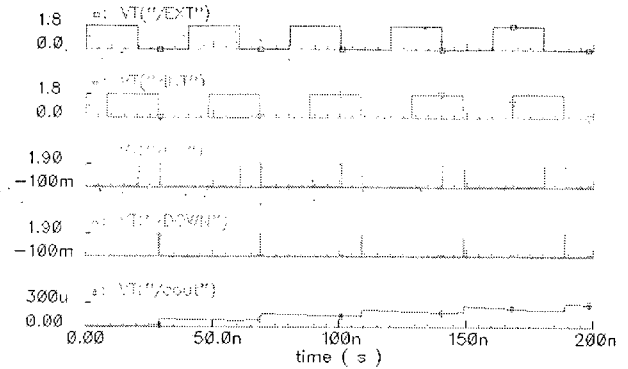


그림 3.B PFD와 Charge Pump Simulation 결과

2.3. 전압 제어 발진기 (VCO)

VCO(Voltage Controlled Oscillator)는 입력전압에 대한 주파수를 발진하는 회로로 설계한 VCO는 잡음에 둔감한 특성을 얻기 위하여 차동구조를 사용한 5-Stage Differential Ring Oscillator를 사용하였다. 그림 4.A에 VCO의 Delay Cell과 그림 4.B에 Cell의 내부를 나타내었으며 Buffer Stage는 넓은 동작주파수와 선형적인 주파수 특성을 얻기 위하여 Symmetric Load를 사용하였다. 또한 전원 전압과 기판의 잡음에 둔감한 특성을 얻기 위하여 Differential 구조를 사용하였다. 설계한 VCO의 Simulation 결과를 그림 4.C에 나타내었으며 출력 주파수는 200MHz에서 1.1GHz이며 중심주파수는 800MHz이고 VCO의 Voltage Gain 은 1.7GHz/V이다.

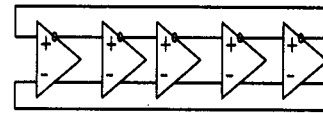


그림 4.A 5-Stage Differential Ring Oscillator

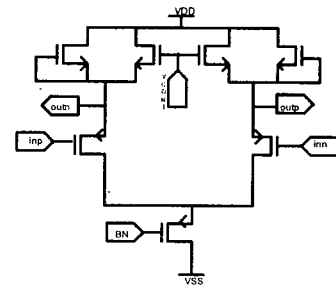


그림 4.B VCO의 내부 delay cell

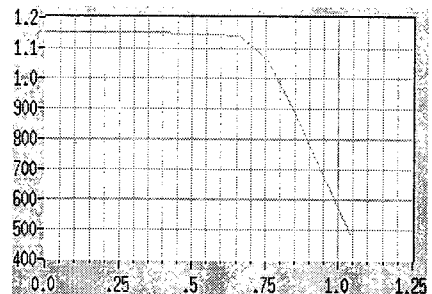


그림 4.C 설계한 VCO의 시뮬레이션 결과

2.4 주파수분주기(Divider) 설계

Divider는 VCO의 고속주파수를 Oscillator의 기준 주파수와 비교하기 위하여 주파수를 낮추는 역할을 하며 분주 비를 조절함으로써 다양한 VCO의 출력주파수를 얻기 위한 회로이다. 설계한 Divider는 D-플립플롭을 사용하여 Counter회로를 구성하여 VCO의 높은 출력주파수를 낮추어 Oscillator의 기준주파수와 비교할 수 있도록 설계를 하였다. 그림6에 Divider의 Simulation 결과를 나타내었으며 500MHz의 Divider 입력주파수에 대하여 32분주하여 15MHz의 출력주파수가 발생함을 확인하였다.

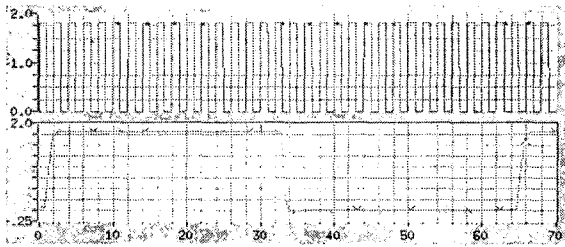


그림 6. Divider 시뮬레이션 결과

3. PLL Simulation

그림6은 설계한 PLL 전체회로이며, 전체회로는 PFD, CP, Loop filter, VCO와 divider로 구성되어 있고 Bias 전압을 생성하기 위한 Bias Generator로 구성되어 있다. 그림7에 전체 PLL회로의 simulation 결과를 나타내었으며, 기준 입력주파수 20MHz에 대하여 DOWN 펄스가 발생하여 VCO의 Control Voltage가 상승하며, 5us후에 Lock Time이 발생하여 800MHz의 VCO출력 주파수가 발생함을 확인하였다. 사용한 Simulation Tool은 Cadence사의 Spectra RF를 이용하여 Simulation 하였다.

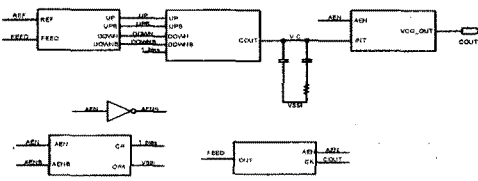


그림6. PLL전체회로

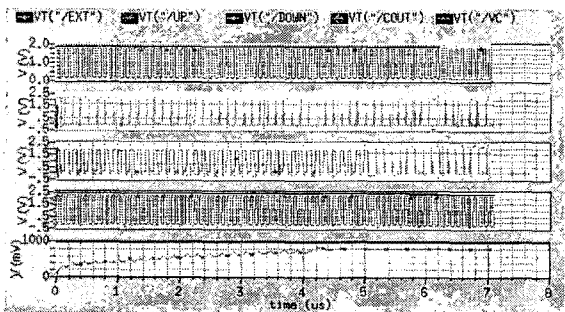


그림7. PLL전체 시뮬레이션 결과

4. 결론

본 논문에서는 TSPC회로를 이용한 PFD, Positive Feed back and Current Reused 회로를 이용한 Charge Pump, 5-Stage Differetial Ring Oscillator VCO, D-플립플롭을 이용한 Divider를 사용하여 저 전력 고속동작 PLL을 설계하였다. PFD는 TSPC회로를 이용하여 고속에서 동작할 수 있도록 설계하였으며, CP(Charge Pump)는 Positive Feedback and Current Reuse 회로를 사용하여 빠른 스위칭 속도와 적은 소비전력을 얻을 수 있도록 설계하였다. VCO는 5-Stage Ring Oscillator를 사용 하였으며 특히 Delay cell을 Differential구조를 사용하여 설계함으로써 넓은 동작주파수와 선형적인 주파수특성을 얻을 수 있도록 설계하였다. 또한 정확한 VCO의 출력주파수 분주하기 위하여 D-Type 플립플롭을 이용한 Divider를 설계하였다. 설계한 PLL의 입력주파수는 25MHz, VCO의 출력주파수는 800MHz이며 Lock Time은 5us이다. PLL의 동작전압은 1.8V이며, 설계시 사용한 공정은 CMOS 0.18um공정을 사용하여 설계를 하였다.

감사의 글

본 연구는 2차 BK 사업단과 반도체와 네트워크 기반 자동화연구센터 (NARC, Network-based Automation Research Center), ETRI주관 IT-SoC설계실습과제의 지원으로 수행되었음.

참 고 문 헌

- [1] John G.Maneatis "Self-biased high-bandwidth low-jitter 1-to-4096 multiplier clock generator PLL Pump Circuit for PLL", IEEE JOURNSL, November 2003
- [2] Arshakk "Design and Simulation Difference Type CMOS Phase Frequency Detector for high speed and low jitter PLL", IEEE International conference 2004
- [3] Jaeha kim "Design of CMOS Adaptive-Bandwidth PLL/DLLs : A General Approach", IEEE TRANSACTIONS ON CIRCUIT AND SYSTEM, November 2003
- [4] John G.Maneatis "Self-biased high-bandwidth low-jitter 1-to-4096 multiplier clock generator PLL Pump Circuit for PLL", IEEE JOURNSL, November 2003