

모바일 시스템에 필요한 향상된 위상주파수검출기를 이용한 위상고정루프

Fast locking PLL in mobile system using improved PFD

감치욱*, 김성훈**, 황인호**, 이종화***
Chi-Uk Kam* · Seung-Hoon Kim** · In-Ho Hwang** · Jong-Hwa Lee***

Abstract - This paper presents fast locking PLL(Phase Locked Loop) that can improve a jitter noise characteristics and acquisition process by designing a PFD(Phase Frequency Detector) circuit. The conventional PFD has not only a jitter noise caused from such a demerit of the wide dead zone and duty cycle, but also a long delay interval that makes a high speed operation unable. The advanced PFD circuit using the TSPC(True Single Phase Clocking) circuit is proposed, and it has excellent performances such as 1.75us of locking time and independent duty cycle characteristic. It is fabricated in a 0.18- μ m CMOS process, and 1.8v supply voltage, and 25MHz of input oscillator frequency, and 800MHz of output frequency and is simulated by using ADE of Cadence.

Key Words : PLL, TSPC, PFD, LOCKING TIME

1. 서론

최근 무선 통신이나 데이터 전송분야의 수요의 급증으로 기술부문의 많은 연구와 개발이 수행되고 있다. 그중에서도 사용자들에게 필요한 다양한 주파수를 제공하기 위한 주파수 합성기와 정확한 주파수원을 필요로 하는 Clock Data Recovery, Sampling Clock, Clock Generator등의 핵심 회로로 PLL이 많이 사용되고 있으며 시스템의 사용 주파수가 높아짐에 따라 더욱 많은 응용분야에 쓰일 것으로 예상된다. PLL이란 위상 잠금 장치로 불리며, 송신된 신호의 위상을 동기 시키는 피드백 루프 회로라 할 수 있다. 그림 1은 기본적인 PLL의 블록다이어그램으로, 위상주파수검출기(PFD: Phase Frequency Detector), 전하펌프(Charge Pump), 루프필터(Loop filter) 그리고 전압 제어발진기(Voltage Controlled Oscillator)로 이루어져 있다.

본 논문에서는 TSPC회로를 사용한 PFD 회로를 설계 제안한다. 본 논문에서 설계된 PFD회로는 1.75us의 Locking Time과 독립적인 Duty Cycle 특성을 갖는 0.18 μ m CMOS 공정으로 1.8v의 공급전원, Input Oscillator Frequency 는 25MHz, Output Frequency는 800MHz의 특성을 갖도록 설계하였으며 Cadence ADE Tool을 이용하여 시뮬레이션 하였다.

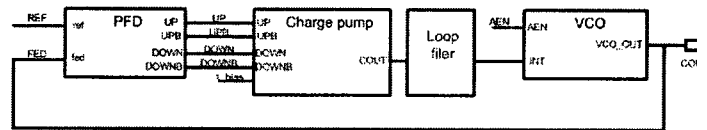


그림 1. PLL의 기본 구조

2. 전체 회로 구성 및 동작원리

본 논문에서 설계한 Fast Locking PLL의 블록다이어그램은 그림 2에서와 같이 위상검출기(Phase Frequency Detector), 전하 펌프(Charge Pump), 루프필터(Loop Filter), 전압제어발진기(Voltage Controlled Oscillator), Bias회로, Divider 등으로 구성되었다. 위상검출기(PFD)는 기존의 PLL의 주파수 기준 신호와 Divider를 통과한 전압 제어발진기(VCO) 출력신호의 위상차를 구하는 블록이다. 전하펌프와 루프 필터는 PFD의 출력 신호를 받아서 VCO를 제어할 직류 전압을 만들어 내는 블록이며, VCO는 입력으로 들어오는 직류 전압에 따르는 주파수의 신호를 만들어 내는 블록이다. Divider는 VCO의 출력이 입력주파수에 비해 너무 높아 낮춰주는 역할을 한다. 또한 추가적으로 Bias 회로는 VCO와 Charge Pump 회로에 필요한 안정된 전류를 공급하는 회로이다.

저자 소개

- * 감치욱 : 울산대학교 전자공학과 석사과정
- ** 김성훈 : 울산대학교 전자공학과 석사과정
- ** 황인호 : 울산대학교 전자공학과 석사과정
- *** 이종화 : 울산대학교 전자공학과 교수

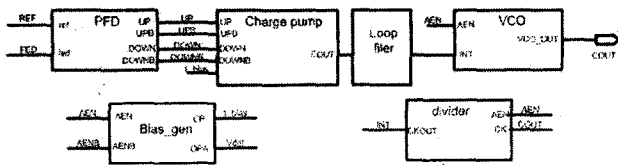


그림 2. 설계한 PLL의 블록다이어그램

1. 위상/주파수 검출기 (PFD)

위상주파수 검출기(PFD)는 그림 3과 같이 위상동기회로의 외부에서 입력되는 기준신호와 전압제어 발진기의 출력 신호를 입력으로 받아 두신호의 위상 및 주파수를 비교하여 위상 주파수 차이에 해당하는 'Up' 신호와 'Down' 신호 0을 생성시킨다. 기존에 사용되던 PFD는 리셋(Reset) 기능을 가진 두 개의 D-F/F과 지연 셀(Delay Cell)을 이용하여 위상뿐만 아니라 주파수 차이를 판별할 수 있는 Conventional PFD(Phase Frequency Detector) 구조를 사용하였다. 하지만 Conventional PFD구조를 사용하면 두 신호의 차이가 미세할 때 검출하지 못하는 Dead-Zone문제를 해결할 수 있지만 PFD회로가 복잡하고 지연 셀까지 달아 입력으로 들어간 신호들이 출력까지 나오는 시간이 길게 된다. 출력까지 나오는 시간이 길어지면 고속 동작용으로 적절하지 않으며, VCO의 출력파형에서 얻을 수 있는 High Frequency까지 도달하는 Lock Timing이 길어지는 단점이 있다. 이러한 문제를 해결하기 위해 본 논문에서 그림 4와 같이 아주 간단한 TSPC(True Single Phase Clock)구조의 PFD를 제안하였다. TR 8개로 D-FF의 역할을 하는 회로로 입력을 인가하였을 때 출력에 나오는 시간이 빨라서 고속 동작으로 사용 가능하며 지연시간의 감소로 Jitter의 영향도 적고, Locking 속도도 빠르다는 장점을 갖는다. 그림5에서는 PFD Characteristic을 나타내주는 그림으로 미세한 차이에서도 사각지대인 Dead-Zone이 발생하지 않는 것을 알 수 있다.[1]

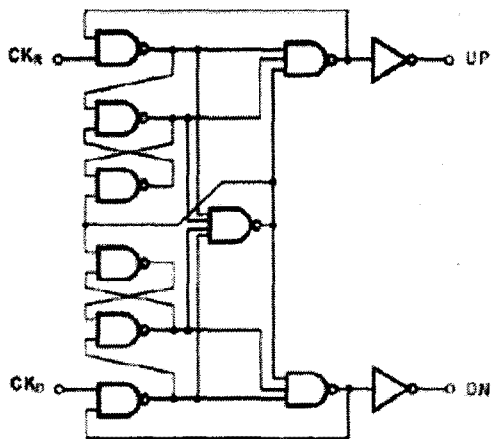


그림 3. 기존의 PFD의 기본 구조

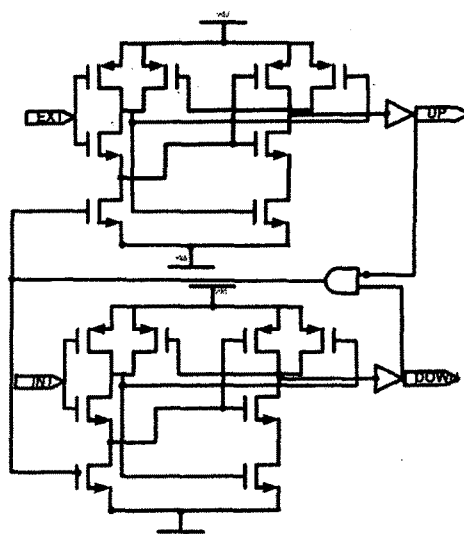


그림 4.제안한 TSPC PFD의 기본 구조

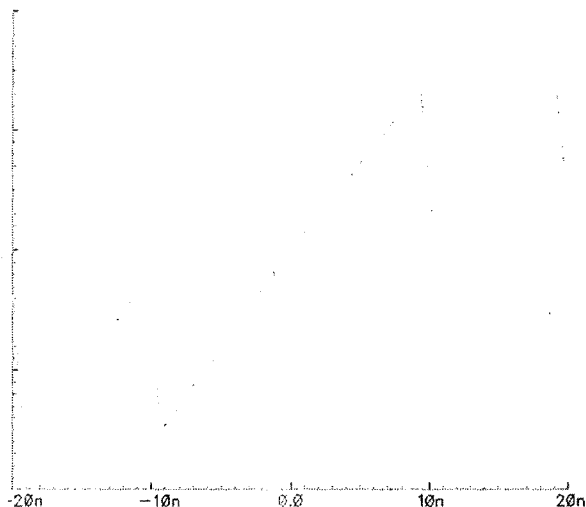
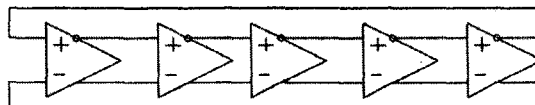


그림5. PFD Characteristic

2. 전압 제어 발진기 (VCO)

VCO는 Charge Pump 와 Loop Filter에 의해 생성된 직류 전압값에 따라 주파수를 만들어 내는 회로이다.[2] 사용한 VCO는 각단의 Delay Cell에 해당하는 단을 홀수개 만큼 Cascade형태로 연결한 후 피드백(Feedback)을 통해 발진을 일으키는 Ring Oscillator이다[3]. 이 방식은 Differential 구조를 사용하여 잡음을 보다 줄일 수 있다는 점과 VCO의 또 다른 방식인 LC VCO 보다 직접화가 용이하다는 장점을 가지고 있다. 그림 6은 5단의 Ring Oscillator와 하나의 Delay Cell의 내부 회로를 보여주고 있다. 그림 7에서는 사용된 VCO의 주파수 특성을 나타내고 있다.[4]



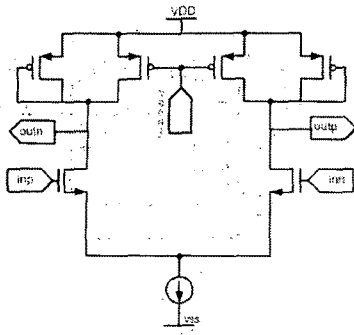


그림 6. VCO의 구조와 Delay Cell과 시뮬레이션

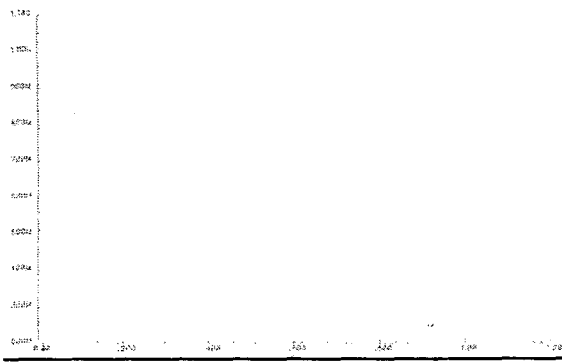


그림 7. VCO의 주파수 특성 결과

그 외에는 32 분주 Divider를 이용하였다.

3. 전체 회로 시뮬레이션

전체적인 회로를 구성하여 시뮬레이션을 하였을 경우는 그림 8에 보였고 1.75ns에서 전압이 일정해지는 것을 알 수 있다.

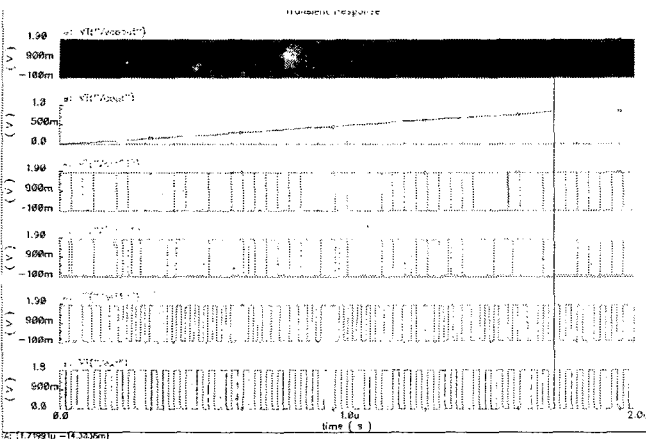


그림 8. Cadence를 이용한 PLL Simulation

4. 결론

본 논문에서는 빠른 locking 위해 기존의 Conventional PFD 대신 TSPC PFD를 사용하여 빠른 locking time을 획득하였고 Differential Charge Pump를 이용하여 전류의 Mismatching 문제를 개선한 고성능 PLL을 설계하였다. PFD를 이용하여 입력주파수를 비교하여 위상차에 대한 펄스를 발생함을 확인하였고 Charge Pump와 Loop Filter를 통하여 펄스에 대한 전압이 생성됨을 확인하였다. VCO의 출력주파수를 분주하기 위한 Divider는 입력주파수 25MHz를 32분주하여 800 MHz 주파수를 출력함을 확인하였다. 정확한 PLL 동작을 확인하기 위하여 25MHz의 입력을 인가하였을 때 출력주파수가 800MHz이며 1.75us후에 주파수가 Locking됨을 확인하였다.

감사의 글

본 연구는 2차 BK 사업단과 반도체와 네트워크 기반 자동화연구센터 (NARC, Network-based Automation Research Center), 정보통신부 출연금으로 ETRI, SoC 산업 진흥 센터에서 수행한 IT SOC 핵심설계인력사업의 연구결과입니다.

참 고 문 헌

- [1] K. Arshak O. Abubaker E. Jafer "Design and Simulation Difference Types CMOS Phase Frequency Detector for high speed and low jitter PLL"Proceedings of the Fifth IEEE International Caracas Conference on Devices, Circuits and Systems, Dominican Republic, Nov.3-5, 2004
- [2] Esdras Juárez-Hernández and Alejandro Díaz-Sánchez "A Novel cmos charge-pump circuit with positive feedback for pll applications", ELECTRO 2001
- [3] 조용덕, 윤영승, 유상대 "Design of PLL for Low Voltage and High Speed Operation" 대한 전자 공학회 98/11
- [4] Jeong Hwan Cho and Jong Wha Chong "A High Speed and Low Jitter PLL Clock generator" 대한 전자 공학회 02/09