

# 아날로그 비터비 디코더에 있어서 기생 cap성분 최소화 layout 설계에 의한 신호전파 지연 개선

## Improvement of Time-Delay of the Analog Viterbi Decoder through Minimizing Parasitic Capacitors in Layout Design

\*김인철, \*\*김현정, \*\*\*김형석  
(Incheol Kim, Hyunjung Kim, Hyongsuk Kim)

**Abstract** - A circuit design technique to reduce the propagation time is proposed for the analog parallel processing-based Viterbi decoder. The analog Viterbi decoder implements the function of the conventional digital Viterbi decoder utilizing the analog parallel processing circuit technology. The decoder is for the PR(1,2,2,1) signal of DVD. The benefits are low power consumption and less silicon occupation. In this paper, a propagation time reduction technique is proposed by minimizing the parasitic capacitance components in the layout design of the analog Viterbi decoder. The propagation time reduction effect of the proposed technique has been shown via HSPICE simulation.

**Key Words** : Viterbi Decoder, time-delay, PR(1 2 2 1), analog parallel processing, current-mirror

### 1. 서 론

최근 멀티미디어에 대한 고화질, 고배속에 대한 사람들의 욕구가 증가되고 있으며, DVD등 대용량 저장 매체의 수요도 폭발적으로 증가 시키고 있다. 이에, 데이터 저장 매체의 고밀도화와 데이터의 reading 속도의 고속화가 필수적인 요소가 되었다. 고 밀도의 마그네틱 기록매체나 광디스크 드라이브에서는 인접 신호들의 저장 위치가 매우 가깝기 때문에 상호 영향을 많이 주고받게 된다. 따라서 저장 신호의 급격한 변화를 피하고 멀티 레벨화 함으로 신호의 간섭을 줄이기 위하여 PR (Partial Response) 기술이 이용된다. PR기술은 인접 심볼에 의한 간섭을 고려하여 코딩 시 상호간섭 파형 모델로 코딩하여 채널에 인가하는 방법이다. 이렇게 하면 여러 개의 인접 비트가 조합되어 출력이 만들어지게 되는 특성이 있으므로, Partial Response라 명명하여 주로 자기 디스크에 응용하였다<sup>[1]</sup>.

한편, PR신호 생성(코딩) 시 에러 검출이 용이하게 규칙을 구성하면, 비터비 디코더처럼 최적화 방법<sup>[2]</sup>을 사용하여 에러를 정정할 수 있다. 이를 PRML(Partial Response Maximum Likelihood)기술이라 명명하고 자기디스크 드라이브에 사용되는 중요 기술이 되었다.

기존의 PRML 기술은 주로 디지털 방식으로 구현되어 왔으나 고화질 고속화에 대한 사람들의 욕구를 충족시켜 주기 위하여 아날로그 방식의 비터비 디코더 설계에 대한 연구가 활발히 진행 되고 있다<sup>[3]</sup>. 아날로그 방식의 비터비 디코더 회

로에서는 각 스테이지에서의 입출력 신호들이 current-mirroring 통하여 전파가 이루어지고 있다. 그러므로 신호 라인의 거리에 따라 입출력 신호의 왜곡 및 감쇠 현상 그리고 시간 지연 특성에 영향을 미치게 된다. 본 논문에서는 입출력 전파과정에 있어서 current mirror에서 생성되는 parasitic capacitance 성분을 줄임으로써 신호의 전파속도를 개선하는 기술을 제안하였다. 주기(T)가 50ns인 단일 pulse 신호를 입력으로 하여 비터비 디코더 코어의 각 Sub-Block의 회로에서부터 최종 스테이지의 출력되는 신호를 HSPICE를 이용하여 시뮬레이션 하고 그 결과를 정리 하였다.

### 2. 아날로그 비터비 디코더 코어회로의 입출력 전파방식 구조 변경

#### 2.1 전압 전류 변환 회로 (V2I Circuit)

제안한 아날로그 비터비 디코더는 전류 모드로 연산을 수행하므로 입력된 전압신호를 전류로 변환하기 위한 회로가 필요하다. 그림. 1(a)은 V2I회로로서, 전압으로 인가된 신호  $V_{ip}$ 를 전류로 변환하는 기능을 한다. MN1, MN2의 W/L의 값을 같게 하고  $V_{in}$ 의 신호를  $V_{ref}$ 으로 정해주면, 출력 전류는  $V_{ip}$ 의 값에 대응하는 값을 선형적으로 출력한다. 이 회로에서 MP2의 gate 단자에 큰 기생 cap 성분이 존재한다면, 이 cap에 축전된 전하들이 방전하기 위해서는 Mn2에 존재하는 저항성분을 통과해야 하며 이 때 RC에 의한 시간지연이 생기게 된다. 이를 방지하기 위해서는 MP2의 gate 단자에 기생성분을 최소화 해야 하는데 이를 위해서 MP3, MP4.. 등을 MP2에 가급적 인접해서 위치하게 하여 선의 길이를 최소화 함으로써 parasitic cap을 최소화하는 것이다.

그림. 1(a) V2I의 출력 신호를 그림. 1(b)와 같은 배치 구조로 변경하였다.

저자 소개

- \* 김인철 : 全北大學 電子情報工學部 博士課程
- \*\* 김현정 : 全北大學 電子情報工學部 碩士課程
- \*\*\*김형석 : 全北大學 電子情報工學部 教授·工博

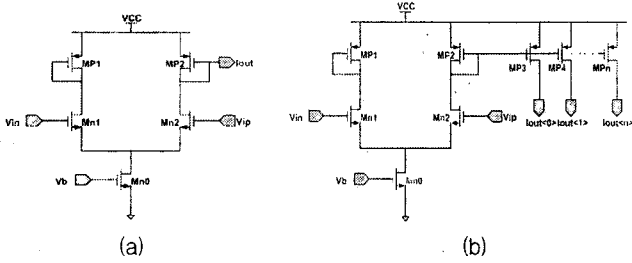


그림. 1 V2I 회로 (a)변경 전 (b)변경 후

## 2.2 브랜치 매트릭 연산을 위한 Absolute Circuit

아날로그 입력 신호와 트랜지스 다이어그램의 부호어간의 브랜치 매트릭을 계산하기 위하여 그림. 2와 같은 절대값 연산회로가 요구된다. 설계된 연산회로는 두 개의 입력 신호  $I_1, I_2$ 가 인가되면 두 입력 신호의 차의 절대값  $|I_1 - I_2|$ 를 출력하는 기능을 한다<sup>[4]</sup>. 그림. 2(a)는 절대값 연산 결과를 다음블록과 단순 mirroring 방식이고 (b)는 다음 블록에 직접 주입하는 방식이다.

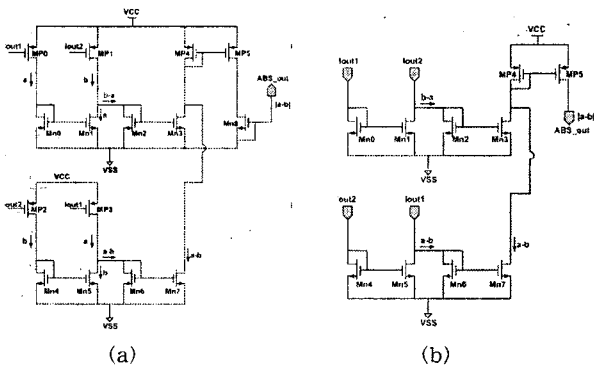


그림. 2 절대값 연산 회로 (a)변경 전 (b)변경 후

## 2.3 셀 최대값 연산 회로 설계

제안한 비터비 디코더는 첫 번째 단의  $I_{ref}$ 로부터 전파되어 온 값들 중에서 최대값이 전파되기 때문에, 회로 구현 시 최대값 연산회로가 요구된다. 그림. 3은 병렬로 입력되는 전류 중에서 최대값이 출력된다<sup>[4]</sup>. 그림. 3 (a)와 같이 절대값 회로의 출력단과 직접 mirroring을 하지 않고 이전 블록에서 미리 전류로 출력을 생성한 후 최대값 회로에, 입력으로 직접 전류를 주입하는 방식을 그림. 3 (b)에 나타내었다:

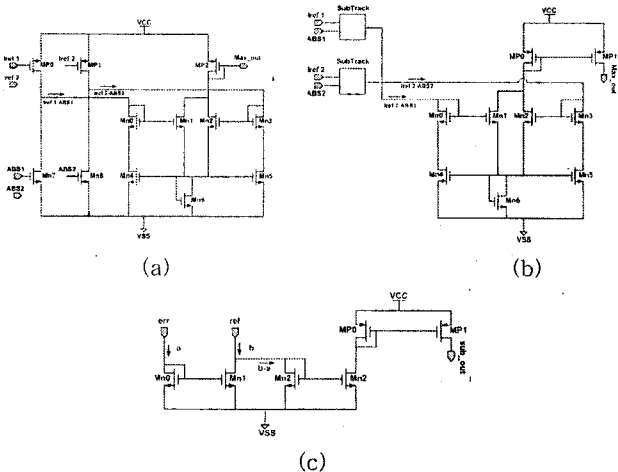


그림. 3 최대값 연산 회로 (a)변경 전 (b)변경 후 (c)최대값 입력부의 뱀셈 회로

## 3. 병렬처리 셀을 이용한 비터비 디코더

그림. 4 은 아날로그 병렬처리 기반 비터비 디코더의 전개도이다<sup>[3]</sup>. 현재의 디코딩 stage를 지시하는 stage indicator, 코딩 상태를 표시하는 state indicator, 아날로그 신호의 출력 회로 및 입력 capacitor로 구성되어있다. 그림. 5는 각 셀의 회로를 보여주고 있다. 각 서브 블록의 입출력 전파방식의 변경 전(a)과 변경 후(b)를 각각 나타내었다.

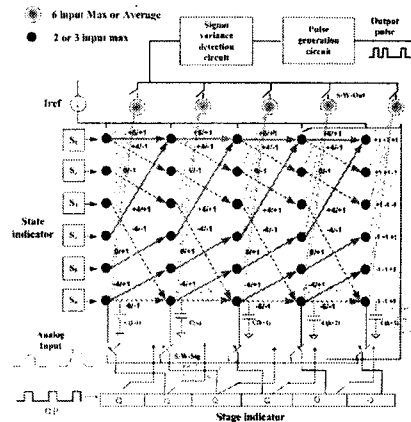


그림. 4 아날로그 병렬처리 기반 비터비 디코더의 전개도

## 4. 시뮬레이션 결과

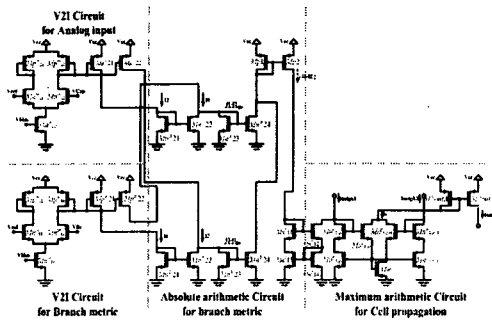
아날로그 병렬처리 기반 비터비 디코더는 AD 변환기를 필요치 않으므로 고속 및 저전력 구현이 가능하다는 장점이 있다. 하지만 신호 전파 과정에서 단순 current-mirroring방식은 입출력 단자의 거리에 따라서 기생 cap이 생기고 여기에 저장된 전하가 방전하는 과정에서 RC 시간 지연 현상이 생길 수 있으므로, 각 블록의 연산 결과를 전류로 생성하여 다음 블록의 입력에 직접 주입하는 방식을 도입하였다. 주기(T)가 50ns(20Mbps)인 단일 펄스를 입력으로 하여 HSPICE 시뮬레이션을 수행하였다.

그림. 6은 각 서브 블록 (V2I, ABS, Max circuit)의 시간 지연 특성 시뮬레이션 결과이다. 그림. 7은 제안한 아날로그 비터비 디코더 코어의 연산과정에서 발생하는 전체 시간 지연 특성 시뮬레이션 결과이다. 시뮬레이션 결과 입출력 신호 전파과정에서 직접 주입방식의 경우 단순 current-mirroring 방식보다 약 40%의 지연 절감 효과를 얻을 수 있었다.

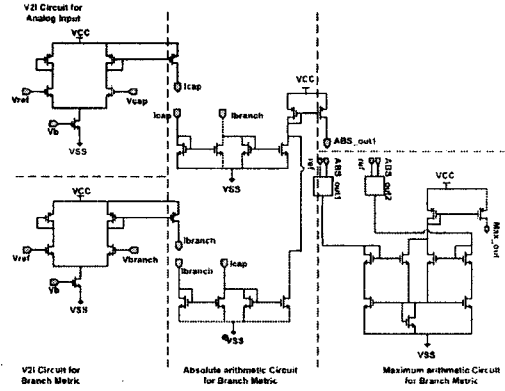
## 5. 결론

아날로그 병렬처리 기반 비터비 디코더는 기존의 방식과는 달리 아날로그 신호처리 셀의 2차원 배열을 이용한 아날로그 병렬처리 방식으로 기존 디지털 방식보다 고속 저전력으로 동작하는 특성이 있다. 특히 고속화를 위해서는 연산과정 동안 발생하는 총 시간지연특성을 감소시킬 필요가 있다.

본 논문에서는 current-mirror 회로의 gate 단자의 거리에 따라서 기생 cap이 생기고 여기에 저장된 전하가 방전하는 과정에서 RC 시간 지연 현상이 생길 수 있으므로, 각 블록의 연산 결과를 전류로 생성하여 다음 블록의 입력에 직접 주입하는 방식을 제안하였으며, 그 효과를 HSPICE 시뮬레이션을



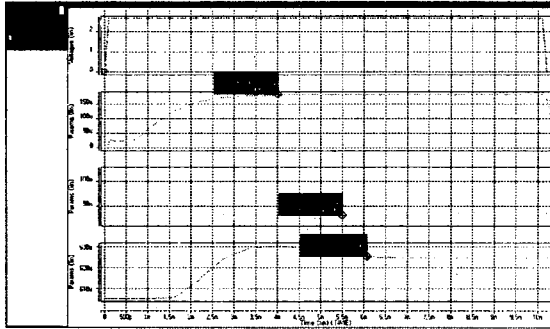
(a)



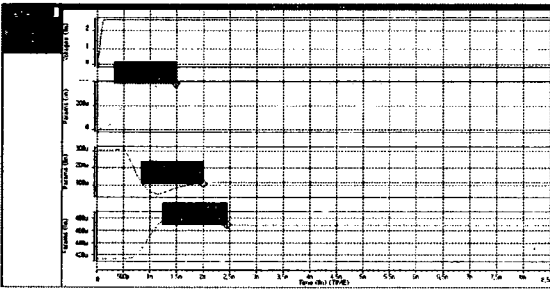
(b)

그림. 5 제안한 아날로그 비터비 디코더 셀 회로 (a)변경 전 (b)변경 후

통해 비교하였다. 그 결과 전과과정 중에서 출력된 신호를 다음 블록의 입력에 직접 주입시키는 방식에서 최대 40%의 시간지연 감소 효과를 얻을 수 있음을 확인하였다.

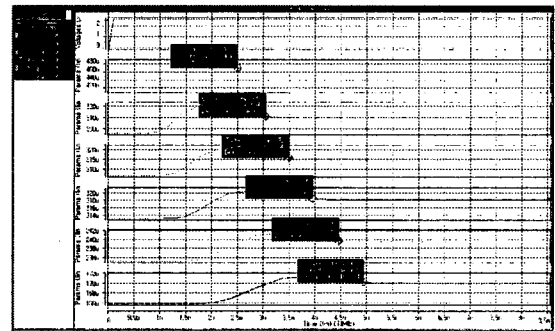
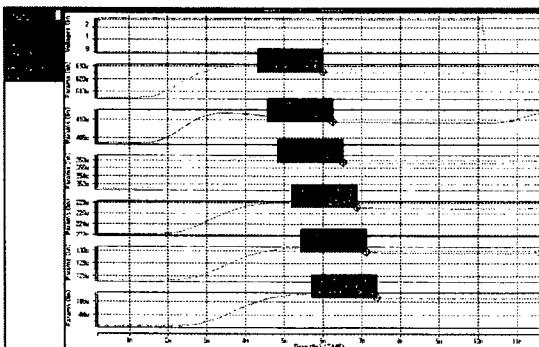


(a)



(b)

그림. 6 각 서브 블록(V2I, ABS, Max circuit)의 시간 지연 특성 시뮬레이션 (a)변경 전 (b)변경 후



(b)

그림. 7 제안한 비터비 디코더 코어 회로의 연산 과정 중 총 시간지연 (a)변경 전 (b)변경 후

### 참 고 문 헌

- [1] H. Kobayashi and D. T. Tang, "Application of partial response channel coding to magnetic recording system," IBM Journal of Research and Development, pp. 368-375, 1970.
- [2] A. J. Viterbi, "Error bounds for convolutional codes and an asymptotically optimum decoding algorithm," IEEE Tr. on Information Theory, vol.13, pp.260-269, 1967.
- [3] Hyongsuk Kim, Hongrak Son, Tamas Roska, and Leon O. Chua, "High-Performance Viterbi Decoder With Circularly Connected 2-D CNN Unilateral Cell Array," IEEE Transactions on Circuits and Systems I, Vol.52, pp. 2208- 2218, Oct. 2005
- [4] Hyunjung Kim, "고 집적 DVD용 고배속/저전력 아날로그 비터비 디코더 회로 구현," 석사학위 논문, 전북대학교, 2006.