

의료 기기용 10bit, 100Ks/S Successive Approximation A/D Converter 설계

*김재운, *범진욱, **임신일
*서강대학교 전자공학과, **서경대학교 컴퓨터공학과

A Design of 10-bit 100Ks/S Successive Approximation A/D Converter for Biomedical Applications

*Jae-Woon Kim, *Jin-Wook Burm, **Shin-Il Lim
*Dept. of Electronic Engineering, Sogang University, **Dept. of Computer Engineering, Seokyeong University

Abstract - This paper describes the design of a 10-bit 100 KSample/S CMOS A/D Converter for biomedical applications such as pulse oximetry, body weight scale, ECG etc. We adopted an asynchronous architecture in the 10-b DAC design and hence reduces the number of switches by 11 and resistors by 64 compared with the conventional 10-b DAC. We also reduced the power consumption compare with the conventional architecture by 0.4mW. Output offset cancellation technique is applied to the design of comparator. The total power consumption of designed circuit is 190uW at the supply voltage of 1.8V with the 0.18um general CMOS technology.

1. 서 론

인구 고령화와 생활수준 향상에 따라 의료기기에 대한 관심과 수요가 높아지고 있다. 이러한 추세에 따라 의학 분야뿐만 아니라 공학 분야에서도 의료기기에 사용 될 칩 개발에 관련된 연구가 활발히 진행되고 있다. 맥파계, 심전도 측정기, 체중계 등과 같은 의료기기는 휴대용으로 사용되고, 배터리를 전원 전압으로 사용하기 때문에 이와 같은 의료기기에 사용 될 집적 회로는 저 전력 구현은 물론 적은 면적의 사양을 요구한다. 또한 의료기기에 사용 되는 생체신호는 200Hz 미만의 저주파 대역의 신호로 이루어져 고속 동작이 필요하지 않다.

Successive Approximation Register (SAR) 형태의 ADC는 다른 구조의 ADC보다 비교적 회로의 구조가 간단하고, 적은 전력과 소 면적으로 고해상도의 데이터를 변환 할 수 있는 장점이 있다. 또한 수백 kHz의 동작 주파수 조건을 만족시키기 때문에 의료기기에 사용되기 적합하나 해상도가 증가 할수록 캐패시터의 크기가 커지는 단점이 있다.

본 논문에서는 이와 같은 단점을 보완하기 위해 저 전력 구현은 물론 기존의 캐패시터열과 저항열을 결합한 구조의 DAC에서 저항과 스위치의 개수를 줄였다.

2. 본 론

2.1 ADC 설계

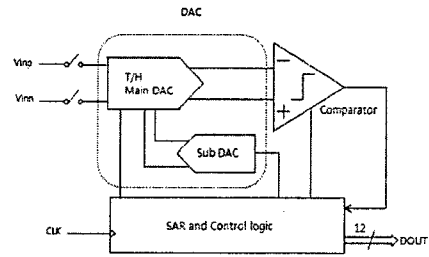
<그림 1>은 설계된 ADC의 전체적인 Block Diagram이다. T/H 기능이 있는 DAC과 비교기, 레지스터 그리고 컨트롤 로직인 디지털 부분으로 이루어져 있다. DAC 회로는 Main DAC 부분과 Sub DAC 부분으로 나뉘어 각각 7bit의 저항 열과 3bit의 캐패시터 열을 결합한 형태이다. 즉 모든 캐패시터 열을 scaling 하지 않고, 저항 열을 이용하여 기존 전압을 scaling 함으로써 10bit의 DAC를 구현 할 수 있게 하였다. 저항 열과 캐패시터 열을 결합한 DAC 구조는 기존의 이중 가중치 캐패시터 구조나 저항 열 구조에서 나타날 수 있는 큰 면적과 낮은 정확성 등의 단점[1]을 보완한 구조로 샘플링 및 홀드, 재분배 동작을 포함한다.

A/D Converter 동작은 초기화, 오프셋 제거 및 입력 샘플링, 비트 변환, 디지털 출력 순으로 이루어지며, 간단한 동작을 살펴보면, 샘플링 모드에서 각 단의 입력 노드에 입력 신호인 Vin이 인가되면, 샘플링 캐패시터인 C에 입력 전압 값이 저장된다. 비트 변환 모드에서 각각의 입력 노드에 1/2Vref 기준 전압 값이 인가되면 비교기의 입력 노드에서 1/2Vref 값은 서로 상쇄되어 각각의 입력 값만을 비교하여 MSB를 결정하게 된다. 비교기의 출력 값은 디지털 코드로 레지스터에 저장되고 이 저장된 디지털 값에 따라 다음 비트를 결정하기 위한 입력 신호와 비교될 기준 전압 값이 정해지게 된다. 이와 같은 방법으로 10번의 변환이 이루어지면 MSB부터 LSB까지 순차적으로 10bit의 디지털 코드가 결정되어 최종적으로 10bit의 디지털 코드가 출력됨으로 하나의 변환이 끝나게 된다.

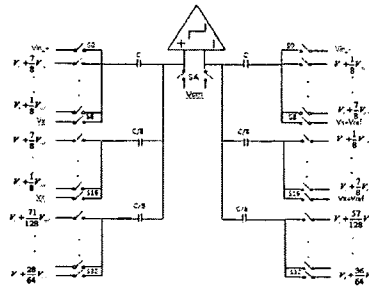
2.1.1 DAC Block

<그림 2>는 기존의 완전차동 구조의 DAC 회로이다.[2] 이 구조에서는 10 bit DAC 회로를 설계하기 위해 20개의 unit capacitor와 128개의 저항, 그리고 66개의 스위치가 필요하다. DAC의 동작은 차동 구조이기 때문에 비교기 양단의 캐패시터에 연결되어 있는 스위치가 동시에 대칭적으로 동작함으로써 비교기의 각각의 입력 노드에 원하는 기준 전압 값이 인가된다. 즉, MSB가 1이면 왼쪽 면에 있는 DAC 회로는 3/4Vref 전압 값이 scaling 된 스위치에 연결되고 오른쪽 면에 있는 DAC회로는 1/4Vref 전압 값이 scaling된 스위치에 연결됨으로써 비교기의 입력노드에는 1/2Vref 기준 전

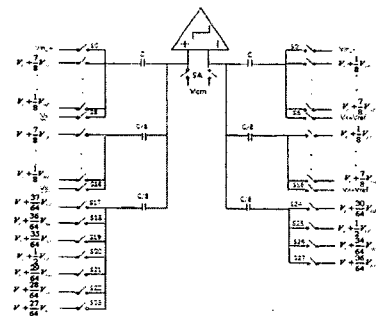
압이 인가된다. 반면 설계된 <그림 3>의 DAC 회로에서는 MSB 1bit부터 MSB 7bit까지는 기존 DAC의 동작과 같은 방법으로 스위치가 동작 되지만 마지막 3bit를 결정함에 있어서는 스위치의 동작이 비대칭적으로 이루어진다.[2] 즉, MSB 8bit를 결정하기 위해서 기존의 DAC 회로에서는 7번째 비트의 값에 따라 양 단의 DAC의 스위치가 동시에 바뀔으로써 원하는 기준 전압 값인 1/128Vref 전압 값이 비교기의 입력 노드에 인가되지만, 설계된 DAC 회로에서는 왼쪽 면에 있는 DAC의 스위치만 동작시킴으로써 1/128Vref 전압 값이 비교기의 입력 노드에 인가되게 설계한다. 따라서 기존의 DAC와는 다른 전압 값을 저항 열을 통해 scaling 하게 한다. 이와 같은 방법으로 9번째 비트를 결정함에 있어서는 오른쪽 면에 있는 DAC의 스위치만 동작시키고, 10번째 비트를 결정하기 위해서 왼쪽 면에 있는 DAC의 스위치만 동작시킨다. 이런 비대칭 구조의 DAC회로를 설계함으로써 스위치와 저항의 개수를 각각 11개, 64 개씩 줄일 수 있다. 단위 캐패시터스 값으로는 200fF을 사용 하였다.



<그림 1> 전체적인 Block Diagram



<그림 2> 기존의 DAC 회로

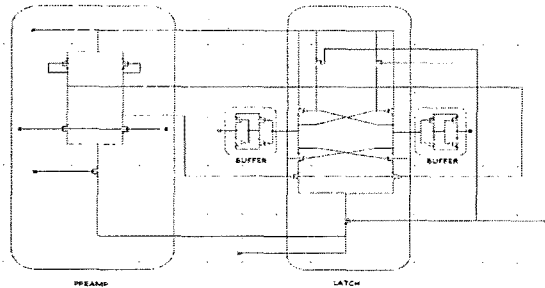


<그림 3> 설계된 DAC 회로

2.1.2 Comparator 회로

비교기 회로는 <그림 4>에서 보는 바와 같이 프리엠프, 래치, 버퍼로 구성되어 있다.[3],[4] 설계된 래치는 다이내믹 래치로 이 구조는 래치가 완전히 꺼져 있거나 켜져 있는 경우에는 전류가 흐르지 않으므로 전력 소모가 아주 작은 장점이 있다.

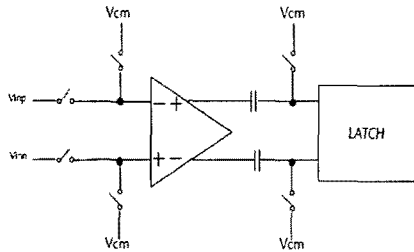
또한 4개의 트랜지스터의 정제환 구조를 통해 다른 비교기의 래치와 비교할 때 큰 이득을 가지는 장점이 있다. 래치의 동작을 살펴보면, 래치신호가 low인 경우에 출력 단의 노드는 VDD로 충전되어 있다가 래치신호가 high가 되면 두 입력 신호의 차이를 감지하여 두 개의 버퍼를 통해 디지털 값이 출력 된다.



<그림 4>비교기 회로

2.1.3 Offset Cancellation

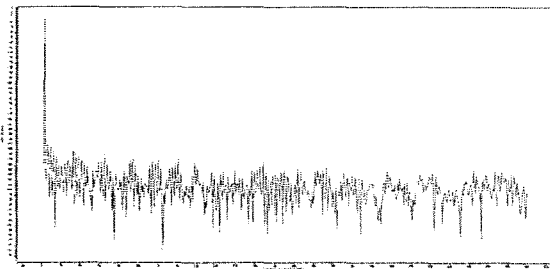
A/D Converter 회로 설계에서 중요한 부분 중의 하나가 오프셋을 제거하는 방식이다. 설계된 A/D Converter 회로에서는 프리엠프의 출력 단에서 오프셋을 제거하는 간단한 방법으로 구성된다.[5] 비교기의 오프셋 제거 동작을 살펴보면 각 단의 입력 노드에 공통전압 VDD/2를 인가하게 되면 프리엠프의 출력단의 캐패시터에 오프셋이 저장되었다가 입력 값이 인가되면 캐패시터에 저장된 오프셋은 제거되고 오직 두 입력 값의 차이만 증폭하게 된다.



<그림 5>비교기 Block Diagram

2.2 시뮬레이션 결과

<그림 6>은 설계된 A/D 변환기의 FFT 시뮬레이션 결과를 나타낸 것이다. HSPICE 시뮬레이션으로써 검증하였다. 293Hz의 Sine Wave 입력신호를 인가하였고, Clock 주파수는 2MHz이다. 아래 그림을 보면 SFDR은 약 50dB, SNDR(SNR)은 약 68.8dB 정도임을 알 수 있다.



<그림 6>설계된 A/D 변환기의 fft 시뮬레이션 결과

3. 결 론

본 논문에서는 동부 0.18um 일반 CMOS 공정을 사용하여, 10bit 100K Sample/S successive approximation register A/D converter 회로를 설계하였다. 전원 전압은 1.8 V 이며, 총 소비 전력은 190uW이다. 캐패시터 열의 레이어아웃은 부정합을 없애기 위하여 common-centroid 기법으로 레이어아웃하였다. 설계된 A/D Converter는 체중계, 맥파계 또는 휴대용 혈압 측정기

등 의료기기의 사용에 적합하다. <표1>에 설계된 A/D 변환기의 사양을 요약하였다.

<표1>비교기 설계된 A/D변환기의 사양

Resolution	10bits
Conversion rate	100kHz
Process	동부 0.18um CMOS
Power Supply	1.8V
Input Range	1Vp_p
Power Consumption	190uW
SNDR(SNR)	68.8dB

감사의 글

본 논문은 정보통신부의 출연금으로 수행한 IT-SoC 핵심설계인력 양성 사업의 수행결과이며, IDEC 장비를 활용 하였습니다.

[참 고 문 헌]

- [1]Alan B.Grebene, "Bipolar and MOS Analog Integrated Circuit Design, Wiley Inter-Science, 2003
- [2]M. Banihashemi, Kh. Hadidi, and A. Khoei "A Low-Power, Small-Size 10-Bit Successive-Approximation ADC, IEICE TRANS. FUNDAMENTALS, VOL.E88-A, NO.4 APRIL 2005
- [3]R. Jacob Baker, CMOS, Wiley Interscience, 2005
- [4]이승훈, 김법섭, 송민규, 최중호, "CMOS 아날로그/혼성모드 집적시스템 설계(상), 시그마프레스, 1999
- [5]Behzad Razabi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, 2001