

저전력 내장형 시스템에서 플래쉬 메모리를 위한 효과적인 파일 시스템 설계

김 중 현

한 상 우

LG전자

An Efficient File System Design for Flash Memories In Low-Power Embedded Systems

Joong H. Kim

Sang Woo Han

LG Electronics

**Abstract** - 본 논문에서는 저전력 임베디드 시스템을 위한 효율적인 다중 NAND 플래쉬 파일 시스템을 제안한다. 기존에 제안되었던 하드디스크를 비롯한 저장 장치들과는 달리 NAND 플래쉬 메모리는 특정 블록에 쓰기 연산을 하기 전에 해당 블록은 이미 소거된 상태이어야 한다. 또한 이러한 소거 횟수 평준화 기법이 많이 사용되고 있고 관련하여 많은 연구가 진행되고 있다. 본 논문에서는 소거 횟수에 임계치를 설정하여 연산하는 방법을 제안한다. 또한 기존에는 단일 플래쉬 메모리만을 고려하고 있으나 본 논문에서는 다중 플래쉬 메모리 구조를 고려한다.

1. 서 론

최근 PDA, PMP, 디지털 카메라 등의 수 많은 저전력 소형 내장형 시스템기반 미디어 기기들이 주요 전자업체들에 의해 개발되고 있다. 이러한 저전력 소형 내장형 시스템의 상용화가 가속화됨에 따라 효율적인 메모리 관리가 필요하게 되었다. 이러한 필요에 의하여 기존의 하드디스크 기반의 저장 매체에서 벗어나 좀 더 빠른 데이터 접근 성능이 보장되고 경량의 플래쉬 메모리가 선호되기 시작하였다. 플래쉬 메모리는 그 구조적인 특성상, 특정 블록에 쓰기(Write)연산을 하기 전에 해당 블록은 소거(Erase)된 상태이어야 한다. 이러한 특성으로 인하여 플래쉬 메모리에 존재하는 데이터를 직접 갱신(Update)하는 것은 불가능하므로 빈 블록을 모으고 변경된 데이터를 갱신하는 작업이 선행적으로 이루어져야 한다. 또한 각 블록은 소거하는 연산의 횟수가 유한하기 때문에 각 블록에 대한 소거 횟수를 평준화하는 Wear-Leveling 기법이 필수적이다. 이러한 두 가지 플래쉬 메모리의 여타 메모리와 비교한 특성은 기존의 저장장치를 대체하는 강력한 대체제가 되는 데에 있어서 단점으로 작용한다. 따라서 이에 대한 연구가 필요하다.

본 논문에서는 위와 같은 플래쉬 메모리의 연구 방향 중에서 War-Leveling에 대해서 논한다. 기존의 War-Leveling 기법들은 각 블록의 소거 횟수를 기록하여 빈 블록을 할당할 때에 소거 횟수가 적은 블록부터 할당하는 직관적인 방법을 사용하여 소거 횟수를 평준화하고 있다. 그러나 이러한 방식은 이해하기는 직관적인 반면에 실질적으로 구현할 때에 복잡한 연산을 필요로 하기 때문에 저전력 임베디드 시스템에는 적합하지 않다. 또한 빈 블록인지 아닌지의 여부를 검출하기 위하여 전체 블록을 미리 검색하여야하는 비용이 발생한다. 소거 횟수를 평준화하기 위한 연구는 블록 관리에 대한 연구에서부터 비롯되었으며 eNvY 시스템에서는 삭제 색인(Cleaning Index)을 사용하여 블록 삭제를 수행하였다. 위의 eNvY 시스템은 삭제 색인을 구하는 공식으로써 블록 삭제 비용과 블록 삭제 빈도를 곱하는 방식을 사용하였다. 그러나 이러한 기법은 삭제 색인의 값이 큰 블록이 우선적으로 선택되기 때문에 삭제 빈도가 상대적으로 높은 블록에 쓰기와 소거의 기능이 집중적으로 발생한다. 이러한 단점을 보강하기 위하여 eNvY 시스템은 소거 횟수가 많은 블록과 소거 횟수가 적은 블록에서 유효한 데이터를 교환하는 방식을 추가적으로 사용하나 매 작업마다 이러한 알고리즘을 수행하는 것은 매우 비효율적이다. TFFS(Transaction FLASH Memory File System)의 경우에는 이러한 쓰기와 소거해야할 블록의 영역 이동을 하는 데에 있어서 고정된 영역에서 블록을 이동해야하는 제약이 존재한다. TFFS방식은 상대적인 접근 빈도가 높은 맵 영역과 교대 영역의 위치를 주기적으로 이동시켜 특정 블록의 맵과 교대 영역으로써 집중적으로 사용되는 것을 막는다. 그러나 이 경우에는 영역 이동에 의해 변경되는 교대 영역과 데이터 영역의 위치는 맵 영역에 기록이 되게 되고 변경되는 맵 영역의 위치는 별도의 고정된 블록에 저장되게 되므로 플래쉬 메모리가 대용량화 될 경우에는 비용이 커지게 된다.

이에 본 논문에서는 다중 플래쉬 메모리 시스템에서 기존의 Wear-Leveling 방식들보다 좀 더 효율적인 방식을 제안하고자 한다. 본 논문에서는 블록의 소거 횟수에 대해서 임계치를 우선적으로 설정한다. (본 문에서는 Threshold 칭한다.) 이 임계값(Threshold)내에서 소거 횟수 유지하며 많은 소거 연산이 수행되더라도 그 횟수가 각 블록에서 균등할 수 있도록 한다. 이 기법에서는 각 블록의 소거 횟수를 적은 공간에서 사용하게 하고 기록하게 하여 소거 횟수의 평준화를 이루게 한다. 또한 기존의 방식들에서는 플래쉬 메모리가 단일인 경우가 대부분인데 본 논문에서는 플래쉬 메모리가 이중으로 사용될 때의 경우를 고려한다. 이는 현재 내장형 멀티미디어 시스템이 플래쉬 메모리를 단일로 사용하기 보다는 각각의 응용에 맞게 다중으로 사용하는 경우가 많기 때문이다. 기존의 TFFS방식이나 eNvY 시스템에서는 이에 대한 고려는 하고 있지 않은 실정이다.

2. 본 론

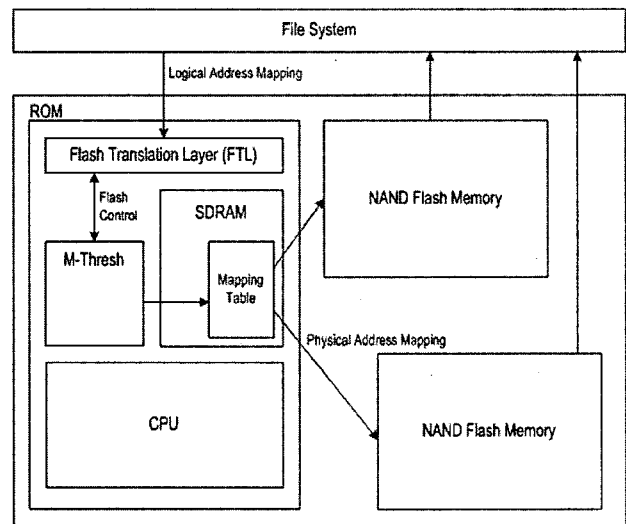
2.1 제안하는 구조의 기본 개념

본 논문에서는 플래쉬 메모리 시스템에서 여러 FTL(Flash Translation Layer) 알고리즘에 쉽고 효율적으로 적용이 가능한 다중 임계값 기반 플래쉬 메모리 구조를 제안한다. 또한 작은 저장 공간을 사용하여 Wear-Leveling을 할 수 있도록 한다.

이와 함께 중요한 고려사항은 본 논문에서 제안하는 구조가 다중 플래쉬 메모리 구조를 가지고 있다는 점이다. 임베디드 시스템이 가져야하는 자원의 양이 늘어날수록 그에 맞게 저장장치의 용량은 늘어나게 된다. 그러나 플래쉬 메모리처럼 그 작동을 시작하기 전에 여러 체크를 해주어야하는 점은 초대용량 단일 플래쉬 메모리를 사용한다면 부팅 시간 면에서 문제점을 야기할 수 있다. 그 점을 피하기 위하여 다중으로 플래쉬 메모리를 설계하면 하나의 메모리에서 여러 체크를 수행할 때에 다른 플래쉬 메모리는 다른 업무를 수행하면 되므로 큰 이득을 얻을 수 있다. 본 논문에서는 이러한 취지에 입각하여 다중 플래쉬 메모리 구조를 제안한다.

2.2 임계값 기반 다중 플래쉬 메모리 구조

본 논문에서 제안하는 다중 임계치 기반 플래쉬 메모리 구조(M-Thresh)는 다음의 같다.



<그림 1> 임계값 기반 다중 플래쉬 메모리 구조

<그림 1>에서 보는 바와 같이 본 논문에서 제안하는 시스템은 플래쉬 메모리(본 논문에서는 NAND Flash Memory를 가정한다.)를 두 개 이상 사용하는 구조를 고려한다. 운영체제 레벨에서 파일 시스템은 플래쉬 메모리 접근을 위한 Translation 프로토콜로서 Flash Translation Layer (FTL)을 사용한다. 본 FTL을 사용함으로써 파일 시스템에서는 논리 주소 매핑을 통하여 플래쉬 메모리로 접근한다. 이 접근의 방식은 M-Threshold는 본 논문에서 제안하는 정책을 기반으로 한다. 본 정책에 의해서 SDRAM 내에 있는 맵 테이블을 통해서 어떠한 NAND 플래쉬로 접근해야하는지와 그 해당 NAND 플래쉬에서의 물리주소를 맵핑하여 찾아가게 된다.

SDRAM에서 물리주소 매핑을 통한 플래쉬 메모리의 접근은 여러 가지 방식으로 가능하다. 본 논문에서 제안하는 구조에서는 하나의 SDRAM에서

## [참고 문헌]

- [1] T.S. Chung, D.-J. Park, S. Park, D.-H. Lee, S.-W. Lee, H.-J. Song, "System Software for Flash Memory: A Survey", EUC-2006.
- [2] Wells, "Method for Wear Leveling in a Flash EEPROM Memory", USA Patent 5,341,339, 1994.
- [3] Han, "Flash Memory Wear Leveling System and Method", USA Patent 6,016,275, 2000.
- [4] Lofgren, "Wear Leveling Techniques for Flash Memory EEPROM Systems", USA Patent 6,594,183, 2003.
- [5] Jou, "Flash Memory Wear Leveling System Providing Immediate Direct Access to Microprocessor" USA Patent 5,568,423, 1996.
- [6] E. Gar, S. Toledo, "Algorithms and Data Structures for Flash Memories" ACM Computing Surveys, vol. 37, no. 2, June 2005, pp. 138 - 163.

매핑 테이블 연산을 통해서 각각의 플래쉬 메모리를 찾아가지만 매핑 테이블의 모호성(Ambiguity)을 줄이기 위해서는 플래쉬 메모리 수와 동일한 수의 SDRAM을 사용하여 각각의 SDRAM이 전담하는 플래쉬 메모리 매핑을 하는 것이 더욱 효율적일 수 있다. 그러나 이 경우에는 사업자 입장에서 재료비의 상승을 가져오게 되어 실질적으로 사용하기는 힘들다.

플래쉬 메모리의 경우에는 한 개가 아니라 여러개를 사용할 시에는 각각의 플래쉬마다 다른 용도로 사용함이 일반적이다. 예를 들면, 소용량의 플래쉬 메모리의 경우에는 부팅 및 시스템 자원 관리 용도로 사용하는 반면에 대용량의 경우에는 본 저전력 임베디드 시스템의 주된 목적을 위한 자료의 저장용도로 사용 가능하다. 가장 대표적인 예로써는 Portable Navigation System (PND)를 개발할 경우에 서비스를 하여야 할 지역의 지도를 저장하는 경우가 존재하는 데 이 경우에는 SD카드 및 NAND 플래쉬 메모리 등이 사용 가능하다. 이 경우에 NAND 플래쉬 메모리를 사용할 경우에 서비스 지역의 지도 데이터는 시스템과 다른 NAND 플래쉬에 저장함이 옳다.

그 이유는 다음과 같다. 다중의 플래쉬 메모리 시스템을 사용할 경우에는 시스템이 부팅을 시작할 때에 그 부팅 시퀀스가 소용량 플래쉬에 저장되어 있고 해당 대용량 자료(위의 예에서는 서비스 지역의 지도)는 대용량 플래쉬에 저장되어 가능하다. 이렇게 된다면 단일 플래쉬 메모리를 쓸 경우에 전체 블록의 에러 체크를 ECC 알고리즘 등을 통하여 수행을 하게 되며 부팅을 위한 시간 동안에 지도 데이터가 있는 부분까지 모두 에러 체크를 함으로써 많은 시간이 낭비가 된다. 그러나 다중으로 플래쉬 메모리를 사용할 경우에는 부팅용으로 사용한 NAND 플래쉬 메모리만을 ECC 알고리즘으로써 에러 체크를 하고 대용량 자료가 들어있는 플래쉬 메모리의 경우에는 부팅을 하고 있는 시간 중에 에러 체크를 하면된다. 이 경우에는 사용자 입장에서는 부팅 시간이 훨씬 짧아지는 이득을 가지게 된다. 이렇듯 다중 플래쉬 메모리를 사용함을 매우 편리한 점이 있으나 재료비 증가라는 문제가 존재한다. 그러나 현재 LG전자 및 삼성전자에서 출시되는 많은 수의 임베디드 미디어 기기들은 위와 같은 장점 때문에 본 다중 플래쉬 메모리 방식을 사용한다. 기존의 연구에는 이러한 다중 플래쉬 메모리에 대한 연구들의 찾아보기 힘들며 그에 대한 연구는 본 논문이 처음이라 할 수 있다.

본 논문에서는 이와 같은 다중 시스템에서 소거 횟수에서의 최적화를 고려한다. 본 논문에서 제안하는 기법은 각 플래쉬 메모리의 블록에 대한 소거 횟수를 가지는 것이 아니라 레벨로 나누어서 관리를 한다. 이러한 레벨이라는 index를 통하여 소거 횟수 평균화를 이룬다. 본 제안하는 기법의 목적은 플래쉬 메모리 내의 전체 블록의 소거 횟수의 차이가 임계값(Thresh) 이내 이도록 하는 것이다. 그러므로 임계값은 각 블록의 소거 횟수가 가질 수 있는 차이의 최대값을 의미한다. 이와 같이 소거 값에서 레벨을 주어 다중으로써 공간적인 측면에서 이득을 볼 수 있다.

이러한 소거 평균화 기법은 기존에는 주로 하나의 플래쉬 메모리에서 이루어져 왔지만 전술한 바와 같이 현대의 대용량 임베디드 시스템에서는 두 개 이상의 플래쉬 메모리를 많이 사용한다. 이에 소거 평균화 기법을 사용할 때에도 이러한 점을 고려하여야 한다.

본 논문에서 제안하는 임계치 기반의 방식에서는 다중 메모리 기법에 적용을 하려면 선행적으로 그 임계값이 동일하게 설정되어 있어야 하는지 아닌지의 여부를 먼저 결정하여야 한다. 만약에 그 임계값이 동일하게 결정되어 있다고 한다면 부팅 시퀀스가 주로 저장되어 있는 소용량 플래쉬 메모리와 대용량 멀티미디어 자원 저장용 플래쉬가 동일한 빈도의 소거 횟수를 가진다는 의미를 가지므로 이는 옳지 않다. 따라서 다중 플래쉬 메모리를 사용하는 경우에는 각각의 플래쉬마다 다른 수준의 임계값을 결정해주어야 한다.

## 3. 결 론

본 논문에서는 먼저 다중 플래쉬 메모리 구조를 제안하고 그 후에는 그 플래쉬 메모리를 효율적으로 사용하기 위한 Wear-Leveling 기법을 제안하였다.

다중 플래쉬 메모리 구조는 단일 플래쉬 메모리에 비해서 그 효율이 매우 크다. 본문에서 예로 든 바와 같이 부팅 시퀀스 저장을 위한 소용량 낸드 플래쉬 메모리를 사용하는 경우와 멀티미디어 자원을 저장하기 위한 대용량 낸드 플래쉬 메모리를 사용하는 경우라면 부팅을 할 경우에 소용량 낸드 플래쉬가 가지는 용량 만큼을 먼저 에러 체크하고 나중에 대용량 멀티미디어 자원을 담당하는 플래쉬 메모리의 에러 체크를 하면 되므로 단일 플래쉬 메모리를 사용할 경우보다 시간적으로 얻는 이득이 매우 크다. 또한 메모리가 고장 날 때에도 다른 부분의 메모리의 정보의 양 만큼은 살릴 수도 있다. 이렇듯 효율적인 구조를 본 논문에서는 선행적으로 가정한다. 이러한 구조 하에서 본 논문은 임계치 기반의 Wear-Leveling 기법을 제안한다. 본 논문에서 제안하는 기법은 임계치를 정해 줌으로써 각 블록마다의 Write의 한계치를 정해주게 되어 소거 평균화를 이루게 된다. 또한 이러한 기법을 레벨을 기반으로 작동시킨다. 즉 각 블록이 소거되면 레벨을 증가 시켜 연산이 잦은 블록과 그렇지 않은 블록으로 구분하고 이러한 블록을 교체하여 소거 횟수의 평균화를 이룬다.

본 논문에서 제안하는 구조는 산업체에서는 많이 고려하는 구조이기는 하나 아직까지 학문적으로 Wear-Leveling 등의 분야에서는 고려되고 있지 않은 구조이다. 그러나 향후에는 거의 모든 임베디드 시스템이 이러한 다중 플래쉬 메모리 구조를 가정하게 될 것이므로 그에 맞는 연구가 필요하다고 여겨지며 이러한 관점에서 본 논문에서의 연구는 그 의미가 있다고 할 수 있다.