

10Gbps CMOS 클럭/데이터 복원회로 설계

차충현, 심현철, 전석희, 유종근
인천대학교 전자공학과

Design of a 10Gbps CMOS Clock and Data Recovery Circuit

C. H. Cha, H. C. Shim, S. H. Jeon, C. G. Yu
Dept. of Electronic Engineering University of Incheon

Abstract - In this paper, a 10Gbps Clock and Data Recovery circuit is designed in 0.18μm CMOS Technology. The circuit incorporates a multiphase LC oscillator, a quarter-rate Bang-Bang phase detector, a Charge Pump and a second order loop filter. The simulation results show that the designed circuit has a peak-to-peak clock jitter of 4.1ps and a peak-to-peak recovered data jitter of 8ps while consuming about 44mW from a 1.8V supply.

1. 서 론

최근 통신 시스템 간의 데이터 전송량이 급격하게 증가함에 따라, 통신 시스템 간에 데이터 병목 현상이 발생하여, 보다 고속의 통신 시스템의 필요성을 야기 시켰다. 이에 optical communication, backplane routing, chip-to-chip interconnect 등과 같은 동작속도가 Gbit/s를 넘어가는 고속 직렬버스용 트랜시버 사용이 일반화되었다.

통신 속도가 Gbit/s를 넘어가는 직렬 트랜시버에서는 데이터 전송을 위하여 하드웨어 복잡성과 전력 소모 및, 가격 등의 이유로, 클럭을 제외한 데이터 정보만을 수신단으로 보내는 방식이 사용되어진다. 수 Gbit/s로 전송되어지는 데이터에서 클럭 신호를 추출하는 클럭/데이터 복원회로(Clock & data Recovery, CDR)는 직렬 트랜시버의 중요한 회로이다. CDR은 전송 채널을 지나온 왜곡된 데이터를 정확하게 복원하기 위해 데이터에 동기된 클럭을 발생시키고, CDR에서 발생된 클럭은 수신단 전체의 성능을 좌우하는 중요한 파라미터가 된다.^[1]

10Gbps CDR은 고속 동작이 요구되기 때문에 주로 GaAs와 SiGe HBT 공정으로 구현 되지만 높은 전력소모와 고비용, 그리고 큰 칩 면적이 필요하다는 단점이 있다. 이에 반하여, CMOS공정은 저비용, 저 전력, 고집적화 등의 장점과 scaling down으로 고속 동작이 가능해 짐으로써, CMOS 공정을 이용한 CDR회로 연구가 많이 이루어지고 있다.^[2]

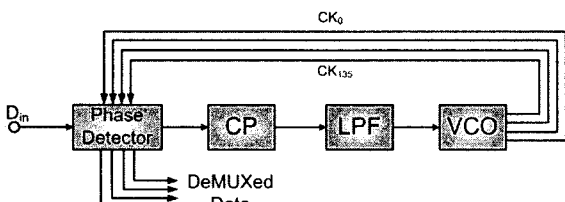
본 연구에서는 0.18μm CMOS 공정으로 10Gbps CDR 회로를 설계한 후, 회로의 동작을 Spectre RF 시뮬레이션을 통해 검증하였다.

2. 본 론

2.1 CDR 회로의 구성

그림 1은 설계된 CDR의 전체 블록도를 나타낸다. CDR 회로에는 multiphase LC oscillator와 quarter-rate 위상검출기, 전하펌프, 그리고 2차 저역통과필터를 사용한 quarter-rate 구조이다. Quarter-rate 구조는 10Gbps의 입력 데이터를 4개의 2.5Gbps 데이터로 demultiplexing과 retiming을 동시에 수행한다. 위상검출기는 매 50ps마다 입력 데이터를 검출하여, 위상의 오차를 전하펌프로 보내게 된다.

Quarter-rate 구조 혹은 multi-rate 구조는 full-rate 구조보다 설계가 용이해진다. Flip-Flop의 경우 동작 속도를 낮출 수 있다. 0.18μm CMOS 공정의 current-steering flip-flop인 경우 큰 진폭의 클럭을 사용한다 하더라도 약 12Gbps가 Flip-Flop의 동작 한계점이다. 또한 VCO의 발진주파수를 낮출 수 있으며, clock의 fanout을 줄일 수 있다.



〈그림 1〉 설계된 CDR의 블록도

본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

2.1.1 VCO

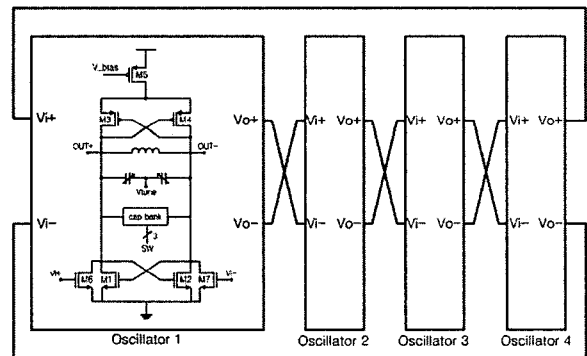
VCO는 jitter 특성에 직접적으로 영향을 미치는 중요한 블록이다. LC oscillator 구조가 jitter 특성에 둔감한편이지만, tuning range가 제한적이고, 설계된 VCO와 구현된 VCO의 발진주파수에 차이가 발생한다.

본 연구에서 사용한 VCO는 그림 2와 같은 LC-ring oscillator^[3]이다. LC-ring oscillator의 단위 oscillator 구조는 NP-core로 only N-core나 only P-core에 비해 전력소모 측면에서 유리하고, 출력 신호 파형의 대칭성이 우수하므로 출력 clock의 duty ratio가 좋다는 장점이 있다. 또한 넓은 tuning-range를 갖기 위해 3bit 제어신호로 동작하는 capacitor bank를 구성하였다.

LC-ring oscillator는 단위 oscillator들을 연속적으로 연결하여 구성한다. N개의 단위 oscillator들로 구성된 LC-ring oscillator는 π/N의 위상 차이를 갖는다. LC-ring oscillator의 발진주파수는 식(1)과 같은 관계식에 의해서 결정된다.

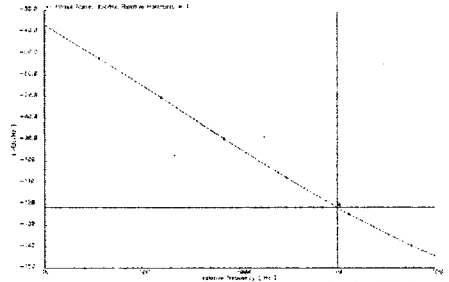
$$\omega_0 = \frac{BLG_m / \sqrt{1 + \beta^2} + \sqrt{(BLG_m)^2 / (1 + \beta^2) + 4LC}}{2LC} \quad (1)$$

여기에서 G_m 은 M1-4의 transconductance이고, β 는 $1/\tan(90-180^\circ/N)$ 로 N에 관한 함수가 된다. 만약 N이 1일 경우에는 발진 주파는 $1/\sqrt{LC}$ 이 됨을 식 (1)을 통해 확인할 수 있다.



〈그림 2〉 LC-ring oscillator의 회로도

식 (2)를 통해 closed-loop jitter의 크기를 계산할 수 있고, 이를 통해 VCO의 위상잡음의 최소 크기를 계산할 수 있다. 본 연구에서 설계한 CDR의 close-loop jitter의 크기가 1ps 보다 작게 하기 위해서는 위상잡음의 크기는 1MHz offset에서 -108dBc/Hz보다 작아야 한다. 이때의 cycle-to-cycle jitter의 크기 식(3)을 이용하여 계산할 수 있고, 그 값은 약 1.56ps가 된다. 그림 3은 설계한 VCO의 위상잡음특성을 나타낸다. 위상잡음 특성은 1MHz offset에서 -121dBc/Hz로 우수한 특성을 나타낸다. 식 (2),(3)에서 f_0 는 loop bandwidth이고, V_m 과 ω_m 은 modulation된 VCO 제어 신호의 진폭과 각주파수이다.^[4]



〈그림 3〉 VCO의 Phase Noise 특성

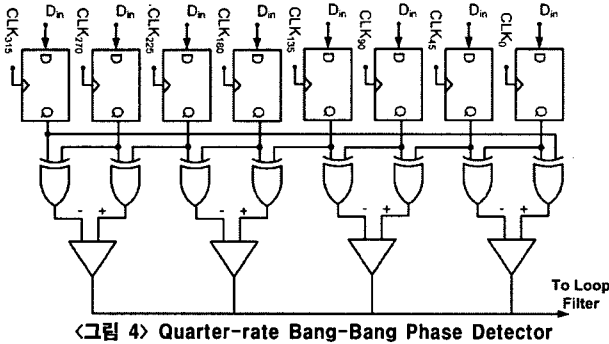
$$\Delta T_{PLL} = \frac{1}{\sqrt{2\pi f_u}} \sqrt{S_o(\Delta\omega)} \frac{\Delta\omega}{\omega_0} \quad (2)$$

$$\Delta T_{\alpha} \approx \frac{V_m K_{VCO} \omega_m}{\sqrt{2} f_0^3} \quad (3)$$

2.1.2 Phase Detector

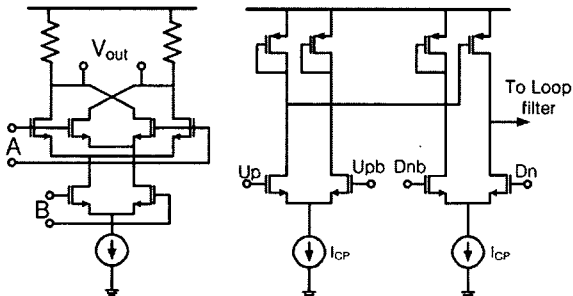
위상 검출기에는 bang-bang 타입의 위상 검출기와 linear phase detector를 이용한 위상검출기로 구분할 수 있다. bang-bang 타입은 위상의 오차가 없는 경우에도 제어 전압이 흔들리게 되어 high-frequency jitter를 발생시킨다. 이런 이유로 linear phase detector 방식이 선호되어지지만, multi-rate architecture에서는 그 구조가 복잡해진다.

그림4는 quarter-rate bang-bang phase detector^[5]이다. Alexander PD^[6]와 비슷한 동작 특성을 보이지만, Alexander PD와는 달리, 입력 데이터의 transitions이 없을 때와 입력 데이터와 클럭의 위상이 맞았을 경우에는 아무런 출력도 없게 된다. 이 점은 다른 bang-bang type의 PD와 확연히 구분되어진다.



<그림 4> Quarter-rate Bang-Bang Phase Detector

설계된 PD의 8개의 flip-flop은 각각 50ps의 간격을 두고 데이터를 저장한다. 위상 검출기는 XOR에 의해 입력데이터와 클럭의 위상을 비교하여 Charge Pump에 신호를 전달한다. 위상이 locking 되었을 때에는 retiming되어지고 demultiplexing 된 데이터가 출력 된다.

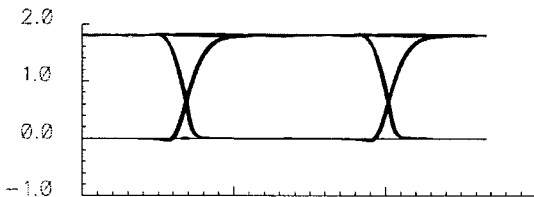


<그림 5> Exclusive-OR 회로도 와 Charge Pump 회로도

그림 5는 그림 4의 위상검출기에 사용된 Exclusive-OR회로도 와 Charge Pump의 회로도이다. 설계된 Charge Pump는 UP/DN 전류의 정합을 특별히 고려하지 않아도 되는 장점이 있다.^[7]

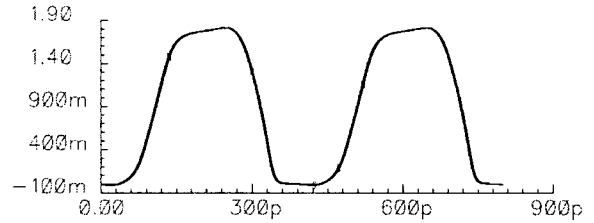
2.2 모의 실험 결과

모의실험은 0.18μm CMOS 공정 파라미터와 Spectre RF를 사용 하였다. 모의실험 결과 VCO의 tuning range는 2.3~3.1GHz이며, 2.5GHz 발진 주파수에서 위상 잡음은 -121dBc/Hz@1-MHz이며 K_{VCO}는 110MHz/V이다.

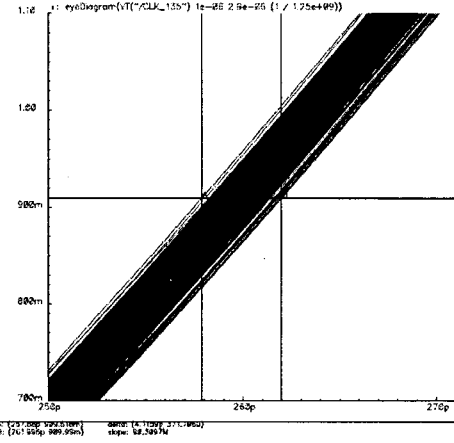


<그림 6> 복원된 데이터 신호

그림 6~8은 본 연구에서 설계한 10Gbps CDR 회로의 모의실험을 통해 복원된 클럭과 데이터의 결과 파형이다. 그림 6은10Gbps의 PRBS 입력신호에 대한 CDR의 eye-diagram 출력신호이고 그림 7과 8은 복원된 클럭 신호와 jitter 특성이다. 복원된 클럭의 jitter는 4.1ps,pp 이고, 복원된 데이터의 jitter는 8ps,pp이다. 표 1에는 본 연구에서 설계된 회로의 특성과 기존의 10Gbps CMOS 회로의 특성을 비교 요약 하였다. 설계된 회로는 기존 회로에 비해 적은 전력소모로 우수한 jitter 특성을 보인다.



<그림 7> 복원된 클럭 신호



<그림 8> 클럭의 jitter 특성

<표 1> 성능 비교

	[8]	[9]	This-Work
Input Data Rate	10Gb/s	10Gb/s	10Gb/s
Output Data Rate	2×5Gb/s	2×5Gb/s	4×2.5Gb/s
Clock Jitter	1.2ps,rms	1.4ps,rms	4.1ps,pp
Power Diss.	360mW	86mW	44mW
Supply Voltage	1.8V	1.5	1.8
Technology	0.18μm CMOS	0.13μm CMOS	0.18μm CMOS

3. 결 론

본 연구에서는 0.18μm CMOS 공정을 이용하여 uarter-rate 구조의 10Gbps CDR 회로를 설계하였다. 모의실험 결과 설계된 회로는 4.1ps, pp 클럭 지터 특성과 8ps, pp 데이터 지터 특성을 가지며, 1.8V의 전원전압으로 약 44mW의 낮은 전력소모를 확인하였다.

[참 고 문 헌]

- [1] 이계욱, 정태식, 김정태, 김재석, 최우영, "새로운 고조의 위상 검출기를 갖는 Gbps급 클럭/데이터 복원회로", 한국통신학회논문지 '01-6 Vol.26 No.6B, pp. 848-855
- [2] K.S. Yeo, A. Cabuk, R. Wu,M.A. Do, J.G. Ma, X.P. Yu and G.Q. Yan, "Non-sequential linear CMOS phase detector for CDR applications", IEE Proc.-Circuits Devices Syst., Vol. 152, No. 6, 2005
- [3] Jae Joon Kim, Beomsup Kim, "A low phase-noise CMOS LC oscillator with a ring structure", IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 430-431, 2000
- [4] B. Razavi, Design of Integrated Circuits for Optical Communications, Mc-Graw Hill, 2002
- [5] Jri Lee, Behzad Razavi, "A 40-Gb/s Clock and Data Recovery Circuit in 0.18-μm CMOS Technology", IEEE Journal of Solid State Circuits, vol. 38, no. 12, pp.2181-2190, 2003
- [6] J. D. H. Alexander, "Clock recovery from random binary data," Electron Lett., vol. 11, pp.541-542, Oct. 1975
- [7] Harish S. Muthali, Thomas P. Thomas, Ian A. Young, "A CMOS 10-Gb/s SONET Transceiver", IEEE Journal of Solid State Circuits, vol. 39, no. 7, 2004
- [8] J. E. Rogers and J. R. Long, "A 10-Gb/s CDR/DEMUX with LC delay line VCO in 0.18μm CMOS," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.254-255., 2002
- [9] J. Savoj and B. Razavi, "A 10-Gb/s CMOS clock and data recovery with a half-rate linear phase detector," IEEE J. Solid-State Circuits, vol.36, no.5, pp.761-767, 2001