

DTV 튜너 응용을 위한 광대역 저잡음 CMOS VCO 설계

김용정, 유지봉, 고승오, 김경환, 유종근  
인천대학교 전자공학과

Design of a Wide-Band, Low-Noise CMOS VCO for DTV Tuner Applications

Y. J. Kim, J. B. Yu, S. O. Ko, K. H. Kim, C. G. Yu  
Dept. of Electronic Engineering, University of Incheon

**Abstract** - Since the digital TV signal band is very wide (54~806MHz), the VCO used in the frequency synthesizer must also have a wide frequency tuning range. Multiple LC VCOs have been used to cover such wide frequency band. However, the chip area increases due to the increased number of integrated inductors. In this paper, a scheme is proposed to cover the full band using only one VCO. The RF VCO block designed using a 0.18um CMOS process consists of a wideband LC VCO, five divide-by-2 circuits and several buffers. The simulation results show that the designed circuit has a phase noise at 10kHz better than -87dBc/Hz throughout the signal band and consumes 10mA from a 1.8V supply.

1. 서 론

최근 모든 미디어 매체들은 기존의 아날로그 방식을 탈피하여 운용상, 구조상 많은 장점을 가지고 있는 디지털 방식으로 변환을 하고 있다.<sup>[1]</sup> 고품질, 고음질과 쌍방향 커뮤니케이션이 가능한 디지털 TV는 앞으로 아날로그 TV를 대체할 것이다. 이러한 디지털 TV용 튜너 IC를 구현하는데 있어서 채널 선택을 위한 고성능 주파수합성기는 LO(Local Oscillator) 신호 발생을 위해 꼭 필요한 블록이며, VCO는 주파수합성기의 핵심 블록이다. 현재의 디지털 TV 신호 대역은 광대역(54~806MHz)이기 때문에 VCO 또한 광대역 특성을 가져야 한다. 광대역 주파수 튜닝 특성을 얻기 위해 기존에 사용된 방법은 3개<sup>[7]</sup> 또는 4개<sup>[5,6]</sup>의 LC VCO를 사용하는 것이다. 그러나 이 방법은 주파수 대역 별로 VCO의 특성을 최적화하여 좋은 성능을 얻을 수 있다는 장점은 있으나, 여러 개의 LC VCO를 사용하기 때문에 필요한 on-chip 인덕터의 수가 늘어나서 칩 면적이 커지고 비용이 증가한다는 문제점이 있다. 본 논문에서는 한 개의 VCO만을 사용하여 DTV 수신 전 대역에 필요한 LO 신호를 발생시킬 수 있는 방법을 제안하고, 0.18um CMOS 공정을 사용하여 VCO 블록을 설계하였다.

2. 본 론

2.1 DTV 수신용 VCO 블록

본 논문에서 제안하는 DTV 수신용 RF VCO 블록을 그림 1에 보였다. 제안된 회로는 하나의 광대역 LC VCO와 5개의 ÷2의 주파수 분주기 및 다수의 버퍼로 구성된다. ATSC 방식의 Digital TV 방송 표준 주파수 대역을 만족하기 위해, VCO는 1.7GHz에서 3.4GHz의 대역 범위에서 발진하도록 설계하였으며, 최종 Mixer에 전달되는 LO 신호는 주파수 분주기와 버퍼를 통해 생성되도록 설계하였다. 편의상 DTV 수신 대역을 UHFH(425MHz~806MHz), UHFL(212.5MHz~425MHz), VHFH(106.25MHz~212.5MHz), VHFL(53.125MHz~106.25MHz)로 4등분 하였으며, 제안된 회로는 대역 선택신호 (S1, S0)와 Control logic에 의해 각 대역 신호를 선택적으로 발생시킬 수 있다.

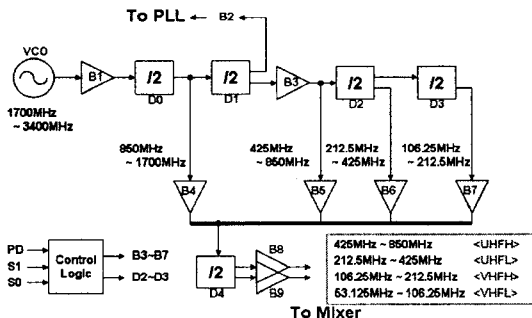


그림 1) 제안된 VCO 블록

본 논문은 정보통신연구진흥원의 NEXT 사업 지원에 의한 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

2.1.1 VCO

그림 2는 설계한 VCO의 회로도이다. 설계한 VCO는 NP-core 형태로써 N-core only type이나 P-core only type에 비해 같은 바이어스 전류 조건 하에서 출력 진폭이 2배 크기 때문에 전력소모 면에서 유리하므로, DTV 수신기 응용에 적합하다. 또한, 광대역에 적합하도록 넓은 tuning range 갖기 위해 제어신호로 동작하는 6-bit capacitor bank를 구성하였고, 위상잡음 특성을 향상시키기 위해 바이어스 단에 R-C filter<sup>[2]</sup>를 사용하였다. 설계된 VCO는 1.8V의 공급전압에 5.3mA의 전류를 소비한다.

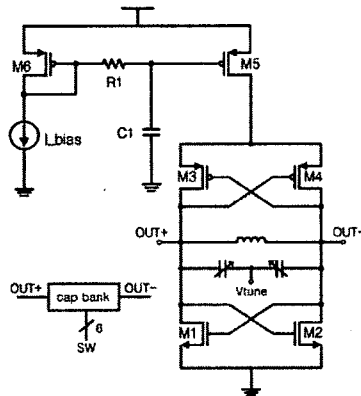


그림 2) NP-core LC type VCO 회로도

그림 3은 VCO의 위상 잡음 특성을 모의실험 결과이다. VCO의 6bit capacitor bank가 '000000'인 경우와 '111111'의 코드 값인 경우 10KHz offset에서 각각 -74.7dBc/Hz와 -83.3dBc/Hz의 위상잡음 특성을 나타낸다.

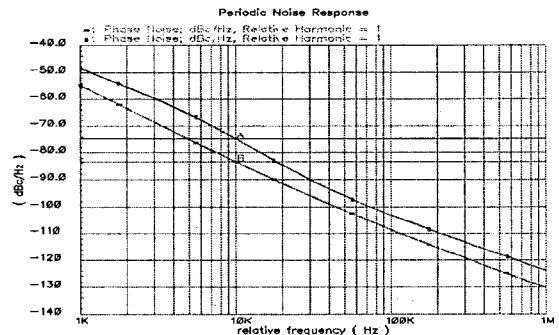
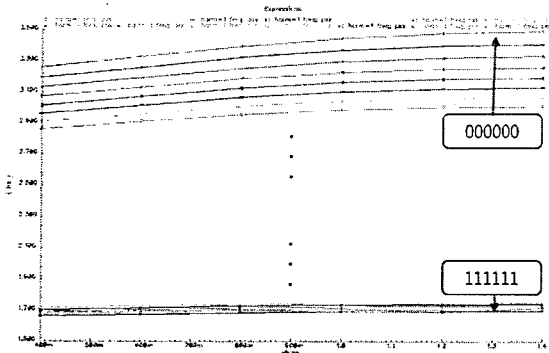


그림 3) VCO 위상 잡음 (A: '000000', B: '111111')

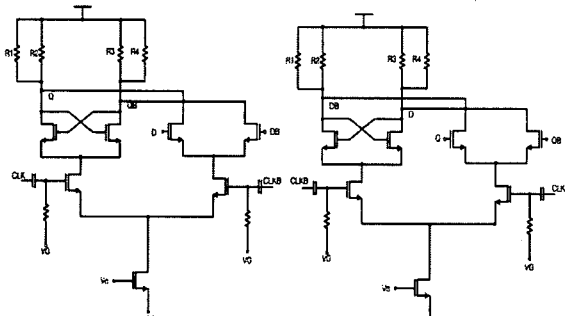
그림 4는 6bit 제어신호에 따른 64개의 VCO gain curve 특성이다. UHFH일 때 약 250MHz/V의 VCO 이득을 갖으며 VHFH일 때 약 23MHz/V의 이득을 갖는다. 또한, 1.66GHz부터 3.5GHz 까지 넓은 주파수 tuning 범위를 갖기 때문에, 4분주하였을 때 DTV 신호 대역인 54~806MHz를 충분히 만족하는 것을 확인 할 수 있다.

2.1.2 Frequency divider

1.7GHz~3.4GHz의 VCO 출력은 frequency divider<sup>[3]</sup>에 의해 각각 UHFH, UHFL, VHFH, VHFL로 분주된다. 그림 5는 두 개의 D-latch를 Master-Slave 형태로 연결하여 구성된 주파수 분배기이다. 두 개의 D-latch는 두 가지 모드가 주기적으로 스위칭이 된다. VCO 신호가 High일 때 왼쪽의 D-latch가 sense 모드인 반면에 다른 하나의 D-latch는 latch 모드로서 동작한다.



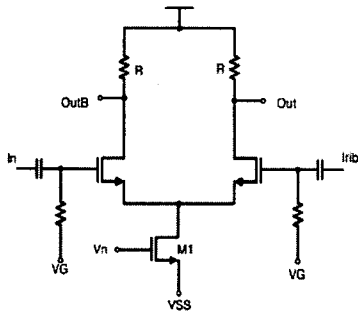
〈그림 4〉 설계된 VCO의 주파수 tuning 특성



〈그림 5〉 CML Divider 회로

### 2.1.3 Buffer

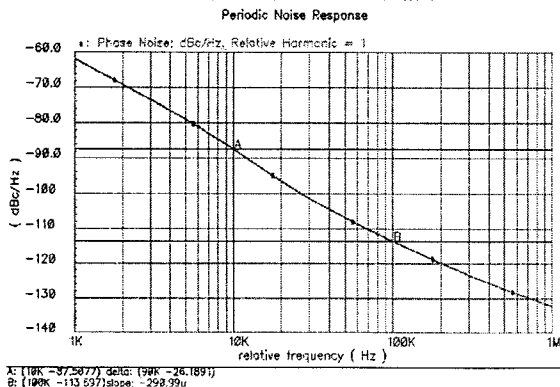
VCO에서 발생된 신호는 버퍼를 거쳐 divider, PLL, Mixer로 전송된다. 설계된 버퍼는 그림 6에서 보듯이 저항(R) load를 갖는 differential 단<sup>[4]</sup>으로 구성하였다.



〈그림 6〉 CML Buffer 회로

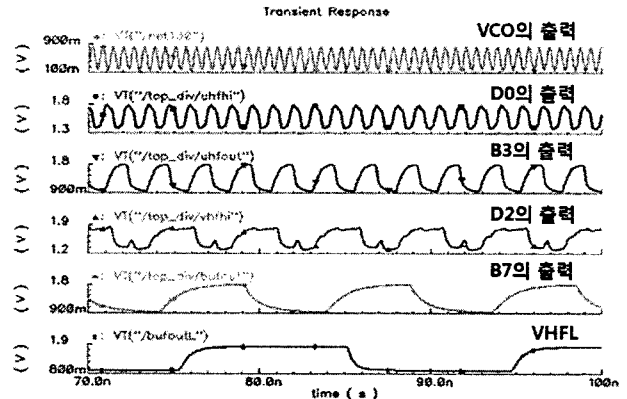
### 2.2 모의실험 결과

그림 7은 Divider와 버퍼를 거친 최종 UHFH 대역 신호(가장 높은 주파수)의 위상잡음 특성으로 10KHz offset 주파수에서 위상잡음은 -87dBc/Hz이다. VCO에서 발생한 신호는 Divider에 의해 4분주된 후 최종적으로 Mixer에 전달된다. Divider를 지날 때마다 위상잡음은 6dB 정도 좋아지며, UHFH인 경우에는 2개의 Divider를 지나기 때문에, VCO에서 출력된 -74.5dBc/Hz의 위상잡음보다 12dB가 좋아진 결과를 확인할 수 있다.



〈그림 7〉 UHFH 대역 출력 신호의 위상 잡음 특성

그림 8은 최종 출력이 VHFL 대역 신호가 되도록 Control logic의 입력을 설정한 경우의 transient 해석 모의실험 결과이다. VCO 출력 신호가 각각의 divide-by-2 회로와 버퍼를 통해 2분주됨을 그림 8을 통해 알 수 있다.



〈그림 8〉 전체 RF VCO Transient 해석

설계된 전체 RF VCO의 성능 요약용 표 1에 나타내었다. 기존 연구결과와 비교 시 본 논문에서 설계된 VCO 블록은 단 하나의 VCO를 사용하면서도 기존 회로와 유사한 위상잡음 특성을 보인다. 설계된 회로가 기존 회로에 비해 적은 전력소모와 작은 면적을 갖는다는 것은 명확하다.

### 〈표 1〉 성능 요약

	[5]	[6]	[7]	This Work
Applications	DTV (ATSC)	Digital CATV	DTV /CATV	DTV (ATSC)
Signal band (MHz)	54-806	48-860	54-860	54-806
Number of VCOs	4	4	3	1
VCO Freq. (GHz)	-	1.8-3.8	-	1.7-3.4
Phase Noise (dBc/Hz)	<-76 @10kHz	<-88 @10kHz	<-85 @10kHz	<-87 @10kHz
Process	0.35um C MOS	0.5umz BiCMOS	Bipolar	0.18um CMOS
VDD (V)	3.3	3.3	5	1.8
Current	-	-	-	10mA

### 3. 결 론

본 논문에서는 하나의 VCO만을 사용하여 DTV 신호 전 대역(54MHz~806MHz) 주파수를 제공할 수 있는 RF VCO 블록을 제안하고, 0.18um CMOS 공정을 사용하여 설계하였다. 설계된 회로를 모의실험 결과 10KHz offset에서 UHFH일 때 -87.5dBc/Hz, VHFL일 때 -91.5dBc/Hz의 위상잡음 특성을 갖으며, 1.8V 전원전압에서 약 10mA의 전류를 소모한다. 설계된 회로는 작은 면적과 적은 전력소모 특성을 갖기 때문에 DTV 튜너 IC에 응용시 많은 장점을 갖는다.

### [참 고 문 헌]

- [1] United States Advanced Television Systems Committee, "ATSC Digital Television Standard," September 1995.
- [2] Zhenbiao Li, Kenneth K.O., "A 1V low phase noise multi-band CMOS voltage controlled oscillator with switched inductors and capacitors," *Radio Frequency Integrated Circuits (RFIC) Symposium*, pp.467-470, June 2004
- [3] Heydari, P., Mohanavelu, R., "Design of ultrahigh-speed low-voltage CMOS CML buffers and latches," *Very Large Scale Integration (VLSI) Systems, Transactions on IEEE*, vol.12, pp.1081-1093, 2004.
- [4] J.Musicer and J.Rabaey, "MOS current mode logic for low power, low noise CORDIC computation in mixed-signal environments," in *Proc.Int.Symp. Low Power Electronic Design(ISLPED'00)*, Jul.2000, pp.102-107.
- [5] J. Xiao, et al., "Low-Power Fully Integrated CMOS DTV Tuner Front-End for ATSC Terrestrial Broadcasting," *VLSI Design*, Article ID 71974, 2007.
- [6] J. van Sinderen, et al., "A 48-860MHz digital cable tuner IC with integrated RF and IF selectivity," *ISSCC Dig. Tech. Papers*, pp.444-506, Feb. 2003.
- [7] SN761662, DTV Tuner IC, TI Data Sheet, 2005.