

UWB 응용을 위한 3.1~10.6GHz CMOS 전력증폭기 설계

박준규, 심상미, 박종태, 유준근
인천대학교 전자공학과

Design of a 3.1~10.6GHz CMOS Power Amplifier for UWB Application

J. K. Park, S. M. Shim, J. T. Park, C. G. Yu
Dept. of Electronic Engineering, University of Incheon

Abstract - This paper presents the design of a power amplifier for full-band UWB application systems using a CMOS 0.18um technology. A wideband RLC filter and a multilevel RLC matching scheme are utilized to achieve the wideband input/output matching. Both the cascade and cascode stage are used to increase the gain and to achieve gain flatness. Simulation results show that the designed amplifier provides a power gain greater than 10 dB throughout the UWB full-band(3.1-10.6GHz) and an input P1dB of -1.2dBm at 6.9GHz. It consumes 35.8mW from a 1.8V supply

또한, 기생 커패시턴스 값은 설계된 회로의 측정을 위해 포함되는 패드 부분에서 더해지는 커패시턴스 값으로 0.18um 공정의 패드에서 일반적으로 더해지는 기생 커패시턴스 값은 약 0.04~0.08pF 이다. 본 논문에서는 약 0.06pF을 고려하였다. DC 바이어스 초크로 동작하는 인덕터 L1 은 공정에서 제공하는 on-chip spiral 인덕터를 사용하였고, ac 접지 커패시터 C2는 MIM 커패시터를 사용하였다. 이 두 가지 소자는 입력 단에서 대역통과 필터로 동작한다. DC 차단 커패시터인 C1과 저항 R1은 RLC 대역통과 필터로 동작하게 된다. 입력 단 구성에서 알 수 있듯이 본 논문에서 설계된 전력증폭기의 입력 매칭은 단 1개의 인덕터 만을 사용한 광대역 RLC 대역통과 필터를 이용하여 달성하였다.

1. 서 론

미 연방통신위원회(FCC)에서는 학교나 기업에서 사용할 수 있는 UWB 기술의 대역폭을 3.1GHz에서 10.6GHz의 주파수에서 100Mbps 이상의 속도로, 기존의 스펙트럼에 비해 매우 넓은 대역에 걸쳐 낮은 전력으로 초고속 통신을 실현하는 근거리 무선 통신 기술로 규정한다. UWB는 다른 통신 시스템에 간섭을 방지하기 위해 신호를 수 GHz의 대역폭에 걸쳐 스펙트럼으로 분산, 송신함으로써 다른 협대역 신호에 간섭을 주지 않고 주파수에 크게 구애받지 않으며 통신을 할 수 있다는 장점이 있는데, 이러한 속성은 주파수를 공유하여 사용할 수 있으면서 동시에 매우 적은 전력을 필요로 하는 장점으로 이어진다.

현재 UWB는 IEEE 802.15 TG3a에서 두 가지 표준안을 고려하고 있는데, 직접 변조 방식의 DS-SS 방식과 다중밴드 OFDM 방식의 MB-OFDM 방식이 있다. 양측은 주파수 간섭, 전력 소모 등의 기준 설정과 관련하여 간극을 좁히지 못하고 있다.

본 논문에서는 UWB 전 대역(3.1GHz ~ 10.6GHz)의 통신 시스템에서의 응용을 위한, CMOS 기술을 이용한 전체 회로의 집적이 가능한 전력 증폭기를 MB-OFDM 방식에 맞추어 설계하였다. 설계된 전력증폭기는 기본적인 소스 공통 구조의 증폭기에 광대역 RLC 필터 기술을 접목하여 광대역 입력 매칭을 만족시켰으며, 다중 레벨 RLC 회로망을 이용하여 출력 매칭을 만족시켰다. 또한, 광대역에서 입·출력 반사계수가 최소한의 반사를 보여야 하는 점과 출력 이득이 전 대역에서 평탄하게 출력되어야 하는 점, 그리고 입·출력의 선형성을 개선하는 점에 초점을 맞추어 설계하였다. 때문에 전력소모는 다소 증가하지만 기존에 설계된 UWB 전 대역 전력 증폭기에 비해 우수한 입·출력 반사계수, 이득평탄도, 선형성을 얻을 수 있었다.

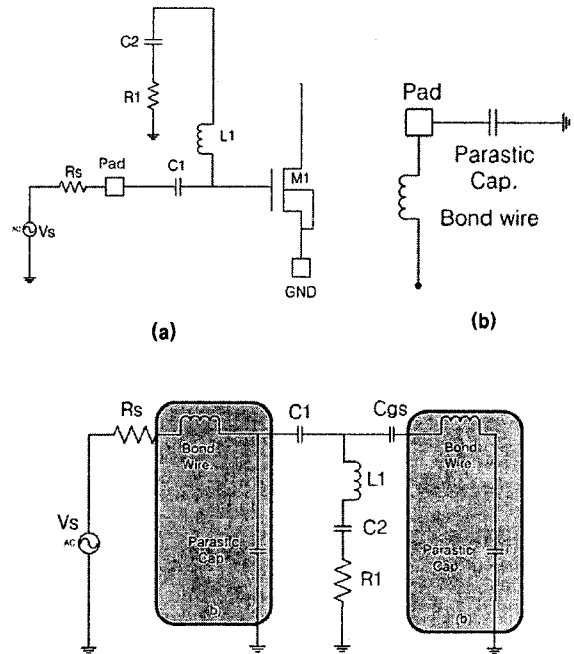
2. 본 론

2.1 회로설계

그림 1의 (a)에는 UWB 전력증폭기의 첫 단을, (b)에는 패드와 본딩 와이어 모델, (c)에는 입력 단의 소신호 해석 모델을 보였다. 인덕터는 수동소자 중에서 가장 큰 면적을 차지한다. 때문에, 전력증폭기 설계에서 전체 회로의 크기를 결정하는 가장 큰 요소는 회로에 인덕터가 얼마나 포함되는 것이다. 때문에 본 논문에서 설계한 전력증폭기의 입·출력 매칭은 저항과 커패시터 그리고, 전원전압과 바이어스 전압 입력단에 RF choke로 사용되는 최소한의 인덕터 만을 사용하여 설계하였다.

그림 1의 (a) 회로에서 소신호입력 단과 접지 단의 패드에는 그림 1의 (b)에서 보여지는 기생 커패시터 성분과 본딩 와이어 모델을 고려하여 설계하였다. 이는 실제로 회로 설계 후 칩을 제작 하여 측정 할 시에, 더해지는 기생성분으로 RF 회로에서는 이 기생성분에 의하여 특성이 크게 틀어지는 경우가 있으므로, 최초 설계 시에 이 값을 정확히 예상하여 설계해야 한다.

접지에 패드에서 더해지는 인덕턴스 기생 성분의 경우에는 트랜지스터 M1의 소스에 축적성분으로 동작하여 회로의 안정도를 올려주지만, 전력 이득은 떨어뜨리는 역할을 한다. 인덕턴스의 기생 성분은 본딩 와이어의 길이에 큰 영향을 받기 때문에 설계 시에 이 수치의 정확한 값을 예측하여 설계해야 한다. 본 논문에서는 소신호입력 단과 접지 단의 인덕턴스 값은 약 1nH를 고려하였다^[1].

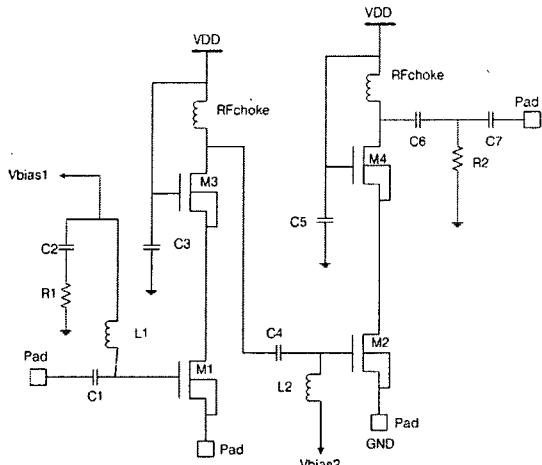


<그림 1> UWB 전력증폭기 (a) 입력 단 (b) 패드와 본딩 모델 (c) 입력 단의 소신호 해석 모델

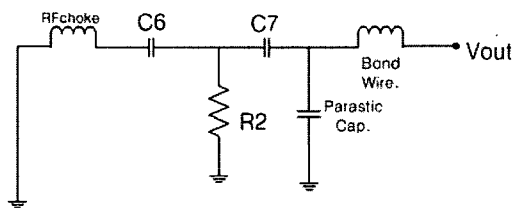
그림 2에 설계된 전력 증폭기의 전체 회로를 보였다. 캐스코드 구조의 전력 증폭기 두 단을 중속 접속하여 UWB 전 대역인 약 7.5GHz의 대역폭에서 전력 이득을 증가 시켰다. 중속접속구조를 사용하면 전력 이득을 증가시키면서 이득 평탄도 역시 증가시킬 수 있고, 캐스코드 구조를 사용하여서는 고주파 대역에서 발생하는 기생 커패시턴스 성분을 감소 시켜 전력 이득이 감소 되는 것을 방지 할 수 있다. 그러나 중속접속구조를 사용하게 되면 추가적인 전력 소모가 발생하게 된다. 때문에 본 논문에서 설계된 전력 증폭기에서는 트랜지스터를 AB 급으로 동작시켜 전력소모 문제를 최소화 하였다.

본 논문에서는 출력 매칭을 다중 레벨 RLC 회로망을 이용하여 달성하였다. 그림 3에서 출력단의 RF choke 인덕터는 중속 접속된 증폭기의 로드 단으로 동작하며 커패시터 C6는 ac 커플링 커패시터로 동작한다. 두 소자는 출력 매칭 회로망을 구성한다. 또한 광대역 출력 매칭을 하기 위해서 출력단의 저항 R2, 커패시터 C7, 그리고 출력 단의 패드 부분에 연결된 기생 커패시턴스 성분과 본딩 와이어 성분을 이용하여 광대역 다중레벨 출력 매칭 회로를 구성하였다.

본 논문은 정보통신부 출연금으로 ETRI, SoC 산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.



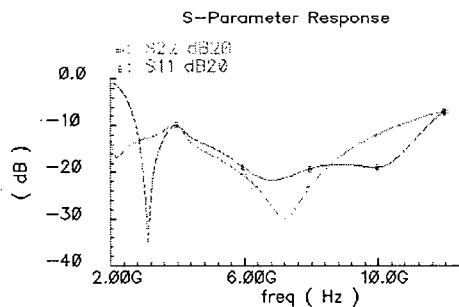
〈그림 2〉 UWB 전력증폭기 회로



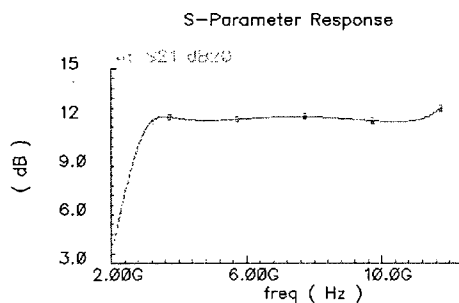
〈그림 3〉 다중 레벨 RLC 매칭회로

2.2 모의실험 결과

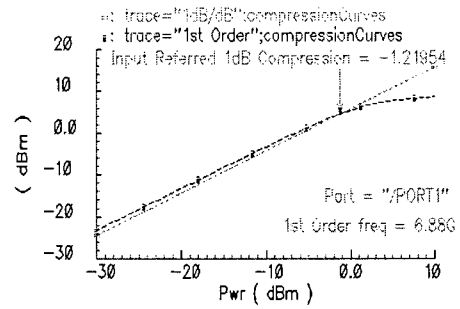
설계된 회로는 Cadence의 RF Spectre를 이용하여 모의실험 하였다. 그림 4에는 회로의 입·출력 반사 계수를, 그림 5에는 회로의 전력 이득을, 그림 6과 7에는 회로의 입력 P1dB 값과 출력 P1dB 값을 나타내었다. 모의실험 결과에서 입·출력 반사계수의 값은 UWB 전 대역에서 모두 -10dB 이하를 만족 하였고, 전력이득은 전 대역에서 약 10.7dB 를 보였다. 또한 전력 이득의 이득 평탄도는 $\pm 1\text{dB}$ 이내를 만족하여 전 대역에서 평탄한 이득을 보임을 알 수 있다. 회로의 선형성을 나타내는 입력 P1dB와 출력 P1dB의 값은 약 -1.2dBm 과 4.5dBm 로 우수한 선형성을 보인다. 표 1에는 회로의 설계 기준이 되는 값과 타 논문의 실험 결과, 본 논문에서 실험한 회로의 모의실험 결과를 정리하였다.



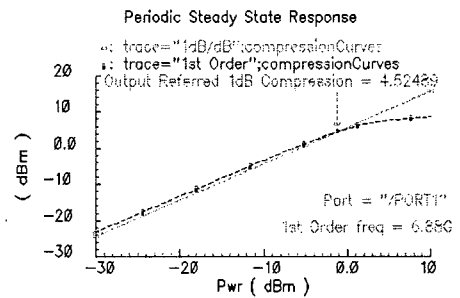
〈그림 4〉 입력/출력 반사계수



〈그림 5〉 전력이득



〈그림 6〉 Input P1dB



〈그림 7〉 Output P1dB

〈표 1〉 설계된 전력증폭기의 성능비교표

Categories	Spec.	[1]	[2]	This Work
Supply Voltage [V]	1.8	1.8	1.8	1.8
Process	0.18um CMOS	0.18um CMOS	0.18um CMOS	0.18um CMOS
Frequency Range [GHz]	3.1~10.6	3.1~10.6	3.1~10.6	3.1~10.6
Input P1dB [dBm]	-10	-	-	-1.2
Output P1dB [dBm]	0	0	5.6	4.5
Gain (3.1~9GHz) [dB]		>10	10.46	10.7
Gain (9~10GHz) [dB]	10	>6		
S11 (full) [dB]	-10	<-8	-10	-10
S22 (full) [dB]	-10	<-7	-10	-10
Power Consumption [mW]	25	25.2	-	35.8
SIZE [mm]	-	1.1*1	2.32 * 0.76	-
YEAR	-	2005	2007	2007

본 논문을 설계하기 전에 사전학습에서 두가지 형태의 전력증폭기를 참고 하였다. 참고문헌 [2]의 논문에 쓰여진 회로는 인덕터를 많이 사용하여 회로의 면적이 커지는 단점이 있어 고려하지 않았고, 참고문헌 [1]의 논문의 구조를 참고 하였다. 결과를 비교해 보면, 전력 소모에서는 조금 더 많은 전력을 소모 하게 되었지만, 이는 결과표에서 알 수 있듯이 반사계수나 전력 이득, 선형성 면에서 더 우수한 결과를 얻기 위해 약간의 전력 소모를 감수하였기 때문이다.

3. 결 론

본 논문에서는 UWB 응용을 위한 UWB 전 대역 전력 증폭기를 설계하였다. 캐스코드 구조의 증폭기를 증속으로 결합하여 전력증폭기의 대역폭을 증가 시켰으며 두 단으로 이루어진 증폭기는 각 단이 AB 급으로 동작 하도록 설계 하였다. 모의실험 결과 입·출력 반사계수는 모두 -10dB 이하를 만족하여 최소한의 반사를 하도록 설계되었고, 전력 이득은 약 $\pm 1\text{dB}$ 의 이득 평탄도 안에서 약 10.7dB 를 나타내어 전 대역에서 고른 결과를 얻었다.

【참 고 문 헌】

- [1] Han Chou Hsu, Zhi Wei Wang and Gin Kou Ma, "A Low Power CMOS Full-Band UWB Power Amplifier Using Wideband RLC Matching Method", *Electron Devices and Solid-State Circuits, 2005 IEEE Conf. on*, 19-21 Dec. 2005 Pages(s):223-236
- [2] Chao Lu, Anh-Vu Pham, and Micheal Shaw, "A CMOS Power Amplifier for Full-band UWB Transmitters", *Radio Frequency Integrated Circuits (RFIC) Symposium, 2006 IEEE*, 11-13 June 2006 Page(s):4 pp.
- [3] R.-C. Liu, K.-L. Deng, and H. Wang, "A 0.6-22 GHz broadband CMOS distributed amplifier," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, June 8-10, 2003, PP. 103-106