

UHF 대역 RFID 리더 응용을 위한 주파수합성기 설계

김경환, 오근창, 박동삼*, 유종근
 인천대학교 전자공학과, *기계공학과

Design of a Frequency Synthesizer for UHF RFID Reader Application

K. H. Kim, K. C. Oh, D. S. Park* C. G. Yu

Dept. of Electronic Engineering, *Dept. of Mechanical Engineering University of Incheon

Abstract - This paper presents a 900MHz fractional-N frequency synthesizer for radio frequency identification (RFID) reader using 0.18 μ m standard CMOS process. The IC meets the EPC Class-1 Generation-2 and ISO-18000 Type-C standards. To minimize VCO pulling, the 900MHz VCO is generated by a 1.8GHz VCO followed by a frequency divider. The settling time of the synthesizer is less than 20 μ s. The frequency synthesizer achieves the phase noise of -105.6dBc/Hz at 200kHz offset. The frequency synthesizer occupies an area of 1.8 \times 0.99mm², and dissipates 8mA from a low supply voltage of 1.8V.

1. 서 론

최근 UHF 대역에서 동작하는 RFID 시스템이 활발히 연구되고 있으며, 유통물류 분야를 시작으로 다양한 분야에서 활용되고 있다. 특히, 국내에서는 휴대폰과 RFID를 결합한 모바일 RFID 시스템에 대해 많은 연구 개발이 진행 중에 있다. 이러한 UHF 대역 RFID 리더 칩^[1]을 설계하는데 있어 주파수합성기는 꼭 필요한 블록이다.

본 연구에서는 in-band noise 특성과 spur 특성을 향상시키기 위해 Integer-N 유형 대신 $\Sigma\Delta$ modulator를 사용하는 Fractional-N 유형의 주파수합성기를^[2] 설계하였다. VCO는 직접 변환 수신기(direct conversion receiver)에서의 VCO pulling 효과를 최소화하기 위해 1.8GHz 대역으로 설계하였고 dual-modulus prescaler 전단에 고속의 frequency divider를 사용하여 900MHz 대역으로 생성되도록 구성하였다. 또한, UHF 대역 RFID 리더의 표준 채널간격인 200kHz/500kHz 모두 만족 하도록 설계하였다.

2. 본 론

2.1 주파수 합성기 구조

그림 1 은 설계한 UHF대역 RFID 리더용 Fractional-N 주파수합성기의 전체 블록도를 나타낸다. VCO에서 생성된 1.8GHz 주파수대역은 Divide_by_2 에 의해 2분주 된 후 다시 N/N+1 분주기를 통해 PFD(phase frequency detector)의 기준주파수인 20MHz와 비교하게 된다. 분주기에서 N 또는 N+1을 선택하는 신호생성에 $\Sigma\Delta$ modulator를 사용함으로써 루프 대역폭 내의 잡음을 대역폭 밖으로 밀어내어 fractional spur를 고주파대역으로 밀어낸다. 대역폭 밖으로 밀려난 잡음은 PLL의 루프필터에 의하여 효과적으로 제거된다. Multi-modulus divider 블록은 4/5 prescaler, 4-bit main counter, 2-bit auxiliary counter 등으로 구성되어 있으며 최소 40분주 최대 52분주 모드까지 동작할 수 있도록 설계하였다.

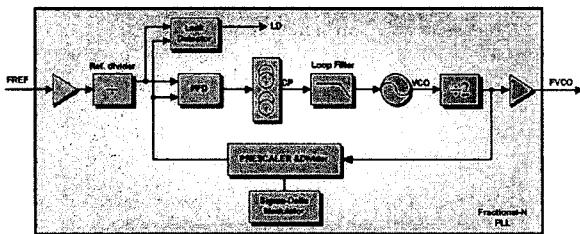


그림 1 설계된 주파수합성기의 블록도

2.1.1 VCO

그림 2는 설계한 VCO의 회로도도를 나타낸다. 설계한 VCO는 NP-core 형태로 N-core only type이나 P-core only type에 비해 같은 바이어스 전류 조건하에서 출력 진폭이 2배 크기 때문에 전력소모 면에서 유리하므로 모바일 RFID 리더에 적합하고, 출력신호파형의 대칭성이 우수한 장점이

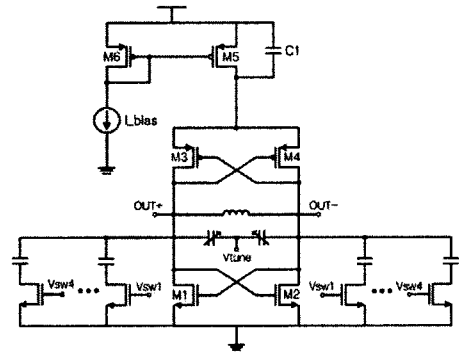


그림 2 NP-core LC type VCO 회로도

있다. 또한 넓은 tuning range와 낮은 VCO gain을 갖기 위해 4bit 제어 신호로 동작하는 capacitor bank를 구성하였고, 플리커(1/f) 잡음이 작은 PMOS 바이어스 단을 구성하였다.

그림 3은 VCO의 위상 잡음 특성 모의실험 결과이다. VCO의 4bit capacitor bank가 '1110'의 코드값을 갖을 때 100kHz offset에서 -100dBc/Hz, 200kHz offset에서 -105.6dBc/Hz의 우수한 위상잡음 특성을 나타낸다.

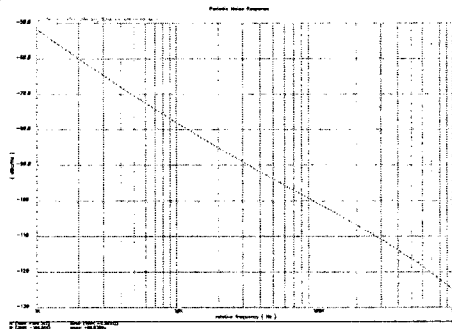


그림 3 VCO 위상 잡음

2.1.2 Frequency divider

VCO pulling 효과를 최소화하기 위해 1.8GHz의 VCO출력은 frequency divider^[3]에 의해 900MHz로 분주된다. 그림 4는 두 개의 D latch를 Master-Slave 형태로 연결하여 구성이 된 주파수 분배기이다. 두개의 D-latch은 두 가지 모드가 주기적으로 스위칭이 된다. 예를 들어 VCO 신호가 High일 때 왼쪽의 D-latch가 sense 모드인 반면에 다른 하나의 D-latch은 latch 모드로서 동작한다. 설계된 divider는 1.8V의 공급전압에 750uA의 전류를 소비한다.

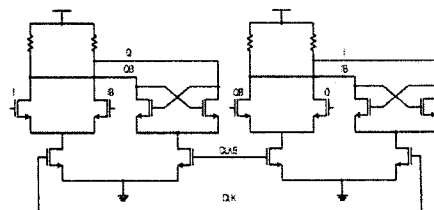


그림 4 CML Divider 회로

본 논문은 정보통신부 출연금으로 ETRI, SoC산업진흥센터에서 수행한 IT SoC 핵심설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

2.1.3. D-block

D-block은 fractional spur를 줄이기 위해서 사용되는 Σ - Δ modulator 블록과, multi-modulus 분주기가 가능한 divider 블록으로 구성되어 있으며, carrier 주파수를 프로그램 하는 역할을 수행한다. Multi-modulus divider 블록은 dual-modulus 4/5 prescaler, 4-bit M-counter, 2-bit A-counter 등으로 구성되어 있으며 최소 40분주 최대 52분주모드까지 동작할 수 있도록 설계하였다.

본 연구의 주파수 생성 계획에 따른 D-block의 블록 다이어그램을 그림 6에 나타내었다. 설계한 D-block은 20MHz의 reference frequency에서 UHF RFID 리더를 지원하는 800~1040MHz의 주파수를 생성할 수 있도록 설계되어 있으며, 200kHz/500kHz의 주파수 간격을 만족하도록 19.53kHz의 frequency resolution을 갖도록 설계하였다.

설계한 D-block에 의해서 생성되는 주파수 합성기의 출력 주파수는 다음과 같은 관계식을 통해 결정된다.

$$f_{\text{vco}} = f_{\text{ref}} \left(\text{integer} + \frac{k}{2^m} \right) = 20 \left((4 \times M + A) + \frac{k}{2^{10}} \right)$$

여기서 'integer'은 분주비의 정수부분이며, 'k'는 frequency word, 'm'은 Σ - Δ modulator의 bit수를 의미한다. 그리고 'M'은 M-counter의 분주비, 'A'는 A-counter의 분주비를 의미한다. 10-bit Σ - Δ modulator의 3-bit modulated output과 6-bit 정수 분주비 값을 더한 최종 6bit 신호가 multi-modulus divider의 분주비를 제어하여 PLL의 전체 평균 분주비를 결정하게 된다.

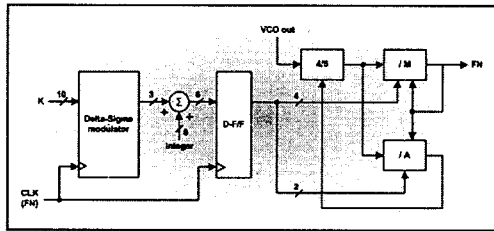


그림 6 D-Block 다이어그램

그림 6는 k=535 일 때 Σ - Δ modulator의 출력을 보인다. 매 클럭마다 분주비 제어 값이 랜덤하게 [-3~+4]사이의 값을 나타낸다.

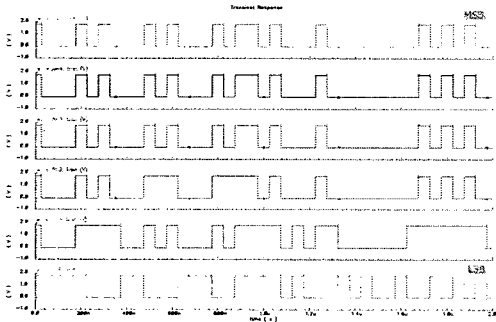


그림 7 3차 Σ - Δ modulator 모의실험 결과 (@K=535)

2.2 모의실험 결과 및 레이아웃

그림 7은 위에서부터 VCO의 Tuning Voltage, LD, Lock_DET 신호의 파형을 나타낸다. 설계한 LD는 'FR'과 'FN'을 비교하여 위상차가 15개의 연속적인 비교 cycle동안 lock window(2nsec) 안에 들어오면 'Lock_DET' 신호가 'high'로 나타난다. 모의 실험 결과 17us에서 Lock_DET신호가 발생하였다.

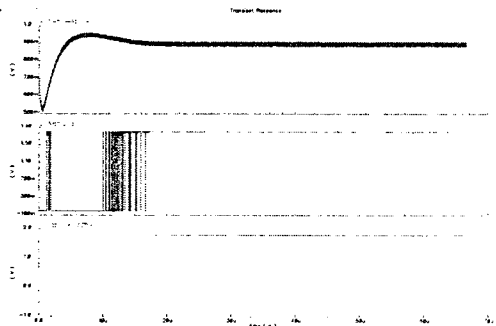


그림 8 모의 실험결과

설계된 UHF 대역 RFID 리더용 Fractional-N 주파수 합성기의 성능 요약 표 1에 나타내었다. 기존 연구결과와 비교시 본 논문에서 설계된 주파수 합성기는 적은 전류소모로 우수한 위상잡음 특성을 나타낸다.

표 1. 성능 요약

	[4]	[5]	[6]	This work
Technology	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS
Power Supply	1.8V	1.8V	1.8V	1.8V
Frequency band (GHz)	-	0.88-0.92	0.88~1.04	0.8-1.04
channel spacing	-	200/500KHz	200KHz	200/500KHz
Min. frequency resolution	-	-	73Hz	19.53kHz
Phase Noise (dBc/Hz)	-87@100kHz -120@1MHz	-106@100kHz -126@1MHz	-75@10kHz -81.5@100kHz	-100@100kHz -125@1MHz
Locking time	40 μ s	-	-	17 μ s
Current Consumption	26mA	12mA	8m-11mA	8mA
Chip area	-	-	-	1.78mm ²

그림 8는 설계된 주파수 합성기의 layout 도면이다. TSMC 0.18 μ m 1-poly 6-metal 공정을 사용하였다.

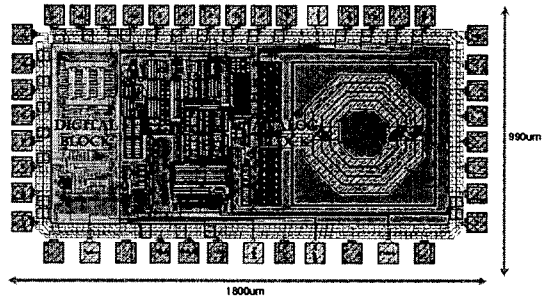


그림 8. Fractional-N 주파수합성기의 layout 도면

3. 결 론

본 논문에서는 UHF 대역 RFID Reader용 Fractional-N 주파수 합성기를 설계하였다. 합성 주파수는 해당 응용분야를 지원하는 800MHz~1040MHz 대역의 주파수를 제공하며, 1MHz offset에서 -125dBc/Hz의 우수한 위상 노이즈 특성을 갖는다. Frequency resolution은 19.53kHz로써 UHF RFID 리더 표준 채널 간격 200kHz/500kHz를 만족 하도록 설계하였다. 또한 전류 소모는 1.8V 전원전압에서 약 8mA의 낮은 전류소모를 갖는 것을 모의실험 결과를 통하여 확인하였다. 칩 면적은 PAD 포함하여 1.8mm × 0.99mm로써 무선통신 단말기에 적합한 작은 size를 갖는다.

[참고 문헌]

- [1] Khannur, P.B., Xuesong Chen, Dan Lei Yan, Dan Shen, Bin Zhao, Kumarasamy Raja, M., Ye Wu, Ajikuttira, A.B., Wooi Gan Yeoh, Singh, R., "An 860 to 960MHz RFID Reader IC in CMOS," *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*, pp. 269-272, 2007
- [2] B. H. Park, "Design of fractional-N synthesizer with a 1-bit high-order interpolative Modulator for 3G mobile phone application," *Journal of Semiconductor Technology and Science*, vol.2, pp. 41-48, 2002
- [3] Heydari, P., Mohanavelu, R., "Design of ultrahigh-speed low-voltage CMOS CML buffers and latches," *Very Large Scale Integration (VLSI) Systems, Transactions on IEEE*, vol.12, pp.1081-1093, 2004.
- [4] Ickjin Kwon, Heemun Bang, Kyudon Choi, Sangyoon Jeon, Sungjae Jung, Donghyun Lee, Yunseong Eo, Heungbae Lee, Bongyoung Chung, "A Single-Chip CMOS Transceiver for UHF Mobile RFID Reader," *IEEE Solid-State Circuits*, pp.216-598, 2007.
- [5] Sang-Yoon Jeon, Hee-Mun Bang, Sung-Jae Jung, Dong-Hyun Lee, Heung-Bae Lee "Frequency Generation for Mobile RFID Reader," *Europan Microwave Integrated Circuits Conference*, pp.324-327, 2006.
- [6] Kyung H. Park, Tae Y. Kang, Yoon H. Choi, Byung G. Choi, Seok B. Hyun, Seong S. Park, Sang H. Cho, Jin H. Ko, "900 MHz Passive RFID Reader Transceiver IC," *Microwave Conference*, pp.1675-1678, 2006.