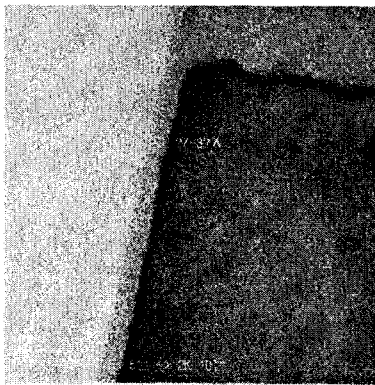


저에너지 집속 이온빔을 이용한 투과전자 현미경시편 표면 영향성 최소화 연구

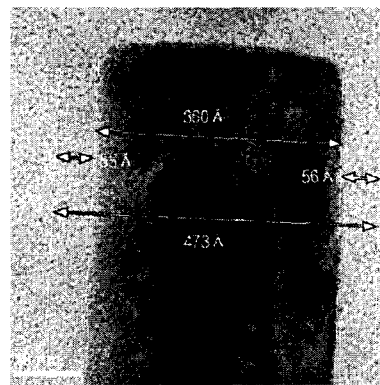
김승범, 정관수, 최광남

경희대학교 전자공학과

최근 반도체 회로선폭의 지속적인 감소는 반도체 제조공정 난이도 증가를 수반하게 되고 이에 따라 고성능 제조장비와 이와 더불어 공정평가를 위한 주사 전자현미경, 집속이온빔, 투과전자현미경과 같은 고 분해능 분석 장비를 요구가 증대 되고 있다. 이러한 고 분해능 분석 장비 중 투과전자현미경은 높은 분해능($\sim 1 \text{ \AA}$ 미만)으로 반도체 미세 구조와 성분 분석에 매우 유용하게 사용되나 시편 제작에 의한 제약을 받고 있다. 시편제작은 전자현미경 이미지 중첩을 방지하기 위한 두께제어와 특정 또는 Fail 영역 제어, 시편 표면 비정질층 극소화가 수반되어야 한다. 본 연구에서는 전자현미경 분석용 시편 제작법 중 집속 이온빔 장비 사용시 발생하는 시편 표면 비정질화(amorphization)를 방지하기 위하여 시편 에칭시 사용되는 LMIS(Liquid Metal Ion Source: Ga⁺)의 가속 에너지를 일반적인 30 KeV에서 2 KeV의 저 에너지 대역을 사용함에 따라 시편 에칭시의 표면 비정질층의 두께(bulk 실리콘기준)를 23 nm에서 2~3 nm로 최소화 하였고 이를 실제 패터화된 반도체 구조에 응용하여 일반적인 가속에너지(30KeV) 인가시 분석 불가능한 회로선폭 50 nm 미만의 시편의 분석을 가능하게 하였다. 아래 그림은 (a)Bulk 실리콘과 (b)패터된 시편의 단면과 비정질층의 두께를 전자 현미경으로 촬영한 이미지이다.



(a) Bulk 실리콘



(b) 패터된 시편