

## 과다연마 방지를 위한 두 단계 CMP에 관한 연구

신운기, 김형재\*, 박범영, 박기현, 주석배, 김영진, 정해도

부산대학교 대학원 기계공학부 정밀가공시스템전공, 한국생산기술연구원 부산지역본부\*

### A Study on the Two-Step CMP for Prevention of Over-polishing

Woonki Shin, Hyoungjae Kim\*, Boumyoung Park, Kihyun Park, Sukbae Joo, Youngjin Kim, Haedo Jeong  
Precision Manufacturing System Div., Graduate School of Mechanical Engineering, Pusan National Univ.,  
Korea Institute of Industrial Technology\*

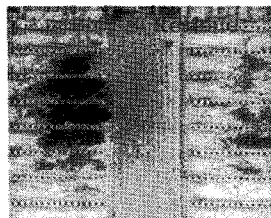
**Abstract** : Over-polishing is required to completely remove the material of top surface across whole wafer, in spite of a local dishing problem. This paper introduces the two-step CMP process using protective layer and high selectivity slurry, to reduce dishing amount and variation. The 30nm thick protective oxide layer was deposited on the pattern, and then polished with low selectivity slurry to partially remove the projected area while suppressing the removal rate of the recessed area. After the first step CMP process, high selectivity slurry was used to minimize the dishing amount and variation in pattern structure. Experimental result shows that two-step CMP process can be successfully applicable to reduce the dishing defect generated in over-polishing.

**Key Words** : Over-polishing, Chemical mechanical polishing, Dishing, Two-step CMP

#### 1. 서 론

반도체 디바이스 제조에 있어 플래쉬 메모리의 floating Gate나 트랜지스터의 박막, 태양 전지, MEMS 구조물에 주로 사용되는 폴리 실리콘(Poly-Si)의 평탄화(Planarization)에 화학기계연마(Cheical Mechanical polishing; CMP)는 필수 불가결한 공정으로 적용되고 있다[1,2].

CMP 공정에서 과다연마(over-polishing)는 웨이퍼 전면에 걸친 패턴에서 남아있는 잔류 재료의 제거에 있어서 없어서는 안 되는 공정이다. 그림 1과 같이 일반적인 CMP 공정에서 국부적으로 평탄화가 이루어지면 재료가 남겨나 상대적으로 웨이퍼의 다른 부분에서는 디싱(dishing)이나 에로존(erosion)같은 결함이 발생하기도 한다. 과다연마는 이러한 결함을 일으키는 주요한 원인이 되고, 이를 감소시키기 위해서 다양한 방법들이 제시되고 있으며, 그 중 두 단계 CMP의 적용을 제시하고자 한다.



(a) Poly-Si residue



(b) Poly-Si removed

그림 1. Non-uniformity of poly-Si residue in final CMP stage

#### 2. 실험

먼저, CMP 공정 요소 중 큰 영향을 나타내는 슬러리의 변화를 통한 폴리실리콘의 CMP 특성 변화를 살펴보았다. 슬러리(slurry)의 종류, 입자량(abrasive concentration) 및 pH의 다양한 조건의 폴리실리콘의 연마율을 산출하고 3가지

종류의 슬러리의 폴리실리콘과 산화막 사이의 선택비를 얻기 위한 실험을 수행하였다.

특히, CMP 공정에서 재료의 제거로부터 폴리실리콘을 보호하기 위해 얇은 산화막(<30nm)을 증착하고 Table 1.과 같은 조건으로 실험을 수행하였다.

보호 산화막이 증착된 폴리실리콘 패턴웨이퍼와 산화막을 증착하지 않은 웨이퍼를 각각 선택비가 다른 슬러리를 이용하여 연마하였다. 또한 각 CMP 공정에서 디싱의 결함을 비교하기 위해 과다연마시간을 정하기 위해서 G&P POLI-500의 마찰력 측정 장치를 사용하였다.

이 장치는 CMP장비의 헤드(head)부에 피에조 힘센서를 설치하여서 공정 중에 마찰력의 변화를 측정하는 장비로서, 가공이 진행됨에 따라 증착되어 있던 보호 산화막이나 폴리실리콘 패턴의 단차가 줄어들게 되고 국부적으로 폴리실리콘이나 산화막(SiO<sub>2</sub>)의 이종 재료가 드러나게 된다. 따라서 CMP 공정 중 마찰력이 변하게 되고 연마 종점을 예측할 수 있게 된다.

마찰력이 변하는 국부적인 연마 종점을 기준으로 과다연마 시간을 계산하였고, 이에 따른 2가지(한 단계/ 두 단계)공정에 따라 디싱 결함을 비교하였다.

Table 1. Experimental Conditions

|                  |   |
|------------------|---|
| Pressure         | 500g/cm <sup>2</sup>                    |
| Velocity         | Head and Table : 60rpm                  |
| Pad              | IC-1400-k groove                        |
| Wafer            | 4 inch Poly-Si patterned wafer on oxide |
| Slurry flow rate | 120cc/min                               |
| Temperature      | 22°C                                    |

#### 3. 결과 및 검토

기초 실험을 통하여 세 종류의 슬러리의 선택비는 70:1~3:1(slurry A), 235:1~30:1(slurry B), 120:1~135:1(slurry

C)가 됨을 찾을 수 있었다. 실험 결과를 토대로, 폴리실리 콘 패턴(100-250um)을 13%의 입자량을 가진 oxide 슬러리 (slurry A)를 가지고 연마를 하였다(그림. 2(a)). 이러한 전형적인 CMP 공정은 패턴의 폭이 커서 디싱량이 더 많아 지고 깊이도 더 깊어진다[3]. 디싱량의 감소를 위해서 보호 산화막과 높은 선택비를 이용한 두 단계 CMP 공정이 개발되었다(그림. 2(b)). 폴리실리 콘 위에 얇은 산화막 (SiO<sub>2</sub>; 30nm)을 증착시키고, 첫 번째 단계로 slurry A를 이용하여 폴리실리 콘이 드러날 때까지 산화막을 연마하고, 높은 선택비(235:1)를 가지는 slurry B를 이용하여서 트렌치(trench)부의 바닥까지 연마하는 두 번째 단계를 실행한다. 높은 선택비 때문에 CMP 공정은 자연스럽게 트렌치의 바닥에서 멈추게 되고 오목한 패턴부분의 디싱을 방지한다.

이러한 공정에서 국부적으로 평탄화가 이루어지게 되면 폴리실리 콘이 남게 되어 과다연마를 하게 된다. 공정 중에 마찰력 신호를 얻어 연마 중점을 계산하였다(그림. 3). 마찰력 신호가 변하는 연마시간을 각 CMP 방법에 대해 0% 과다연마시간으로 정의하고, 50%, 75%, 100% 과다연마시간으로 분류하여서 2가지 공정에 대해 디싱량을 평가하였다.

기존의 전형적인 CMP 공정에서는 연마 시간이 길어질수록 디싱의 양이 커지는 것을 확인할 수 있다(그림. 4). 그리고 패턴의 폭이 커질수록 디싱량도 증가하는 것을 확인할 수 있다. 상대적으로 두 단계 CMP 공정에서는 50%, 100% 과다연마 하에서도 디싱이 거의 발생하지 않았다. (그림. 5). 패턴의 폭이 커짐에 따라서도 디싱의 양이 크게 달라지지 않음을 확인할 수 있다.

디싱 결함의 원인은 웨이퍼 측면에서 패턴 크기, 간격, 밀도가 다르기 때문에 CMP 공정에서 제거되는 재료의 과소연마부를 제거하기 위해 과다연마를 하는 과정에서 발생한다[4]. 결과적으로 2-step CMP 공정은 30nm 이하의 디싱이 발생하고, 패턴의 폭과 과다연마시간에 크게 관계하지 않음을 확인할 수 있다. 이에 과소연마부를 제거하기 위한 과다연마도 최소화할 수 있는 효율적인 공정 방법이다.

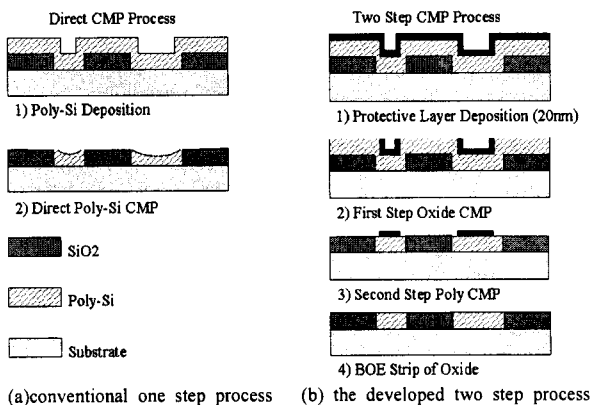


그림 2. Reduction of dishing by using the two-step CMP

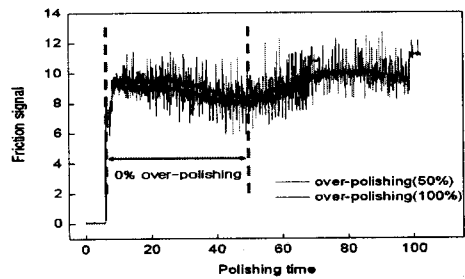


그림 3. Friction signal during CMP process

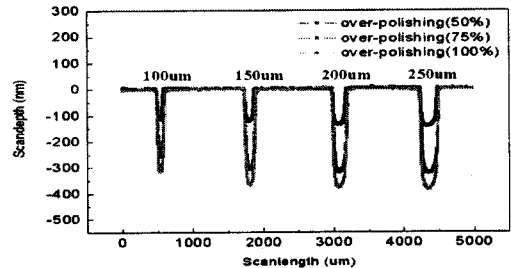


그림 4. Dishing amount by conventional one-step CMP

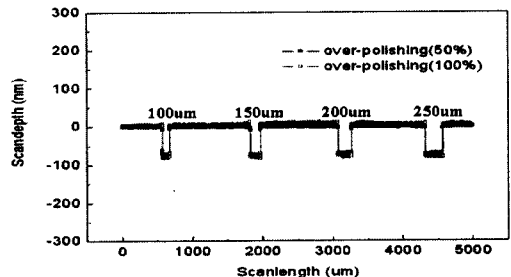


그림 5. Dishing amount by two-step CMP process

#### 4. 결론

본 연구는 얇은 산화막과 고선택비를 이용한 2 step CMP 공정을 개발하여 폴리실리 콘 CMP에 적용하였다. 기존의 광역평탄화를 위한 CMP 공정에서는 디싱 결함이 발생하게 된다. 이러한 결함은 연마 중점 이후로 국부적으로 발생하는 과다연마에 의해서 발생하게 되며, 패턴의 폭이 커질수록 더 많은 양의 디싱이 발생하게 된다. 따라서 본 연구에서는 디싱 결함을 감소시키기 위해서 필요한 과다연마를 최소화할 수 있는 두 단계 CMP를 적용하였고, 실험 결과 일반적인 CMP 방법과 비교하여서 얇은 산화막의 보호 때문에 디싱 결함은 패턴의 크기 및 형상, 과다연마시간에 거의 관계하지 않았으며 디싱 결함이 크게 감소함을 볼 수 있었다.

#### 참고 문헌

[1] A. Tanikawa and T. Tatsumi, J. Electrochem. Soc., Vol. 141, p. 2848, 1994  
 [2] J. Pearce and A. Lau: Proc. Solar 2002 Int. Solar Energy Conf., p. 181, 2002  
 [3] K. Smekalin and D. Fertig, J. Electrochemical Society, Vol. 143, No. 12, p.1281, 1996  
 [4] B. Y. Park, H. S. Lee, and H. D. Jeong, J. of KIEEME(in Korean), Vol. 18, No. 4, p. 321, 2005