

비휘발성 메모리 소자의 Gate-Blocking Layer 적용을 위한 TiO₂ 박막 특성

최학모, 이광수, 이준신
성균관대학교 정보통신공학부

Characteristic of TiO₂ Thin Film for Nonvolatile Memory Device's Gate-Blocking Layer

Hakmo Choi, Kwangsoo Lee, and Junsin Yi

School of Information and Communication Engineering, Sungkyunkwan University

Abstract

본 논문에서는 SiO₂ Gate 유전체를 대체할 재료의 하나인 TiO₂ Gate 유전체의 기판 증착 온도에 따른 특성을 알아보고자 한다. 디바이스의 고집적화가 높아짐에 따라 얇은 두께의 Gate 유전체의 절대적인 필요에 따라 두께를 최소화 하면서 유전율은 높아 전기적 특성이 우수한 소재를 찾게 되었다. 본 논문의 실험에서는 비휘발성 메모리 소자 제작시 Gate Blocking Layer 적용을 위해 High-k 물질인 TiO₂ 박막 증착 실험을 하였고, APCVD 방법을 사용하여 성장하였다. 증착 온도에 따른 I-V 특성을 분석하고 그에 따른 소자의 물리적 구조를 SEM을 통해 확인 하면서 소자 제작시 최적의 온도를 찾고자 하였다.

Keywords : TiO₂ (Titanium dioxide), APCVD (Atmospheric Pressure Chemical Vapor Deposition), High-k

1. 서론

반도체 업계에서 고속 동작 및 고 집적화, 저 소비전력등을 요구함에 따라 데이터 보존 능력과 저장 능력이 큰 비휘발성 메모리의 연구가 활발히 이루어지고 있다. 일반적인 메모리 소자에서 게이트의 절연막으로 사용되었던 SiO₂ 은 carrier injection에 대한 장벽이 높고 Si/SiO₂ 계면의 성질이 좋은 장점이 있어 게이트 절연막으로 사용되어왔다.[1] 그러나 메모리 소자의 셀이 차지하는 면적이 점차 줄어들어 따라 한 개의 캐패시터에 축적 될 수 있는 전하의 양이 적어져 메모리 소자의 데이터 보존능력이 상대적으로 약화되게 되었다. 이를 극복하기 위한 방법으로 절연막의 두께를 줄여서 정전용량을 증가시키는 방법을 연구 하고 있다. 그러나 0.1 μm 이하로의 초고집적화에 따른 SiO₂ 게이트 유전막의 두께도 상대적으로 수십nm 이하로 축소되게 될 경우 터널링 현상에 의한 누설 전류로 인해 트랜지스터의 구동 전류에 이득이 없어져 절연체의 능력을 상실하게 된다.[2] 2nm 이하의 SiO₂ 의 경우 어닐링 과정에서 다결정 실리콘으로부터 채널 영역으로 도펀트가 침투하여 문턱 전압의 변화를 초래하게 되고, 또한 자연 산화막층(SiO₂)의 영향으로 산화막 형성이 어렵고, 허용 가능한 결함 밀도가 산화막이 얇을수록 급격히 감소하여 수율이 현저히 낮아지는 경향을 가진다.[3] 이를 해결하기 위한 방법으로 High-k 물질 개발을 서두르고 있다. 일반적으로 Al₂O₃(k=11.6), Ta₂O₅(k=25), ZrO₂(k=20-22)에 대한 연구가 진행되고 있으며 이번 실험에 사용된 TiO₂ 의 경우 유전율이 대략 40~120 정도로 우수한 유전특성, 마모성, 내식성, 높은 굴절률을 가지며 가시광선 영역과 근 적외

선 영역에서의 높은 광학적 투과성 등의 성질로 광전자 소자, 광촉매, 태양전지 등에 광범위 하게 응용되고 있다.[4] 일반적으로 소자의 캐패시턴스는 설계 공정상의 유전박막 두께와 소자의 면적, 유전 상수에 의해 결정된다. SiO₂ (k=3.9) 박막과 비교하면 약 20배 정도이고, Al₂O₃(k=11.6)등의 High-k 물질과 비교해도 7배정도 크다. 이러한 이유로 차세대 절연체 재료로서 활발히 연구되고 있다.

2. 실험 과정

표1. APCVD 방법을 이용한 TiO₂ 박막 증착 조건

실험 조건	상태
증착 온도 (°C)	200 ~ 350
Bubbler 온도(°C)	60
O ₂ 유량 (lpm)	5
Bubbling N ₂ 유량 (lpm)	5
N ₂ 유량 (lpm)	5
기판 회전 (rpm)	4
TiO ₂ 증착두께 (nm)	12

실험의 목적인 APCVD를 통한 TiO₂ Gate 절연층의 증착 온도에 따른 I-V 특성과 그에 따른 물리적 특성을 알기 위해 온도를 제외한 다른 실험 변수를 고정 시켰다. Bubbler의 온도는 60°C로 고정시킨 후 실험 장치에 흐르는 O₂ ,Bubbling N₂ ,N₂ 의 유속을 5lpm으로 동일하게 유지 했다. 증착 과정 중 기판의 회전 속도는 4rpm으로 하였다. 각각 200°C,

250°C, 300°C, 350°C의 온도에서 증착 실험을 하였다. 이렇게 제작한 MIS 소자의 TiO₂ 박막의 증착 온도에 따른 I-V 특성을 각각 비교 확인하고 물리적 표면 특성을 SEM을 통해 확인하였다.

3. 결과 및 고찰

TiO₂ Gate 절연층의 증착 온도에 따른 누설전류 특성을 확인하기 위해 I-V 특성을 확인하였다.

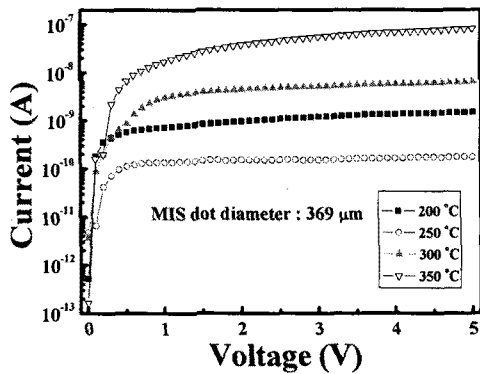


그림 1. 증착온도에 따른 TiO₂ 박막의 I-V 특성

그림 1에 나타난 것과 같이 Gate 전압이 증가함에 따라 누설 전류의 크기도 커진다. 200°C의 경우 대략 A, 250°C의 경우 대략 A의 누설 전류를 나타내고 있다. 이는 증착 온도가 올라감에 따라 누설전류가 감소함을 보여준다. 반면에 300°C에서는 대략 A의 누설전류를 나타내며, 350°C가 되었을 때는 대략 A를 나타내며 누설전류가 커지는 것을 확인할 수 있다.

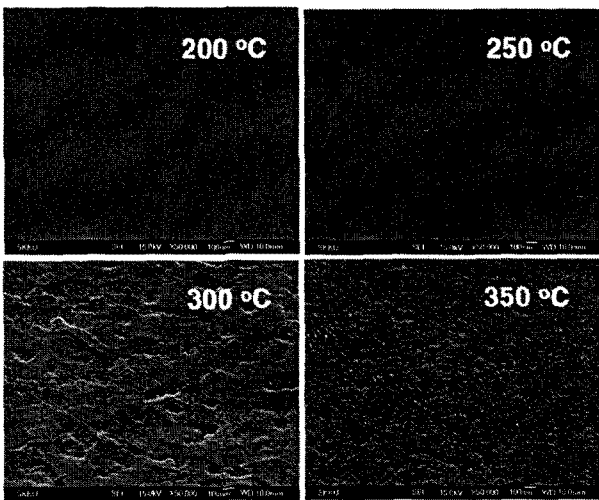


그림 2. TiO₂ 박막의 표면 SEM 사진

그림 2는 증착된 TiO₂ 박막의 표면을 SEM을 통해 확인한

것이다. 200°C, 250°C의 경우 결정립 경계가 없는 비정질 형태의 박막 표면 모습이 관찰 되었고, 300°C, 350°C에서는 다결정 박막 구조가 관찰 되었으며 결정립 간의 경계가 뚜렷이 나타났다.

일반적으로 200°C의 비교적 저온에서 박막 증착시 열 활성화의 부족으로 인해 박막 표면에서의 화학반응이 충분하지 않아 박막에 탄소 또는 과잉산소로 인한 결함이 존재하게 된다. 그러나 점차 증착 온도가 증가 하고 250°C 가 될 경우 이러한 결함이 줄어드는 것으로 생각된다. 반면에 300°C, 350°C로 증착온도가 증가함에 따라 표면반응의 활성화로 인해 알칼리 이온 같은 mobile ion 과 탄소성분은 감소하지만, 다결정 박막 형태를 이룸으로써 결정립 경계가 생겨 누설전류의 통로로 작용, 누설전류가 증가됨을 알 수 있었다.[5,6]

4. 결론

APCVD를 통한 TiO₂ 박막 증착 실험에서 온도에 따른 화학결합이 박막의 물리적 전기적 특성의 변화에 크게 나타남을 확인할 수가 있었다. 200°C, 250°C, 300°C, 350°C의 온도에서 증착 실험을 수행한 결과 250°C의에서의 증착과정이 유전층의 전기적 특성이 가장 좋게 나타남을 확인할 수 있었다. TiO₂ 증착시 온도에 따라 결정구조가 달라지는 것이 누설전류 변화의 한 원인임을 확인할 수 있었다.

기술의 발달로 초고집적 공정과 소자의 크기가 줄어들며 따라 소자를 구동하는데 사용되는 전류의 크기가 줄어들기 때문에 Gate 절연체와 누설전류의 문제는 꼭 해결해야 할 문제이다. 이번 실험을 통해 APCVD 방법으로 NVM 소자의 Gate Blocking Layer 제작시 250°C 온도에서 TiO₂ 박막을 성장시키는 것이 최적임을 확인할 수 있었다.

참고문헌

- [1] Anderson, Betty Lise, Fundamentals of Semiconductor devices. McGraw-Hill 2nd ed., 2005.
- [2] Robert F. Pierret, Advanced Semiconductor Fundamentals, Prentice Hall, 2nd ed, 2003.
- [3] Dieter K.Schroder, Advanced Mos Devices, Addison Wesley, 2nd ed, 2003.
- [4] Gary S. May, Simon M. Sze, Fundamental of Semiconductor Fabrication, Willey,
- [5] J.Szczyrbowski.G.Brauer, M. Ruske. J. Schroeder. A. Zmely. Surface and Coating technology.112. 261. (1999).
- [6] T. Fuyuki. H. Matsunami "Electronic properties of the interface between Si and TiO₂ deposited at very low temperature" Jpn. J. Appl. Phys. 25. 9. 1228(1986)