

레이저 결정화 방법을 적용한 3차원 적층 CMOS 인버터의 전기적 특성 개선

이우현, 조원주, 오순영¹, 안창근¹, 정종완²
광운대학교, ¹한국전자통신연구원, ²세종대학교

Electrical characteristics of 3-D stacked CMOS Inverters using laser crystallization method

Woo-Hyun Lee, Won-Ju Cho, Soon-Young Oh¹, Chang-Geun Ahn¹, Jongwan Jung²
Kwangwoon Univ., ¹ETRI, ²Sejong Univ.

Abstract : High performance three-dimensional (3-D) stacked poly-Si complementary metal-oxide semiconductor (CMOS) inverters with a high quality laser crystallized channel were fabricated. Low temperature crystallization methods of a-Si film using the excimer-laser annealing (ELA) and sequential lateral solidification (SLS) were performed. The NMOS thin-film-transistor (TFT) at lower layer of CMOS was fabricated on oxidized bulk Si substrate, and the PMOS TFT at upper layer of CMOS was fabricated on interlayer dielectric film. The 3-D stacked poly-Si CMOS inverter showed excellent electrical characteristics and was enough for the vertical integrated CMOS applications.

Key Words : ELA, SLS, poly-Si TFT, CMOS, 인버터.

1. 서론

다결정 실리콘 박막 트랜지스터(poly-Si TFT)는 비정질 실리콘 박막 트랜지스터(a-Si TFT)에 비해 더 높은 전계 효과 이동도를 가지는 장점이 있다. 그러므로 poly-Si TFT는 기존의 벌크 실리콘 공정에서 불가능 했던 3차원 집적 회로의 실현으로 인해 회로의 성능과 집적 정도를 개선할 수 있는 차세대 ULSI 소자 기술로 기대되어 진다 [1,2]. 저온에서 poly-Si 층을 제조하기 위해 많은 방법들이 연구되고 있으며 특히 레이저를 이용한 결정화 방법은 저온에서 고품질의 poly-Si 층을 얻을 수 있어 많은 관심이 집중되고 있다.[3]

그래서 이 논문에서는 excimer laser annealing(ELA) 방법은 TFT 제조에 대하여 고품질의 poly-Si 층을 얻기 위해 사용되었다[4]. 또한 하부 poly-Si 층 위에 NMOS TFT와 상부 poly-Si 층 위에 PMOS TFT를 각각 제조하여 적층 CMOS 인버터를 제작하였다.

2. 실험

P형 실리콘 기판(100)을 소자간 격리를 위해 열산화하여 1500 Å 두께의 절연막을 형성하였다. 절연막 위에 NMOS TFT 채널과 소스/드레인 형성을 위한 비정질 실리콘 1000 Å을 LPCVD(low pressure chemical vapor deposition)로 증착하였다. 비정질 실리콘의 결정화를 위해 ELA 400mJ/cm²의 에너지로 열처리하여 결정화하였다. 소자간 격리를 위한 절연막을 채널과 소스/드레인 영역 형성을 위해 건식 식각을 한 후, 게이트 절연막으로 열산화막을 80 Å 증착하였다. 게이트 전극용으로 인(Phosphorus)이 도핑된 poly-Si 층을 증착하고 W/L(=10/10 μm)의 게이트를 형성하였다. 소스와 드레인 형성을 위해 플라즈마 도핑을 하였으며, 이때 기판 온도를 450 °C로 가열한 상태에서 플라즈마 도핑을 실시하였다[5]. 이러한 공정을 통해 제작된

하층부의 NMOS TFT 위에 PMOS TFT를 제작하기 위해 먼저 층간 절연막을 PECVD로 1500 Å 증착하였다. 층간 절연막 위에 PMOS TFT 채널과 소스/드레인 형성을 위한 비정질 실리콘 1000 Å을 LPCVD로 NMOS 와 같은 조건으로 증착하고 결정화를 위해 레이저 열처리(SLS) 900 mJ/cm² 에너지로 열처리하여 결정화하였다. 게이트 절연막으로 열 산화막을 80 Å 증착하였고, 게이트 전극용으로 인(Phosphorus)이 도핑된 poly-Si 층을 증착하였다. 소스와 드레인 형성을 위해 플라즈마 도핑을 수행하여 상층부의 PMOS TFT를 제작하였다. Contact 홀을 위해 건식 식각과 습식 식각을 이용하여 contact 홀을 형성한 후 알루미늄을 증착하여 메탈 패드를 형성하였다. 그림 1은 3차원 적층 CMOS 인버터의 layout를 보여준다.

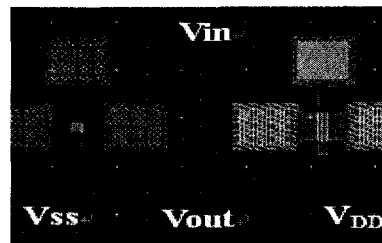


그림 1. 3차원 적층 CMOS 인버터의 layout.

3. 결과 및 검토

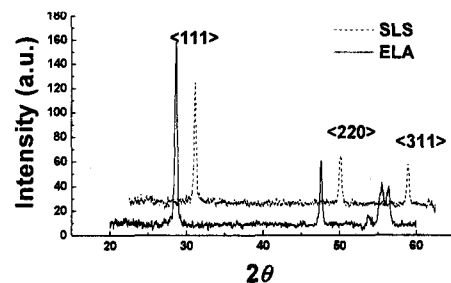


그림 2. Poly-Si film으로부터 얻어진 XRD 분석 결과; ELA(400 mJ/cm²), SLS(900 mJ/cm²).

그림 2는 ELA와 SLS에 의해 결정화된 X-ray 회절(XRD) 분석 결과를 보여준다. 결정화된 poly-Si 층의 결정 방향은 결정 방법과 무관하고 (111), (220)과 (311) 방향에서 peak를 나타내었다. 특히 (111) 결정면에서 가장 큰 회절은 얻어졌다. ELA에 의해 결정화 된 poly-Si의 결정성은 SLS 결정화 방법에 의한 것과 비슷한 회절을 보였다.

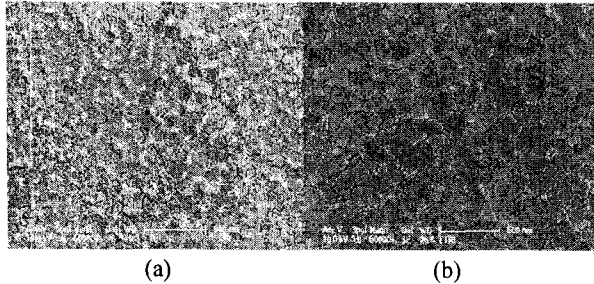


그림 3. 결정 경계의 secco 식각 후 poly-Si film의 SEM images; (a) SLS(900 mJ/cm²), (b) ELA(400 mJ/cm²).

그림 3은 SLS와 ELA에 의하여 결정화된 Poly-Si 박막을 secco etching 처리를 하여 전자 현미경(SEM)으로 관찰한 결과이다. ELA와 SLS 모두에서 grain 경계면이 분명하고 결정립이 큰 것을 확인할 수 있다.

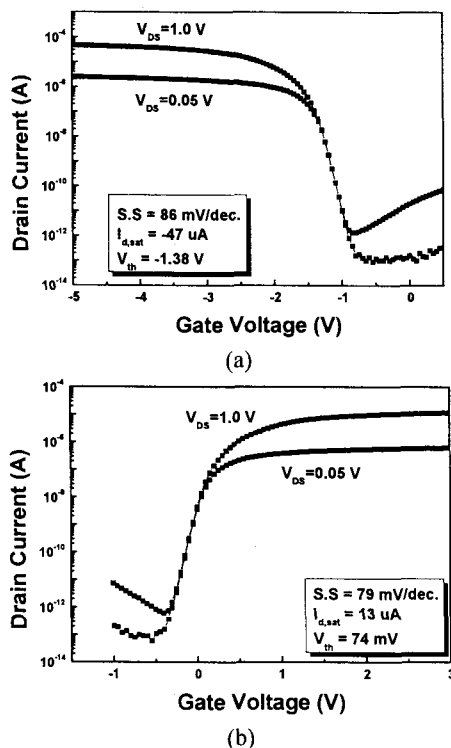


그림 4. (a) ELA(400 mJ/cm²), (b) SLS(900 mJ/cm²)를 사용하여 제작된 poly-Si TFT의 ID-VG 특성.

ELA와 SLS 결정화 방법으로 결정화시킨 poly-Si 층을 이용하여 제작된 각각의 NMOS와 PMOS TFT의 ID-VG 특성

을 측정하였다. 그림 4에서 ELA에 의한 소자는 문턱 전압이 0.34 V와 subthreshold swing이 78 mV/dec로서 비교를 위해 제작된 기존의 일반적인 결정화 방법보다 6배 이상의 증가를 나타내었다. SLS에 의하여 제작된 소자는 문턱 전압이 -1.3 V와 subthreshold swing이 86 mV/dec를 나타내었다.

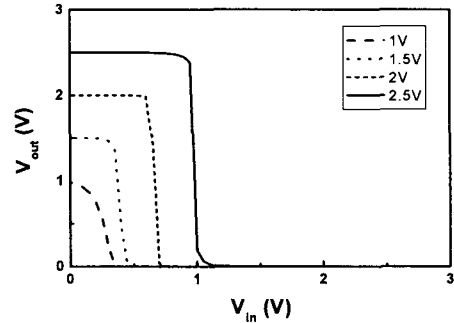


그림 5. 3차원 적층 poly-Si CMOS 인버터의 전압 전송 특성.

그림 5는 인가전압(V_{dd})을 0.5 V step으로 1V로부터 2.5 V에 대한 적층 CMOS 인버터의 전압 전송 특성을 보여준다. 우수한 noise margin은 1 V의 인가전압에서 얻어졌다.

4. 결론

고성능 논리 회로 적용에 대한 3차원 적층 CMOS 인버터는 고품질의 poly-Si 수직 적층으로 제작되었다. ELA와 SLS 결정화 방법을 사용하여 비정질 실리콘의 저온 결정화를 성공적으로 수행하였고 제작된 소자들을 통하여 우수한 전기적 특성을 얻었다. 하부 층의 NMOS TFT는 ELA 방법을 사용하여 우수한 결정성을 가지고 제작되었다. 한편, 상부 층의 PMOS TFT는 SLS 방법을 사용하여 낮은 열 손상을 가지고 제작되었다. 우수한 noise margin은 상부 층의 PMOS TFT와 하부 층의 NMOS TFT로 제작된 적층 CMOS 인버터로부터 얻어졌다. 그러므로 수직 적층된 poly-Si CMOS 기술은 3-D 적층 ULSI와 차세대 디스플레이 소자 적용을 위해 효과적인 방법으로 기대되어진다.

참고 문헌

- [1] A. W. Topol, D. C. La Tulipe, Jr. L. Shi, D. J. Frank, et al, Vol.50, No.4/5, p. 491-506, 2006.
- [2] Inoue. S., Utsunomiya. S., Saeki. T., Shimoda. T., Vol.49, No.8, p. 1353-1360, 2002.
- [3] G. K. Giust and T. W. Signom, Vol.45, No.4, p. 925-932, 1998.
- [4] C. T. Angelis, C. A. Dimitriadis, M. Miyasaka, et al, Vol.86, No.8, p. 4600-4606, 1999.
- [5] W. J. Cho, K. J.Im, C. G. Ahn, J. H. Yang, J. H. Oh, I. B. Baek, S. J. Lee, Vol.22, No.6, p.3210-3213, 2004.