

어븀-실리사이드를 이용한 쇼트키 장벽 다결정 실리콘 박막 트랜지스터

신진욱, 구현모, 정명호, 최철중*, 정원진*, 조원주
 광운대학교 전자재료공학과

Schottky barrier poly-Si thin film transistor by using erbium-silicided source and drain

Jin-Wook Shin, Hyun-Mo Koo, Myung-Ho Jung, Chel-Jong Choi*, Won-Jin Jung*, Won-Ju Cho
 Department of Electronic materials engineering, Kwangwoon Univ
 Nano-Bio Electronic Devices Team, Electronics and Telecommunications Research Institute*

Abstract : Poly-Si Schottky barrier Thin Film Transistor (SB-TFT) is manufactured with erbium silicided source/drain. High quality poly-Si film was obtained by crystallizing the amorphous Si film with Excimer laser annealing (ELA) method. The fabricated poly-Si SB-TFT devices showed low leakage current and large on/off current ratio. Moreover, the electrical characteristics were considerably improved by 3% H₂/N₂ gas annealing, which is attributed to the reduction of trap states at the grain boundaries and interface trap states at gate oxide/poly-si channel.

Key Words : Schottky barrier, SB-TFT, Poly-Si

1. 서 론

Schottky Barrier MOSFET(SB-MOSFET)는 소스와 드레인을 불순물 도핑 대신 금속을 이용하여 형성시킨 소자이다. 불순물 도핑 공정의 생략은 공정의 단순화를 가능하게 하였고, 또한 500°C 이하의 낮은 온도에서 소제 제작 공정을 가능하게 하였다. 이로 인하여 고온 공정에 취약한 고유전 (high-k) 물질을 게이트 절연막으로 사용함에 있어서 용이한 특성 가지고 있는 소자이다. SB-MOSFET는 낮은 누설 전류와 낮은 기생저항으로 인하여 소자 축소화에 큰 장점을 갖는다. 또한 단순화된 공정은 제작 과정에서 소자가 받을 수 있는 물리적인 열화를 낮추어 줄 수 있다 [1]. 한편, poly-Si wafer를 이용한 MOSFET 소자는 SOI wafer를 이용한 소자에 비하여 다소 성능이 저하되는 측면이 있지만, 제작 비용이라는 측면에서는 매우 강점을 가지고 있다. 또한, 다수의 연구기관에서 성능 개선을 위하여 계속하여 많은 연구를 수행하고 있다.

본 연구에서는 Poly-Si wafer위에 어븀(Er)을 이용하여 소스와 드레인에 Silicide를 형성시킨 N-type의 SB-TFT를 제작하여 소자의 성능을 평가하였으며, 또한 후속 열처리 공정을 통하여 소자의 성능을 크게 개선시켰다.

2. 실험

본 실험에 사용된 poly-Si은 undoped amorphous Si을 ELA 방법으로 결정화하였다. ELA 결정화 소자는 고상결정화를 통하여 결정화 된 소자에 비하여 양호한 결정성을 가지며, 우수한 전기적 성능을 보인다 [2]. 그림 1은 본 연구에서 제작된 소자의 구조를 나타낸다. 소스와 드레인에는 Er-silicide의 구조를 가지며, 게이트 측면에 있는 측벽 절연막(sidewall)은 self-aligned silicide 및 게이트 전류 누설을 막아 준다.

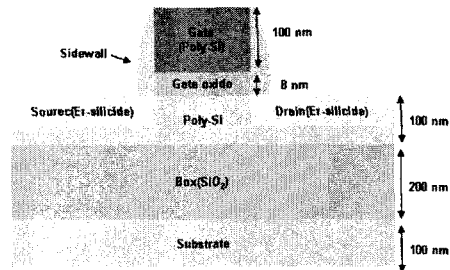


그림 1. Poly-Si SB-TFT 단면구조

그림 2는 poly-Si SB-TFT의 단면도이다. Er은 sputter를 통하여 50 nm의 두께로 증착하여, 열처리 공정을 통하여 Er-silicide를 형성시켜 주었다.

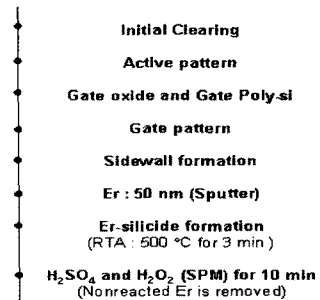
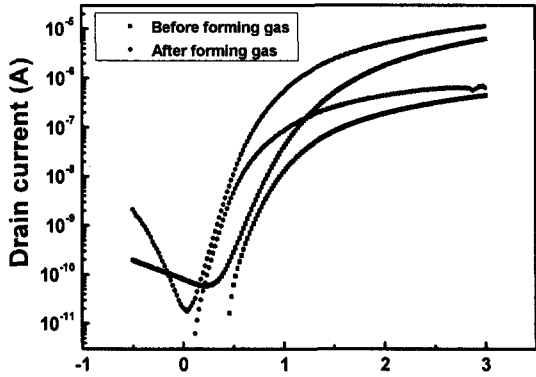


그림 2. Poly-Si SB-TFT 제작 공정

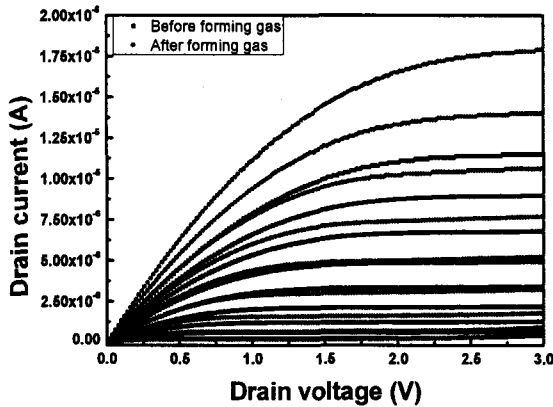
3. 결과 및 검토

그림 3은 poly-Si SB-TFT의 열처리 전과 열처리 후의 전기적 특성을 나타낸 그래프이다. 10⁵의 높은 On/Off current

ratio와 낮은 누설 전류를 확인할 수가 있다. Poly-Si SB-TFT의 On/Off current는 게이트에 인가된 전압에 따라 변하는 금속 전위장벽에 의하여 제어가 된다. 문턱전압 이상의 전압이 인가되었을 경우에는 채널과 소스 사이의 금속 전위장벽이 낮아져서 전자가 전위장벽을 터널링하여 드레인으로 흘러들어가서 높은 On current가 얻어진다.



(a)



(b)

그림 3. Poly-Si SB-TFT의 I-V 특성 :
열처리 전과 전처리 후의 특성 비교
(a) I_D - V_G (b) I_D - V_D

한편, 문턱치 이하의 전압이 인가되었을 때에는 높은 금속 전위 장벽으로 인하여 누설전류를 낮출 수 있다. Off current는 thermionic current에 의존성을 가지며 장벽 높이에 의하여 영향을 받지만, On current는 tunneling current에 의존성을 가지기 때문에 장벽의 두께에 영향을 받는다 [3].

아울러, 그림 2-4와 표 1에는 후속 열처리 공정에 의한 poly-Si SBTFT의 전기적인 특성 개선 효과를 보여주고 있다. 그림 4는 전자의 전계효과 이동도의 (μ_{FE}) 열처리 전후 특성을 나타내고 있는데, 3% H_2/N_2 분위기에서 $450^\circ C$, 30분간의 후속 열처리 공정(PRA: post RTA annealing)을 통하여 Poly-Si grain boundary에 존재하는 포획준위 및 채널과 게이트 산화막 사이의 계면에 존재하는 포획준위를 감소시켜 줌으로써 전기적 특성의 개선이 얻어졌다.

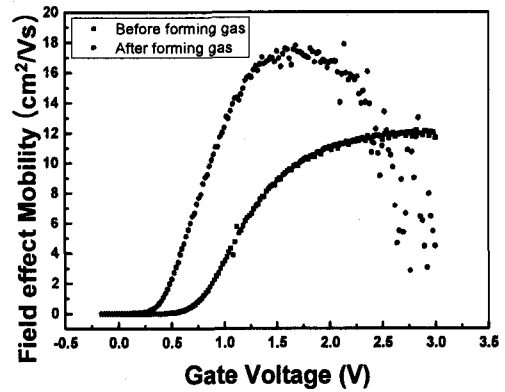


그림 4. Poly-Si SB-TFT의 carrier 이동도 특성

표 1. Poly-Si SBTFT의 전기적 특성

	Poly-Si SBTFT	
	Before PRA	After PRA
V_{th} (V)	1.92	0.812
Swing (mV/dec)	161	101
μ_{FE} (cm^2/Vs)	13	18

4. 결론

본 실험에서는 poly-Si SB-TFT를 제작하여 전기적 특성을 평가하였다. Er-silicide를 이용하여 제작한 N-type의 SB-MOSFET은 누설 전류를 최소화 시킬 수가 있었고 또한 높은 On/Off current ratio를 갖는 것을 확인할 수 있었다. 또한, 후속 열처리 공정을 통하여 poly-Si channel의 grain boundary에 존재하는 포획 준위와 게이트 산화막/채널 간의 계면 포획 준위를 줄여줌으로써 더욱 향상된 poly-Si SB-TFT의 전기적 특성을 얻을 수 있었다.

참고 문헌

- [1] John M. Larson et al., "Overview and status of Metal S/D Schottky-Barrier MOSFET Technology." IEEE Trans. Electron Devices, vol 53, No5, 2006 pp. 1048-1058
- [2] Kuan-Lin Yeh et al., "Fabrication and Characterization of Schottky Barrier Polysilicon Thin-Film Transistors with Excimer-Laser Crystallized Channel", Jpn. J. Appl. Phys. Vol. 42 (2003) pp. 2127-2131
- [3] Moongyu Jang et al., "A 50-nm-gate-length erbium-silicided n-type Schottky barrier metal-oxide-semiconductor field-effect transistor", Applied Physics Letter, 84, 2004, pp. 741-743