

## Pseudo-MOSFET을 이용한 nano-sSOI 기판의 특성 평가

정명호, 김관수, 최철중\*, 조원주  
 광운대학교 전자재료공학과

### Evaluation of nano-sSOI wafer using pseudo-MOSFET

Myung-Ho Jung, Kwan-Su Kim, Chel-Jong Choi\*, Won-Ju Cho  
 Department of Electronic materials engineering, Kwangwoon Univ  
 Nano-Bio Electronic Devices Team, Electronics and Telecommunications Research Institute\*

**Abstract** : The electrical characteristics of strained-SOI wafer were evaluated by using pseudo-MOSFET. The electrical characteristics of sSOI pseudo-MOSFET were superior to conventional SOI device. Moreover, the electrical characteristics were enhanced by forming gas anneal due to reduction of back interface trap density between substrate and buried oxide.

**Key Words** : sSOI, Pseudo-MOSFET, Mobility enhancement

### 1. 서론

SOI (silicon-on-insulator) 기판 기술은 단결정 Si층 아래에 매몰 산화층을 형성하여 Si채널층과 기판을 전기적으로 분리하는 구조로 높은 구동 능력을 달성할 수 있는 첨단 반도체 기술이며, 이미 고속 프로세서나 저전력 LSI 분야에 도입되어 그 응용분야를 점차 넓혀가고 있다. 최근에는 이러한 SOI wafer의 특성을 더욱 향상시킨 strained SOI (sSOI) 기술이 주목받고 있는데, 이는 Si와 Ge의 격자 상수 차이에 의한 strain을 이용하여, 채널에서의 캐리어 이동도를 증가시켜 소자특성을 개선시키는 기술이다 [1,2]. Pseudo-MOSFET은 두 개의 탐침을 시료의 표면에 직접 접촉시켜 소스와 드레인처럼 동작하게 하고, 게이트 전극은 기판의 뒷면에 탐침을 접촉시키는 구조이다. 이때 매몰 산화층은 게이트 절연막으로서의 역할을 하게 된다. 이 소자의 장점은 별도의 도핑, 배선공정을 쓰지 않고도 신속하게 wafer의 특성을 평가할 수 있다는 것이다. 또한, 게이트 인가 전압의 부호에 따라 N형과 P형의 두 가지 전도 특성을 나타낼 수 있는 특징이 있다 [3].

본 연구에서는 pseudo-MOSFET을 이용하여 sSOI wafer의 특성을 평가하였다. 또한, 후속 열처리 공정을 통해 매몰 산화층과 기판 사이의 계면특성을 조절하여 전기적 특성의 향상을 확인하였다.

### 2. 실험

본 실험에 사용된 pseudo-MOSFET 소자는 실리콘 박막 두께와 매몰 산화층의 두께가 각각 40 nm, 140 nm 인 sSOI wafer를 이용하여 제작하였다. Strain 효과로 인한 특성 향상을 알아보기 위해 기존의 SOI wafer를 이용한 pseudo-MOSFET을 추가로 제작 하였다.

그림 1은 pseudo MOSFET의 active를 형성하기 위한 공정순서를 나타낸다. 여기서, active 영역을 형성한 이유는 소자를 제작할 때 모서리 부분이나 게이트 면적이 클 경우 매몰 산화층에 존재하는 결함 등에 의해 정확한 특성 평가가 어렵기 때문이다.

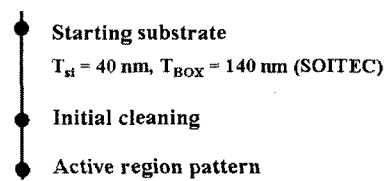


그림 1. Pseudo-MOSFET 제작 공정.

### 3. 결과 및 검토

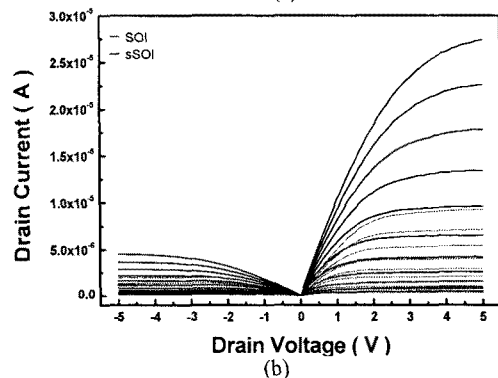
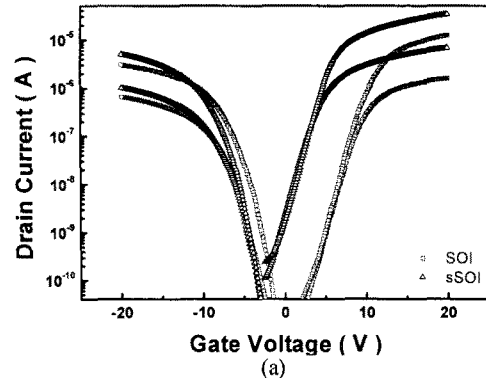


그림 2. SOI/sSOI pseudo-MOSFET의 I-V 특성  
 (a) Subthreshold, (b) 출력 특성

그림 2와 그림 3은 각각 sSOI wafer와 SOI wafer를 사용하여 제작한 pseudo-MOSFET의 전기적 특성을 나타낸 그

래프이다. sSOI wafer를 이용한 소자가 기존의 SOI wafer를 이용한 소자와 비교했을 때, 전기적 특성이 크게 향상된 것을 볼 수 있다. 이는 strain으로 인하여 전자와 정공의 이동도가 향상되었기 때문이다.

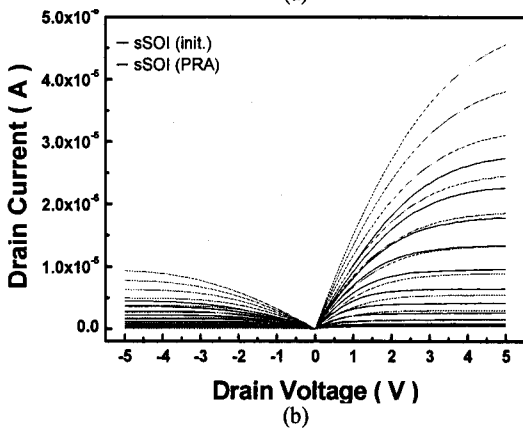
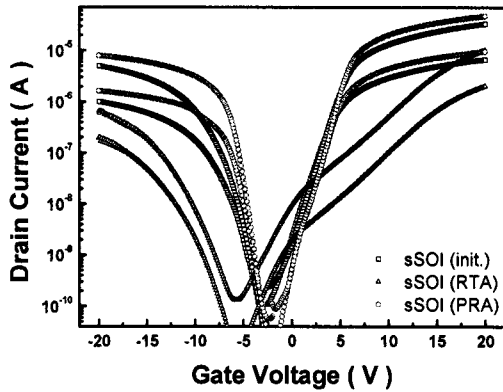


그림 3. sSOI pseudo-MOSFET의 열처리에 따른 I-V 특성 변화  
(a) Subthreshold, (b) 출력 특성

그림 3은 각각 후속 열처리 공정을 통한 sSOI wafer의 전기적 특성 개선을 나타내고 있다. 급속 열처리공정 (rapid thermal anneal) 후에 매몰 산화층과 기판 계면간의 스트레스에 의한 포획준위가 발생하여 소자특성이 열화되었다. 하지만 후속 열처리 공정 (post RTA anneal)을 통하여 계면 간의 stress 완화와 포획준위를 소멸시킬 수 있었으며 I-V 특성이 더욱 향상되었다.

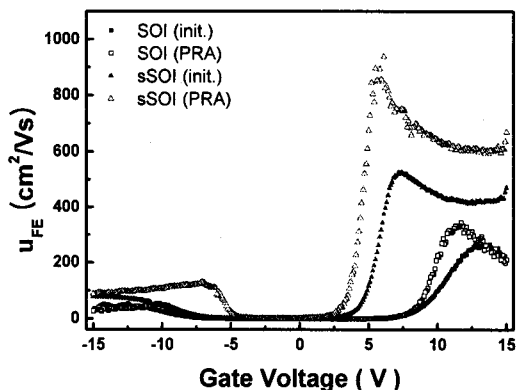


그림 4. SOI/sSOI pseudo-MOSFET의 전계효과 이동도 특성

그림 4는 각각 SOI/sSOI pseudo-MOSFET의 전계효과 이동도를 나타낸 그래프이다. 모든 소자가 후속 열처리 공정을 통하여 전계효과 이동도가 증가하였다. 또한 SOI pseudo-MOSFET 보다 sSOI pseudo-MOSFET의 이동도가 훨씬 높다는 것을 알 수 있는데 이것은 strain으로 인한 subband-splitting 때문이다.

#### 4. 결론

본 실험에서는 pseudo-MOSFET을 이용하여 초기 상태의 sSOI 및 SOI wafer의 전기적 특성을 평가했고, 후속 열처리 공정을 통하여 wafer의 특성이 어떻게 변하는지 조사하였다. sSOI wafer는 strain효과로 인하여 기존의 SOI wafer보다 우수한 출력특성과 전계효과 이동도를 가짐을 확인할 수 있었다. 또한, 복잡한 제조과정과 구조를 가지는 sSOI wafer의 경우도 열처리 공정의 최적화를 통하여 더욱 전기적 특성을 향상시킬 수 있었다.

#### 참고 문헌

- [1] S. I. Takagi, "Sub-band structure engineering for advanced CMOS channel", *Solid-State Electronics*, 49, 2005, pp. 684-694
- [2] T. Mizuno, "High performance strained-Si p-MOSFETs on SiGe-on-insulator substrates fabricated by SIMOX technology", *IEDM*, 1999, pp.943-936
- [3] Won-Ju Cho, "Thermal annealing effect of the electrical characteristics of the back interface in nano-silicon-on-insulator channel", *Applied Physics Letters* 90, 143509, 2007