

펄스파워용 정전 유도 사이리스터의 직렬 구동 제어 및 스위칭 특성 측정

김봉석, 고광철
한양대학교 전기공학과

Evaluation of Switching characteristics at SI-Thyristor in Series connections

Bong seong Kim, Kwang-Cheol Ko
Electric department of Hanyang university

Abstract - SI-Thyristor는 스위칭 특성상, turn on시에는 전압구동 특성을 지니며, turn off시에는 전류구동 특성과 전압구동 특성을 지니고 있기 때문에, 그 두가지 특성을 명확히 하여 스위칭 특성을 구분 짓는 것이 어렵다. 본 논문은 SI-Thyristor-정전유도용량 사이리스터-의 펄스 파워 어플리케이션으로 고안된 게이트 드라이버를 이용하여 직렬연결 특성을 측정했으며, 펄스파워 어플리케이션으로서의 SI-Thyristor의 스위칭 특성과 그에 적합한 게이트 드라이버의 개선점과 특성에 대하여 기술되어 있다.

1. 서 론

SI-Thyristor는 1980년대 일본에서 연구되어 왔으며 그림.1과 같은 구조를 지니고 있다. P⁺NN⁺ Pin diode에 gate가 매입되어 있는 형태로 매입된 게이트와 게이트 사이에 공핍층을 제어하여 SI-Thyristor의 turn on/off를 제어하도록 설계되어져 있다. 그림1.(a)에서 보여지는 것과 같이 SI-Thyristor는 Gate terminal에 어떠한 전압/전류가 가해지지 않는한 normally turn on 상태를 유지하고 있다. 하지만, Gate에 terminal에 negative potential이 인가되면 Gate terminal의 P layer 사이에 공핍층이 나타나게 되어 off 상태로 전이하게된다.

SI-Thyristor의 게이트 드라이버 실험을 통하여, SI-Thyristor의 스위칭 특성 중 SI-Thyristor가 state off state에서 gate에 positive voltage를 인가하여도 Gate terminal에 P layer의 공핍층이 사라지지 않고 turn off 상태를 유지하거나 turn on 상태로 전이하는 데 실패를 하는 현상이 목격되었다.

이러한 현상은 Power semiconductor의 직렬 연결 구동의 특성과 매우 밀접한 관련을 지니고 있기 때문에 실제적으로 SI-Thyristor의 양단에 인가한 동작 주파수에 관하여 SI-Thyristor의 동작에 있어서 적합한 게이트 전압/전류에 대한 수치적이 접근이 필요하다.

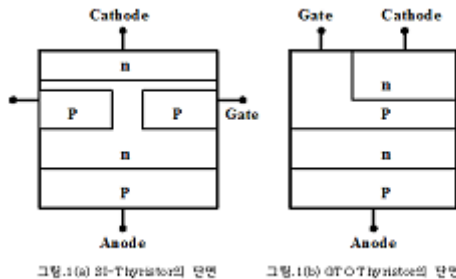


그림.1>SI-Thyristor의 내부 단면도

2. 본 론

2.1 SI-Thyristor의 기본적인 turn on/off switching시 게이트 요구 조건

전 연구를 통하여, SI-Thyristor의 turn on time은 일반적으로 Positive gate current의 주입 속도 및 주입된 전하량에 따라 결정되며 주입속도는 di_c/dt 로 그리고 주입된 전하량은 양전류(positive current) X 양전류 유지시간(positive current pulse width)로 결정된다 [1][2]는 것을 밝혔다.

또한, SI-Thyristor의 turn on시 gate 사이의 p-layer사이의 공핍층의 제거와 함께 anode에서 cathode로 흐르는 main current가 게이트의 P-layer 사이 공핍층을 빠르게 제거하는 것을 보여주고 있으며, turn on phase에서 SI-Thyristor gate driver는 빠른 게이트 전류 주입, $+i_{gate}/dt$ 를 통해 delay time을 줄이고, recombination time을 적게 하기 위해서 V_{AK} 값을 높게 사용하고 peak gate current 값을 높여서 넣

어주는 것이 안정적이라는 것을 보여주고 있다.[1]

Turn off시에는 SI-Thyristor를 turn on 시키기 위해서는 빠른 양전류의 게이트 전류, i_{gate}/dt 를 주입하여 gate의 P layer사이에 있는 공핍층을 제거해주어야 한다.

off state를 유지하기 위해서 gate driver는 gate단에 음전압을 인가하여 공핍층을 형성하고 있기 때문에 빠른 turn on을 위해서 gate driver는 음전압에서 양전압으로 빠른 전환이 필요하다.

또한, 공핍층을 충분히 소거시키기 위해서는 그림2.(b)와 같이 충분한 recombination time을 지녀야 하며 이를 충족시키기 위해서는 gate driver의 양전압은 또한 충분한 시간의 pulse width를 지녀야 한다는 것이 SI-Thyristor의 turn off시의 게이트 드라이버의 요구조건이다.

2.2 SI-Thyristor의 Switching 실험을 통한 실제 SI-Thyristor의 스위칭 특성

2.1에서의 기본 SI-Thyristor의 기본 스위칭 특성을 따라 <그림 2> 같은 스위칭 실험을 통해 SI-Thyristor의 P gate layer의 length, doping density에 의한, 실제적인 SI-Thyristor의 정확한 turn on/off를 위한 numerical equation을 추론하였다.

SI-Thyristor의 gate driver는 FET1과 FET2의 제어에 의해 동작하게 되며, FET1이 off, FET2이 off시에는 Positive voltage 및 current가 SI-Thyristor에 인가된다. FET1이 on FET2가 off일 경우에는 SI-Thyristor의 Gate terminal에는 negative current가 인가되며, SI-Thyristor의 Cathode terminal에 비해 Gate terminal이 reverse biased되어 SI-thyristor를 통해 흐르던 main current가 더 이상 흐르지 않게 된다. 이때에 SI-Thyristor에 잔류해 있는 전하는 FET1과 FET2의 사이에 위치한 인덕터 소자에 의해 저장 되었다가 FET1과 FET2의 on에 의해 다이오드를 통하여 소모되도록 제작되어 있다.

기존의 스위칭 연구[2]와 numerical analysis [3]결과들에 따라, 5500V/400A의 SI-Thyristor의 실제 gate layer의 숫자, SI-Thyristor의 gate로 존재하는 P layer의 doping density등을 유추하여 실제적인 1개 셀에서의 SI-Thyristor의 physical swihcing equation을 유추해보기전에 1dimensional SI-Thyristor를 <그림 3>와 같이 구성하였다.

<그림3>와 같은 단면은 <그림 1>에서의 SI-Thyristor의 n body와 P gate층의 단면으로, SI-Thyristor의 main current를 결정하기 위해서는 SI-Thyristor의 anode면에 위치한 P layer, main body부분의 n layer 그리고 P gate와 main body인 n layer의 접합점, 그리고 SI-Thyristor의 Cathode에 위치한 n layer등이 모두 관련되어 있지만, turn on/off를 control 하는 부분인 main body의 n과 gate의 P layer만을 보기 위함이다.

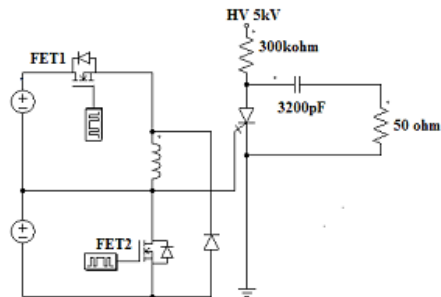
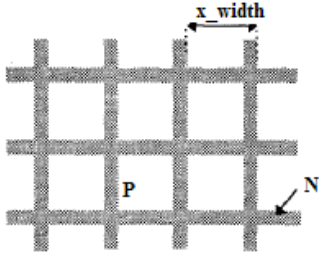


그림 2> SI-Thyristor의 스위칭 실험도



<그림 3> 1 dimensional SI-Thyristor의 단면

2.2.1 SI-Thyristor의 numerical analysis를 통한 실제적인 SI-Thyristor의 driving gate power의 계산

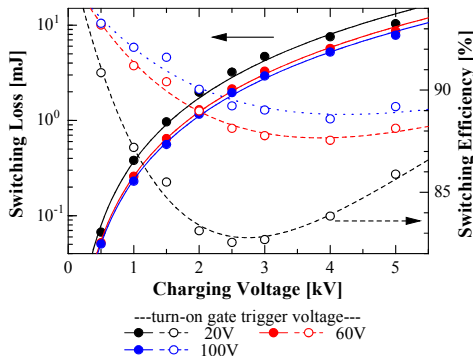
기존의 연구[3]를 통하여, SI-Thyristor의 main body의 n density는 아래 식[1]과 같이 결정되어 진다. <표 1>은 식[1]의 실제적인 의미, 단위 그리고, 수치를 설명하고 있다.

$$\begin{aligned}
 N_{imp}(x, y) &= N_{sk} \exp\{- (y / y_{gk})^2 \ln(N_{sk} / N_{DB})\} \\
 &- N_{CG} \exp[-g(x)(x - x_{g_width})^2 + (y - y_{G_width})^2] \\
 &\cdot r_G^{-2} \ln(N_{CG} / N_{DB}) + N_{DB} \\
 &- N_{SA} \exp[-\{(y_m - y) / (y_m - y_a)\} \cdot \ln(N_{SA} / N_{DB})] \quad \text{식[1]}
 \end{aligned}$$

symbol	의미	수치	단위
N_{sk}	cathode surface impurity density	1×10^{10}	cm^{-3}
y_{gk}	y coordinate cathode junction	4	μm
N_{DB}	base bulk impurity density	1×10^{13}	cm^{-3}
N_{CG}	cathode-gate surface impurity density	1×10^{19}	cm^{-3}
$g(x)$	gate center length	2	μm
x_{g_width}	gate-gate width at x-axis	12	μm
y_{g_width}	y coordination gate-gate width	12	μm
r_G	radius of gate junction	2	μm

<표 1> SI-Thyristor에서 main body의 N impurity농도에 의한 계산 식의 수치

식[1]은 x-y coordination에서의 main current를 계산하기 위한 식이기 때문에, 실제적으로 <그림 4>와 같은 1 dimensional analysis를 통한 gate resistance를 구하여, turn on시의 P gate terminal 사이의 공핍층을 구하기 위해서는 y coordination을 생략하고, x_{g_width} 만을 이용하여, 수치해석을 수행하였다. <표 2>는 수치 해석에 관한 결과로 SI-Thyristor의 내부 gate resistance에 따른 turn off시의 최소 필요 에너지를 보여주고 있다.

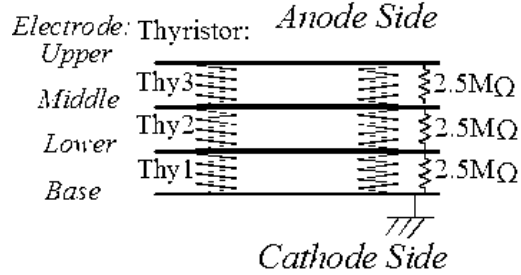


<그림 4> SI-Thyristor의 gate turn on voltage에 따른 gate driver의 switching loss

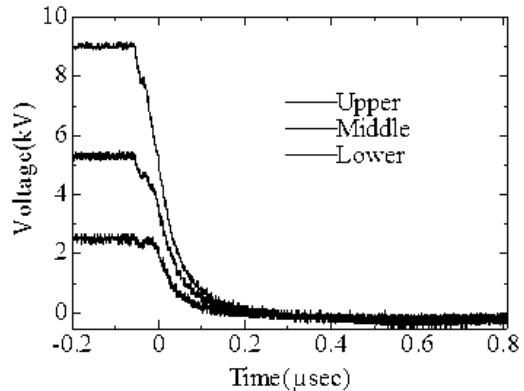
2.3 2.2에 기반한 SI-Thyristor의 직렬 연결 테스트 및 스위칭 측정

2.2와 2.2.1의 계산을 토대로 제작된 SI-Thyristor의 3단 직렬연결을 구성하고 이에 따른 스위칭 실험을 수행하였으며, 이를 통한 <그림 5>와<그림6>과 같이 구성되어 있다. <그림 5>는 직렬연결시 추가되는 컴포넌트를 보여주고 있다. <그림 5>에서 SI-Thyristor와 병렬연결된 저항은 SI-Thyristor가 normally off 상태일때 leakage current로 인해 직렬연결된 SI-Thyristor가 균일하게 인가된 전압을 sharing하지 못하는 경우를 방지하기 위해 연결되어 있다.

실제적으로 고속 스위칭시 SI-Thyristor의 turn off phase에서 직렬연결된 SI-Thyristor의 인가 전압이 정확히 인가전압/직렬연결된 SI-Thyristor의 개수로 나뉘지 않는 경우가 발생하기 때문에 snubber회로나 과전압 억제 회로를 연결해야할 필요성이 있지만, 실제 회로 실험에 있어서 35Hz 이하의 operating frequency에서 동작하였기 때문에 switching 동작에 영향을 줄수 있는 snubber회로의 연결은 사용하지 않았다.



<그림 5> SI-Thyristor의 직렬연결 구성도



<그림 6>SI-thyristor의 직렬연결 test시의 switching 파형

3. 결 론

본 연구를 통해, 실제적으로 SI-Thyristor의 turn on switching를 하기 위한 수치적인 접근과 보조적으로 스위칭 특성 실험을 하여, 실제적인 직렬연결된 SI-Thyristor의 스위칭 테스트를 수행하였다. 5500V/400A 급 RT-201의 단일 스위칭 turn on 스위칭 결과와 SI-Thyristor의 직렬연결 스위칭 테스트 결과의 비교를 통해, 직렬연결된 SI-thyristor의 turn on시 gate delay tiem이 단일 스위칭 테스트 보다 gate 인가 전압에 따라 다르지만 50~100ns정도의 차이를 보여주고 있으며 이는 지속적으로 현상을 고찰할 예정이지만, 본 논문을 통해, SI-Thyrisotr의 turn on switching failure를 방지 할 수 있는 최소의 게이트 파워, positive gate driving voltage 및 current 그리고 그에 따른 SI-Thyristor의 internal rage resistance - internal depletion region -을 간접적으로 유추할 수 있었다.

[참 고 문 헌]

[1] M.Kekura. et al, "Anode Short Structure for 4.5kV PT-SITHs", IEEE 1997, pp.65~68
 [2] 김봉석, 고헌철, "펄스 모듈레이터용 정전 유도 사이리스터의 최적 게이트 드라이버 설계 및 성능측정", 대한전기학회, 2007
 [3] Jue Wang, Barry W. Willams, "A New Static Induction Thyristor (SITh) Analytical Model", IEEE, 1999, 866~876