Hole barrier layer 와 Diverter 구조의 IGBT에 관한 특성 분석

유승우, 신호현, 김요한, 성만영* (*semicad@korea.ac.kr)

Analysis of IGBT with Hole barrier layer and Diverter

Seungwoo Yu, Ho Hyun Shin, Yohann Kim, Man Young Sung* Dept. of Electrical Engineering, Korea University

Abstract - This is paper, a new structure to effectively improve the Vce(sat) voltage and latch-up current in NPT type IGBTs with hole barrier layer and diverter. The hole barrier layer acts as a barrier to prevent the holes from flowing into the p-layer and stores them in the n-layer. And the diverter significantly reduce hole current from flowing into the p-layer and improve latch up current. Analysis on the Breakdown voltage shows identical values compared to existing Conventional IGBT structures. This shows an improvement on Vce(sat) and Latct-up current without lowering other characteristics of the device.

The electrical characteristics were studied by MEDICI simulation results.

1. 서 론

절연게이트 바이폴라 트랜지스터(IGBT)는 고전압용 반도체 소자로 현재 널리 적용되고 있는 소자로서 인버터, 고압 스위치, 모터구동 등과 같은 산업용에서 PDP, 가정용 가전 등의 분야로 그 적용 영역이 널리 확대 되고 있다.[1] 특히 초고압 시스템의 산업용으로 적용 시에는 Vce(sat) 과 latch-up 특성이 중요한데 이를 위한 특성 개선 연구가 활 발히 진행 중이다. 본 논문에서는 턴온 상태에서의 저항 특성과 latchup 특성개선을 위해 새로운 구조를 제안하였다. 즉 Vce(sat)을 개선하기 위해 hole barrier layer를 삽입하였고 latch up 특성을 개선하기 위해 diverter를 삽입하였다. 이의 특성을 여러 방면에서 분석하였으며 소자의 전기적 특성은 소자 simulation tool인 MEDICI를 이용하여 분석을 진행 하여 제안된 소자의 타당성을 검증하고자 하였다.

2. 본 론

2.1 소자구조와 동작

IGBT는 게이트에 전압을 인가하여 수직으로 채널을 형성하여 N+ 에 미터의 전자와 P+ 콜렉터의 홀을 흐르게 하는 전력용 반도체이다.[1] 스 위칭 소자로서 게이트 전압으로 턴온, 턴오프를 하며 턴온 상태일 때 소 자의 저항으로 인하여 콜렉터와 에미터에 걸리는 전압을 Vce(sat)이라 한다. 높은 Vce(sat)은 소자가 턴온 상태일 때 전력소비를 늘리며 이로 인한 온도의 증가로 소자의 특성을 나빠지게 한다. Vce(sat)을 줄이기 위해 사용하는 방법으로는 n-drift 두께를 줄이거나 에미터 주변에 캐리 어 농도를 올리는 방법이 사용되고 있으며 n-drift의 두께를 줄이는 방 법은 소자의 항복전압을 낮춰 항복전압과 trade off 관계에 있다. 또한 IGBT의 P 베이스에 전류밀도의 증가로 기생 바이폴라 트랜지스터가 턴 온 되는데 이때의 전류를 latch-up current라 한다. latch-up시에는 게이 트 전압으로 스위칭을 제어 할 수 없기 때문에 높은 latch-up current를 유지해야만 latch-up되는 현상을 막을 수 있다. latch-up 현상을 개선시 키기 위해 보통 사용하는 방법으로는 n+ 에미터의 길이를 짧게 하여 에 미터와 접촉되는 저항을 줄여 P 베이스와 에미터사이에 전압차를 줄이 는 것과 n+ 에미터 주변에 p+ layer를 삽입하여 P 베이스의 저항을 줄 여 P 베이스와 에미터사이에 전압차를 줄이는 방법이 있다. 또한 diverter[2]를 사용하여 hole current pass를 diverter쪽으로 유인하여 P 베이스로 흘러가는 전류를 감소시켜 latch-up 현상을 개선시키는 방법 이 있다.

<그림 1> (a)는 일반적인 수직형 NPN IGBT이다. <그림 1> (b)는 P 베이스를 둘러싼 n-type층을 가진 IGBT로 hole barrier를 형성하여 Vce(sat)을 개선시키기 위한 구조이다. <그림 1> (c)는 소자의 Vce(sat) 과 latch-up을 동시에 개선시킬 수 있게 제안한 구조로 기존 IGBT에 P 베이스를 둘러싼 n-type층과 P+ diverter를 추가한 구조이다. P-layer를 둘러싼 n-type층은 n-type층 주위에 minority carrier density를 증가시 켜 항복전압의 특성을 저하시키지 않으면서 높은 전도도를 얻게 해준다. 높은 전도도는 JFET영역에 저항을 감소시켜 일반적인 IGBT구조보다 Vce(sat)을 줄여주게 된다. 또한 diverter는 P베이스에 들어가는 hole전 류를 diverter로 유인하여 P베이스에 hole current density[3]를 감소시켜 기생 바이폴라 트랜지스터의 latch-up current를 증가시킨다. <그림 1> (a)의 일반적인 NPN type IGBT 소자는 2000V용 고전압 IGBT로 <표 1>의 특성과 같다. P 베이스를 둘러싼 n-type과 diverter 에 따른 Vce(sat)과 latch up current를 보기 위해 기존 구조와 제안된 구조 모두 <표 1>과 같은 동일한 조건으로 시뮬레이션 하였다.

<표 1> Simulation시 사용한 IGBT Doping 농도

	Emitter (N+)	Latch-up 방지 layer(P+)	Base (p)	Drift (N-)	Hole barrier (N)	Collect or (P)
농도 (cm^{-3})	1×10^{20}	1×10^{18}	1×10^{17}	4×10^{13}	5×10^{16}	1×10^{18}



<그림 1> (a) 일반구조 IGBT (b) Hole barrier를 가진 IGBT (c) Hole barrier와 diverter를 가진 IGBT

2.2 시뮬레이션 결과 및 고찰

MEDICI simulator를 사용하여 세 가지 구조의 전기적인 특성을 비교 분석하였다. <그림 2>는 I-V 특성곡선으로 게이트에 전압 15V를 인가하여 턴온을 시킨 후 콜렉터에 전압을 서서히 증가시 켜 100.4/cm²의 전류가 흐르게 하였다. 이때의 전압을 Vce(sat) 이라 하며 <그림 2>에서 일반구조 IGBT의 경우 3.01V, hole barrier layer를 가진 IGBT의 경우 2.16V, hole barrier layer와 diverter를 가진 제안한 IGBT의 경우 2.41V로 일반적인 구조와 기존 구조 중간값의 Vce(sat)을 가지고 있다. 제안구조의 경우 일 반구조보다 Vce(sat)값이 0.6V 낮고 기존구조보다 0.4V 높음을 알 수 있다.



이는 <그림 3>과 같이 JFET영역에서 전도도 증가로 일반적인 구조보 다 hole barrier를 가진 구조가 Vce(sat)이 낮음을 알 수 있고 마찬가지 로 hole barrier와 diverter를 가진 제안한 구조 또한 hole barrier로 인 하여 일반적인 구조보다 전도도가 증가한다. 그러나 hole barrier를 양쪽 에 가지고 있는 기존 구조보다 전도도가 작음을 확인 할 수 있다.



(c) hole barrier와 diverter를 가진 IGBT

<그림 3> 구조에 따른 Hole Current 특성

<그림 4>는 게이트에 전압을 인가하지 않은 후 콜렉터에 전압을 서서히 증가시켜 게이트 전압 없이 소자의 전류가 흐르는 latch-up 현상을 보여주는 그림이다. diverter를 가진 IGBT 소자가 latch-up 될 때에 일반소자와 단순 hole-barrier를 가진 기존 소자보다 latch-up 전류와 전압이 높음을 <그림 4>에서 확인 할 수 있다.



<그림 5>에서 기존 구조는 hole current가 균등히 분포되어 있음을 확 인 할 수 있고 hole barrier와 diverter가 있는 소자는 hole current가 diverter쪽으로 유인되어 P 베이스에 hole current density를 감소시켜 latch-up current와 voltage를 증가시킴을 확인 할 수 있다.

<그림 6>는 항복전압 특성이다. 일반구조의 항복전압은 2014V, 기 존구조 2000V, 제안구조 2001V로 일반적인 구조와 비교하여 기 존구조와 제안구조의 항복전압이 큰 차이가 없음을 확인 할 수 있다. 다만 hole barrier로 인하여 P 베이스에 전계가 증가하여 기존구조와 제안구조의 항복전압이 일반구조보다 조금 떨어짐을 알 수 있다.



3. 결 론

본 논문에서는 holeh barrier layer와 diverter를 포함한 IGBT를 설계하여 이의 특성을 simulation을 통해 분석 평가하였다. 새로 운 구조의 가장 큰 특징은 hole barrier layer와 diverter의 영향 으로 항복전압의 열화 없이 Vce(sat)과 latch-up 특성이 향상된 것이다. 즉 새로운 구조를 적용한 경우 Vce(sat)이 일반구조보다 0.6V Vce(sat)의 향상이 있으며 latch-up current와 voltage 또한 개선되어 소자의 성능에 향상을 가져왔다. 본 논문에서 제안된 구조를 실적용할 경우 공정상으로 n-layer와 p+ Diverter를 추가 하는 어려움이 있겠지만 향후 초고압 전력용 반도체에 확대 적 용할 경우 이 개념을 적용함으로써 낮은 Vce(sat)특성과 높은 latchup current와 voltage 특성 확보가 가능할 것으로 보인다.

감사의 글

본 연구는 산업자원부 전력IT 사업에 의하여 지원되었음.

[참 고 문 헌]

 B. J. Baliga, Power Semiconductor Devices, PWS, 1996
Ey Goo Kang, "Lateral Trench IGBT with Effective p+ Diverter having superior Electrical Characteristics for Smart Power IC", ISIE, 2001

[3] M. Mori, "A Novel High-Conductivity IGBT with a short Circuit Capability", ISPS, 1998

[4] E. G. Kang, M. Y. Sung, "A Novel Trench electrode BRT with the intrinsic Region for Superior Electrical Characteristics", J. KIEEME, Vol. 15, No. 3, p. 201, Mar. 2002

[5] E. G. Kang, D. S. Oh, D. W. Kim, D. J. Kim, M. Y. Sung, "A Novel Lateral Trench electrode IGBT for Superior Electrical Characteristics", J. KIEEME, Vol. 15, No. 9, p. 758, Sep. 2002

[6] E. G. Kang, S. H. Moon, M. Y. Sung, "A new trench electrode IGBT having superior electrical characteristics for power IC systems", Microelectronics J. Vol. 32, p. 641, 2001

[7] E. G. Kang, M. Y. Sung, "A small sized lateral trench electrode IGBT for improving latch-up and breakdown characteristics", Solid State Electronics, Vol. 46, p. 295, 2002